

저전력 스마트 카드의 FSK 복조 모듈에 대한 설계 및 분석

양경록*, 김광수, 진인수, 김종범, 김양모
 충남대학교 전기공학과

Design and analysis of FSK demodulation module in the low power smart card

Kyeong-rok Yang*, Kwang-soo Kim, In-su Jin, Jong-beom Kim, Yang-mo Kim
 Dept. of Electrical Eng., Chungnam National Univ.

Abstract - The FSK demodulation module is the circuit which detects the data being transmitted from reader by FSK method. It doesn't use the PLL, and has lower power consumption and easier integration than conventional FSK detector using the PLL. So in a smart card, it is suitable to apply.

In this study, the FSK demodulation module of the low power smart card is designed and analyzed.

1. 서 론

전기 시스템은 그 동작에 있어 에너지원이 외부와 연결되어 공급받는 것과 내부에 내장된 변환장치에 의해 공급받는 것으로 구분될 수 있는데, 전자의 경우에는 그 동작 범위가 제한될 뿐 아니라 외부와 연결이 불가능한 상황에서는 사용이 불가능하다. 또한 후자의 경우에는 그 동작범위의 제한이 없어지는 반면 동작 가능한 시간이 제한된다. 이러한 제한점들은 패시브 스마트 카드를 사용함으로써 극복할 수 있다.

패시브 스마트 카드는 안테나 코일과 에너지 저장용 커패시터, 칩으로 구성된다. 트랜스폰더가 기지국에 만든 RF 필드를 통과할 때 트랜스폰더의 코일에 유기된 에너지는 정류회로를 거쳐 저장용 커패시터에 저장되며 이것은 트랜스폰더의 칩을 구동시키기 위한 에너지원으로 사용되어진다. 이처럼 기지국으로부터 에너지를 받고 내장된 데이터를 전송하기 때문에 데이터 처리시간이 비교적 길고 에너지를 얻기위해 기지국과의 통신거리가 짧아야 한다는 단점을 갖는 반면, 사용기간이 반 영구적이라는 데에 장점이 있다.⁽²⁾

이러한 패시브 스마트 카드는 1990년 후반에 국내(서울) 교통 시스템에 사용되어지기 시작했으며, 현재 버스 시스템과 지하철 시스템에 응용되고 있다.

본 논문에서는 저전력으로 동작하는 패시브 스마트 카드에 대해 간략히 소개하고 기지국으로 부터의 데이터를 검출하기 위한 FSK 복조 모듈에 대한 설계와 분석을 제시하고자 한다.

2. 패시브 스마트카드

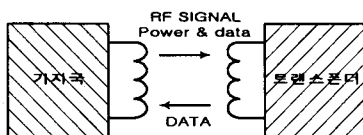


그림 1 패시브 스마트카드 시스템 블록도

그림 1은 패시브 스마트카드 시스템의 간단한 블록도를 나타내며, 액티브 스마트 카드 시스템과는 달리 기지국에서는 에너지와 데이터를 보내주어야 한다.⁽¹⁾⁽²⁾

2.1 동작 환경

그림 2는 본 논문에서 제시한 패시브 스마트카드의 동작 환경을 나타낸다.

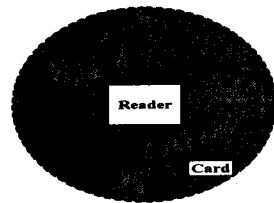


그림 2 기지국과 카드의 동작 환경

기지국은 패시브 스마트카드가 에너지를 얻을 수 있도록 125kHz의 RF 필드를 만들어 주며, 이 필드에 스마트카드가 진입하면서 카드와 기지국과의 통신이 시작된다. 그림 3은 카드와 기지국의 통신 시퀀스를 나타낸다. 카드가 기지국이 만들어놓은 RF 필드 내에 진입하였을 때 먼저 카드는 필드 내에 진입하였다는 것을 기지국에 알려주어야 하며, 본 논문에서는 62.5kHz의 backscattering 신호를 카드의 ID로 정하였다. 카드가 ID를 기지국으로 전송하면 기지국은 카드가 필드 내에 진입하였음을 인식하고 카드의 정보를 요구하는 READ 프로토콜을 카드로 전송한다. 이를 받은 카드는 자신이 갖고 있는 정보를 기지국으로 전송한다. 카드의 정보를 받은 기지국은 이를 연산하여 새로운 데이터를 카드에 쓰기 위해서 데이터를 WRITE 프로토콜로 카드에 전송하여 새로운 데이터를 카드에 WRITE하고 통신은 완료된다.

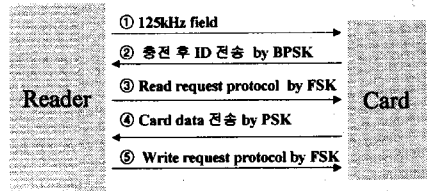


그림 3 기지국과 카드의 동작 시퀀스

2.2 기본 사양

그림 4는 본 논문에서 제시되는 스마트 카드의 전체 블록도를 나타내며 다음과 같은 사양을 갖는다.

1. 수신 캐리어 주파수 : 125kHz
2. 송신 캐리어 주파수 : 62.5kHz
3. 수신 변조방식(기지국 -> 스마트카드) : FSK
4. 송신 변조방식(스마트카드 -> 기지국) : BPSK using backscattering
5. 사용목적 : 지하철 출 개찰 시스템

- 6. 메모리 : FRAM(Ferroelectric RAM)
- 7. 메모리 크기 : 512×8bit
- 8. 송수신 거리 : 대략 10cm
- 9. Baud rate : 1000bps

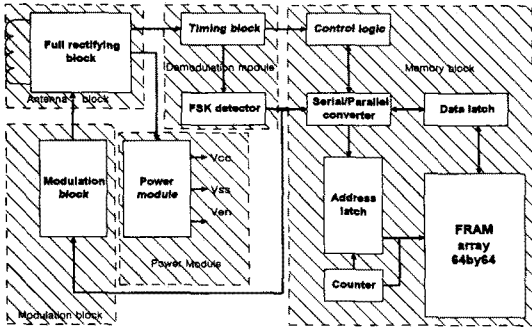


그림 4 패시브 스마트카드의 전체 블록도

3. FSK 복조 모듈의 설계 및 분석

그림 5는 FSK 복조 모듈로써 기지국으로부터 전송받은 FSK 방식의 데이터를 검출하기 위한 회로이다. PLL 구조를 사용하지 않은 검출기로서 일반적인 PLL 구조를 사용한 FSK 검출기와 비교할 때, 집적화 문제나 전력 소모 면에 있어 유리하다. FSK 검출기는 제시된 그림에서와 같이 펄스 발생기와 주파수 편이 회로, 동기 모듈로 구성된다.

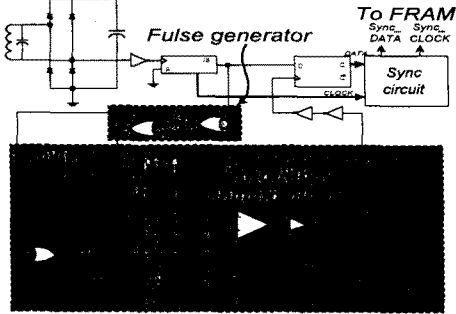


그림 5 FSK 검출기 회로

3.1 펄스 발생기

펄스 발생기는 수신된 신호를 12-stage binary counter에 의해 /8된 신호의 negative edge를 감지하여 펄스를 만들어 준다. 이 때 counter의 출력 신호의 폭은 FSK 신호가 수신될 때마다 그 폭이 변화하며, edge 검출기에서 생성된 펄스로 nmos(Q2)의 gate를 제어하여 비교기에 공급되는 신호의 크기를 변화시키게 된다.

3.2 주파수 편이 검출 회로

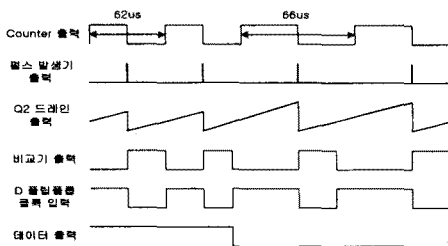


그림 6 FSK 발생기의 주요파형

그림 6은 FSK 검출기 회로의 주요 파형들을 나타낸다. 펄스 발생기에서 만들어진 펄스는 Q2를 제어하여 주파수 편이가 일어날 때마다 비교기에 공급되는 신호의 피크치를 변화시킴으로써 $V_{ref}(2V)$ 와 비교된 출력 파형의 폭을 변화시킨다. 비교기에서 출력된 구형파는 D flip-flop의 클럭으로 입력되며, 주파수의 편이에 따른 이 클럭의 펄스 폭의 변화에 따라 D flip-flop의 출력 레벨을 변화시킴으로써 FSK 신호를 복조한다.

3.3 동기 모듈

그림 7은 동기 모듈 회로를 나타낸다. FRAM의 SDA와 SCL에 입력되는 신호를 볼 때, 1 bit의 데이터에 대해 1 clock 이 적용됨을 확인할 수 없으며, 따라서 인위적으로 두 신호, 즉 카드 내부에서 검출된 데이터와 clock을 동기시킴으로써 에러를 방지하기 위한 회로이다.

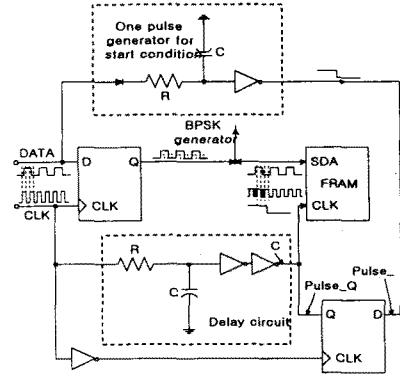


그림 7 동기 모듈 회로

그림 7에서와 같이 비동기로 입력되는 data와 clock은 D flip-flop를 통해 동기되며, RC 시정수와 슈미트리저를 통한 지연회로를 통해 clock을 지연시킴으로써, 인위적으로 1bit의 데이터에 1 clock을 입력시킬 수 있다.

그림 8은 동기 모듈 회로에 대한 파형들을 나타낸다.

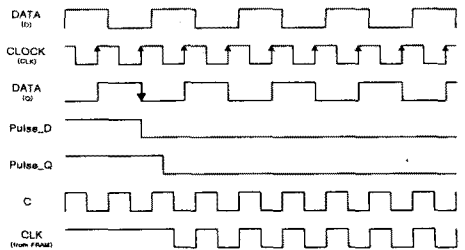


그림 8 동기 모듈 회로에 대한 주요 파형

처음 데이터가 검출될 때 FRAM으로 입력되는 데이터를 인식하기 위해서는 start condition을 맞추어 주어야 한다. 이를 위해서는 one-pulse generator를 통해 처음 1, 0의 2 bit의 데이터가 입력될 때 clock의 width를 변화시킴으로써 start condition을 만들어 줄 수 있다. 그림 8의 Pulse_D, pulse_Q, CLK(from FRAM)는 start condition을 고려한 clock을 나타내며, 그림 9는 FRAM의 start condition을 나타낸다.

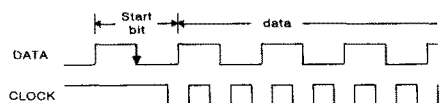


그림 9 Start Condition

4. 시뮬레이션 및 실험 결과

그림 10은 시뮬레이션 결과 파형을 나타내며, 입력되는 데이터의 주파수의 변화에 따라 비교기에 입력되는 톨니파의 파크치와 변하며, 그에 따라 data를 검출할 수 있음을 알 수 있다.

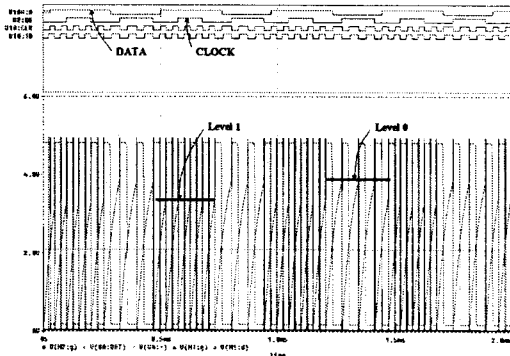


그림 10 FSK 검출기 시뮬레이션 결과

FSK 복조 모듈에 대한 실험 파형은 다음과 같이 나타난다. 그림 11은 기지국에서 전송된 데이터와 스마트카드에서 검출된 데이터를 나타내며, 기지국에서 전송하는 데이터는 ch.2로, 카드에서 검출된 데이터는 ch.1로 측정되었으며, 약간의 지연이 있음을 알 수 있다.

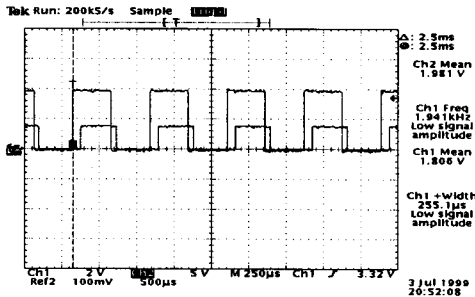


그림 11 기지국 전송 data와 FSK 검출기에서 검출된 data

그림 12는 1 bit의 데이터에 대해 정확히 1 clock이 적용되어 FRAM에 입력되도록 하기 위해 FSK 검출기에서 검출된 데이터를 카운터에서 dividing되어 제공되는 clock에 동기시킨 파형을 나타낸다. 그림 13은 클럭과 동기된 데이터의 파형과 지연회로를 거쳐 지연시킨 클럭의 파형을 동시에 보여주며, 이 파형들은 각각 FRAM의 SCA와 SCL로 입력된다. 본 실험에서는 180 μ s를 지연시켰다..

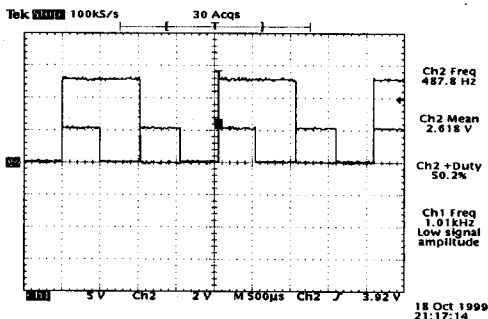


그림 12 동기된 data와 clock

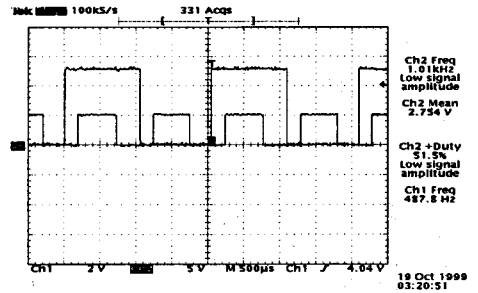


그림 13 Clock을 지연시킨 후 동기된 data와 clock

그림 14는 초기에 start condition을 만들기 위한 start bit이 검출될 때의 클럭을 D flip flop을 통해 1.5ms 지연시킨 클럭을 single shot으로 검출한 파형이다.

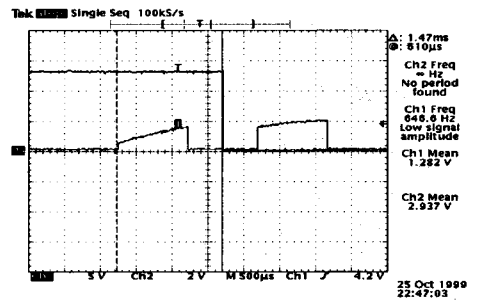


그림 14 D flip flop을 이용해 지연시킨 파형

현재 제작된 FSK 복조 모듈에서 소모되는 전체 전력은 1mW이다.

4. 결론

패시브 스마트카드는 기지국에서 만들어진 RF 필드로부터 에너지를 얻어 기지국과 통신을 하기 때문에 전체적으로 저 전력으로 설계되어야 한다. 따라서 본 논문에서 제시된 모듈은 모든 칩을 cmos로 구현하였으며, 이에 따른 소모 전력은 1mW였다. 차후에 모든 회로들을 집적화 함으로써 회로 자체의 크기뿐 아니라, 칩을 사용하여 구현한 회로에 비해 불필요한 보호 회로 등의 불필요한 소모전력을 줄일 수 있어서 보다 저전력을 실현할 수 있을 것으로 예상된다.

(참고 문헌)

- [1] U. Kaiser and W. Steinhagen, "A low power transponder IC for high performance identification systems" Proc. CICC 1994, May 1994, pp.14.4.1-14.4.4.
- [2] Tool identification system, Patents: US 4,742,470, May 3, 1988.
- [3] Baker, Li, Boyce, "CMOS circuit design, layout and simulation", IEEE PRESS, pp.313-326
- [4] Transponder devices, Patents: US 4,724,427, Feb 9, 1998.
- [5] Fredrick W. Grover, "Inductance Calculations", Dover publication, New York, 1946
- [6] Remotely interrogated transponder, Patents: US 4,786,903, Nov 22, 1988
- [7] C. K. Kim and S. B. ahn, "Public Transport Fare Integration with Smart Cards in Seoul", PA19990156022