

빠른 고정 시간과 작은 지터를 갖는 PLL의 설계

오름, 김두곤, 우영신, 성만영
고려대학교 전기공학과

A design of PLL for low jitter and fast locking time

Reum Oh, Doo Gon Kim, Young Shin Woo, Man Young Sung
Department of electrical engineering Korea Univ.

Abstract - In this paper, we design PLL for a low jitter and fast locking time that is used a new simple precharged CMOS phase frequency detector(PFD). The proposed PFD has a simple structure with using only 18 transistors. Futhermore, the PFD has a dead zone 25ps in the phase characteristic which is important in low jitter applications. The phase and frequency error detection range is not limited as the case of other precharge type PFDs. the simulation results base on a third order PLL are presented to verify the lock in process with the proposed PFD. the PLL using the new PED is designed using 0.25 μ m CMOS technology with 2.5V supply voltage.

1. 서론

최근 무선 이동 통신이 널리 보급되면서, 크기가 작고 저 전력용, 고성능, 저가의 통신 기기가 요구되고 있다. 몇 개의 IC로 이루어진 RF front-end를 갖는 디지털 신호 프로세싱(DSP)칩이 요구되고 있으며, 하나의 칩으로 이루어진 RF transceiver의 집적화에 많은 연구가 이루어지고 있다. 이를 위해 튜닝, 트리밍이나 사전 공정이 필요가 없는 표준 CMOS 공정이 요구된다. 이러한 무선 통신 분야에서 고성능 주파수 합성기는 중요한 요소 중 하나이다. [1]

주파수 합성기에서 출력 주파수의 고속화와 정확성을 이루기 위해 작은 지터와 빠른 고정시간(locking time)을 갖는 PLL(Phase-Locked Loop)이 필요하게 되었다. 이러한 PLL의 특성은 위상 검출기 회로(PFD)의 특성에 영향을 받으므로 좋은 특성을 갖는 위상 검출기 회로의 설계가 중요하다.

입력 신호의 위상 차이는 위상 검출기 회로에 의해 감지된다. 위상과 주파수 차이는 차지 펄프 회로에 의해 전압 제어형 오실레이터(VCO)의 출력 주파수를 결정하기 위해 전류나 전압으로 변환된다. 위상 검출기의 특성은 크게 데드존과 위상차 감지 범위로 나뉜다. 데드존이란 PFD의 두 입력 신호의 위상차가 매우 작을 때 위상차를 감지하지 못하는 영역을 말하며, 이로 인해 기준 신호와 피드백 신호가 정확히 고정되지 못하므로 PLL의 지터가 발생하게 된다. 위상차 감지 범위는 주파수 검출 특성과 관계 있다. 기준신호가 피드백 신호보다 주파수가 빠를 때는 UP 신호가 계속 '1'을 유지하여 피드백 신호의 주파수를 빠르게 하고, 기준 신호가 피드백 신호의 주파수가 느릴 때는 DN 신호가 계속 '1'을 유지하여 피드백 신호의 주파수를 느리게 하여 PLL의 고정시간을 빠르게 한다.

기존의 3상 conventional CMOS PFD가 그림 1에 나와 있다. 이 PFD는 기준 신호와 피드백 신호의 edge만을 비교하므로 duty cycle과 상관없고, 위상차 검출 범위가 $-2\pi \sim +2\pi$ 로 빠른 고정시간을 갖는다. UP이 '1'인 동안에 피드백 신호가 '1'이 되면 I3와 H1, G5, G2, I2를 거쳐 리셋 신호를 전달하므로 '1'이었던 UP 신호가 '0'이

될 때까지 충분한 시간 동안 리셋 신호를 유지해야 한다. 그러므로 위상차가 작으면 리셋 신호를 충분히 유지할 수 없어 데드존을 갖는다. [2] 이를 해결하기 위해 X 노드에 딜레이 셀(delay cell)을 넣어서, UP이 '0'이 될 수 있는 충분한 시간 동안 리셋 신호를 유지할 수 있도록 한다. 이 PFD는 고주파에서 내부 노드가 완전히 pull up 되거나 pull down 되지 않기 때문에 원하는 동작을 얻을 수 없고, 매우 큰 소비 전력을 갖는다. [3]

선충전 형태(precharge)의 PFD는 그림 2에 나와 있다. 기준 신호가 '0'일 때 A 노드를 충전하고 있다가 기준 신호가 '1'이 되는 순간 X 노드를 방전하여 UP이 '1'이 되도록 한다. UP이 '1'인 동안 피드백 신호가 '1'이 되면 A 노드가 방전되고 X 노드가 충전되어 UP 신호를 '0'으로 만든다. Precharge PFD는 3상 conventional CMOS PFD보다 구조가 단순하여 고주파에서 동작할 수 있고, 데드존이 작아서 PLL의 지터를 줄일 수 있다. 하지만 피드백 신호가 1인 동안 A 노드를 충전할 수 없으므로 기준 신호가 1이 되어도 UP 신호가 1이 될 수 없다. 그로 인해 위상 차이의 감지 범위가 $-\pi \sim +\pi$ 로 제한되고, PLL의 고정 시간이 길어지게 된다. [3][4][5]

본 논문에서는 두 개의 새로운 선충전 형태의 PFD(그림 3)를 설계하였다. 첫 번째 제안된 PFD는 precharge의 PFD보다 적은 데드존을 갖지만 3상 sequential 형태의 PFD보다 고정시간이 크다. 두 번째 제안된 PFD는 3상 sequential 형태의 PFD와 같은 고정시간을 가지면서 작은 데드존을 갖는다. 이러한 PFD를 갖는 PLL을 설계하여 기존의 PLL보다 성능이 개선되었음을 시뮬레이션을 통해 검증하였다.

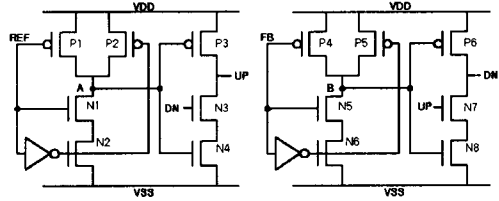
2. 새로운 선충전 형태의 PFD를 사용한 PLL의 특성

새로 제안된 precharge PFD는 그림 3과 같다. 첫 번째 제안된 precharge PFD(그림 3-(a))는 모두 18개의 트랜지스터로 이루어져 있고, 기존의 precharge PFD보다 구조가 더 단순하다. N1과 P1의 입력에는 기준 신호를 인가하고, N2와 P2 입력에는 기준 신호를 인가하여 기준 신호가 '0'에서 '1'이 되는 순간에만 A 노드를 방전하고 그 외에는 항상 1을 유지한다. A 노드가 방전되는 순간 P3 트랜지스터가 턴 온 되어 UP 신호가 1이 된다. 그러므로 기준 신호가 '0'에서 '1'이 되는 positive edge에서만 UP 신호가 '1'이 된다. 만약 피드백 신호를 인가하지 않는다면, N3는 턴-오프 상태를 유지하므로 UP 신호는 계속 1을 유지하고 있다. A 노드가 1을 유지하고 있는 동안 피드백 신호가 1이 되면, N3와 N4가 턴 온되어 UP 신호를 0으로 변화시켜 PFD회로로 동작할 수 있게 한다.

첫 번째 제안된 새로운 precharge PFD는 기준 신호와 피드백 신호만으로 UP 신호를 제어하기 때문에 피드백 경로도 없을 뿐만 아니라, 기존의 precharge PFD보다 구조가 단순하여 데드존을 줄일 수 있다. 하지만 피드백신호가 1인 동안에는 N3와 N4가 계속 턴-온되어 UP 신호를 '0'으로 유지하므로 기준 신호를 감지하지 못한다. 이로 인해

위상차 감지 범위는 $-\pi \sim +\pi$ 로 기존의 precharge PFD와 같고, 고정 시간은 여전히 느리다.

두 번째 제안된 새로운 precharge PFD(그림 3-(b))는 이러한 문제점을 해결하기 위해 피드백 신호 대신에 DOWN 신호를 연결하여 피드백 루프를 형성하였다. UP 신호가 '1'이 되는 것은 첫 번째 PFD와 동일한 동작 원리로 이루어진다. 피드백 신호가 '1'이 되면 DOWN 신호가 '1'이 되어 UP 신호를 '0'으로 변화시키므로 데드존은 새로운 precharge PFD1보다 조금 크다. 하지만, conventional CMOS PFD처럼 DOWN 신호로 UP 신호를 제어하기 때문에 주파수 검출이 가능하고, 위상차 감지 범위가 $-2\pi \sim +2\pi$ 로 늘어나므로 conventional CMOS PFD를 사용한 PLL과 같은 고정 시간을 갖는다.



(b) 데드존과 위상차 검출 범위를 개선한 precharge PFD2

그림 3. 데드존과 위상차 검출 범위를 개선한 precharge PFD

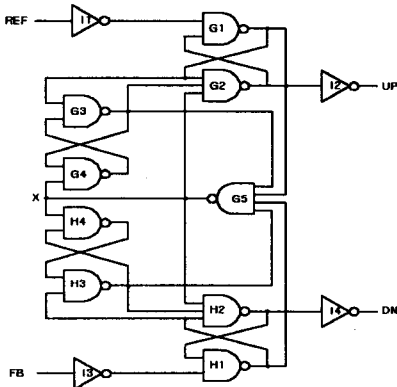


그림 1. Conventional CMOS PFD

3. 시뮬레이션 결과 및 고찰

새로 제안한 precharge PFD2에 100MHz의 주파수를 갖는 기준 신호와 임의의 피드백 신호를 인가하여 출력신호를 시뮬레이션하였다. 그림4를 보면 피드백 신호가 1일 때도 기준 신호가 '1'이 될 수 있음을 볼 수 있으며, 전반적으로 conventional CMOS PFD와 동일한 출력신호 특성을 나타냄을 알 수 있다.

입력 위상차에 대한 PFD와 차지-펌프의 출력 특성은 그림 5에 도시하였다. 입력 위상차는 5ps 단위로 입력 위상차를 변화하면서 루프 필터의 출력 전압을 측정하였다. 기존의 precharge PFD는 70ps의 데드 존을 가지며, 새로 제안한 precharge PFD1과 PFD2는 각각 10ps와 25ps의 데드 존을 갖는다.

제안한 PFD2를 사용한 3차 PLL의 전체 블록도를 그림 6에 나타내었다. PLL의 입력 주파수는 400MHz, Loop Bandwidth는 10MHz, VCO의 Gain은 300MHz/V로 설계하였다.

그림 7은 새로 제안한 precharge PFD2를 사용한 PLL과 기존의 conventional CMOS PFD를 사용한 PLL이 고정되는 과정 중에 VCO의 입력 전압 변화를 도시한 것이다. 시뮬레이션 결과 PFD2를 사용한 PLL과 기존의 PLL이 비슷한 고정 시간을 보임을 확인할 수 있다.

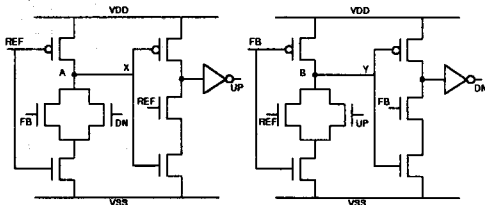
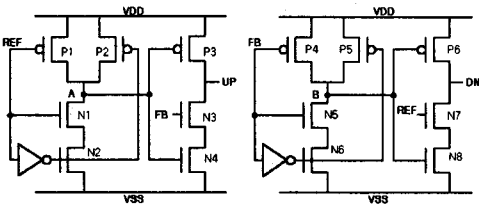


그림 2. precharge PFD



(a) 데드존을 줄인 precharge PFD1

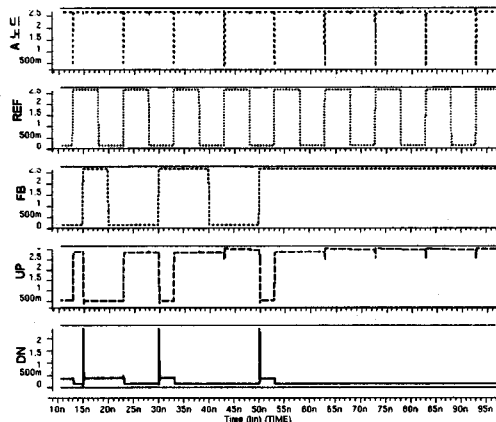
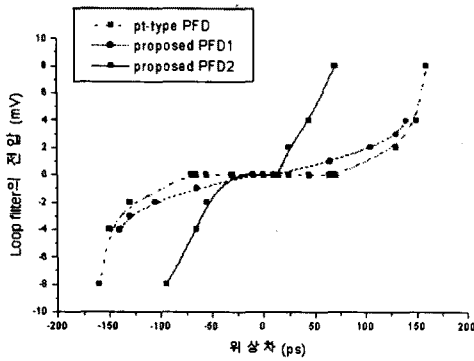


그림 4. Precharge PFD2의 출력신호



VDD = 2.5V
Charge-pump의 전류원 I_p 와 I_n 은 $50\mu A$

그림 5. PFD와 charge-pump 이득

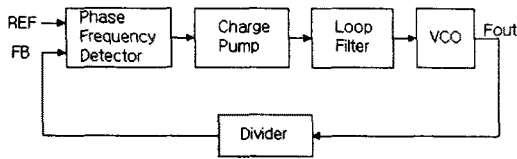


그림 6. 3차 PLL의 블록도

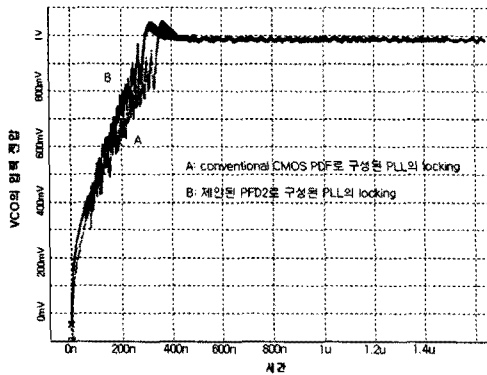


그림 7. 3차 PLL의 고정 시간

4. 결 론

본 논문에서는 기존의 선충전 형태의 PFD가 가지고 있던 고정 시간 감소에 제한이 있는 문제점을 해결하면서 데드존을 줄인 새로운 precharge PFD를 사용한 3차 PLL을 설계하였다.

제안한 PFD는 기준 신호의 positive edge와 DOWN 신호, 피드백 신호의 positive edge와 UP 신호만을 비교함으로써 기존의 precharge PFD보다 위상차 검출 범위가 늘어나 고정시간을 늘렸으며, 구조를 단순화하여 데드존도 줄였다. 새로운 PFD를 사용한 PLL을 설계하여 시뮬

레이션한 결과 400MHz에서 conventional CMOS PFD와 비슷한 고정 시간을 가졌고, 차지 펌프와 루프 필터를 연결하여 25ps 이내의 데드존을 측정하였다. 이에 따라 기존의 PFD를 사용한 PLL보다 지터가 감소됨을 예상할 수 있다. 따라서 지터가 작아야 하는 주파수 합성기에 응용할 수 있을 것으로 판단된다.

(참 고 문 헌)

- [1] J.Craninckx and M.Steyaert, "Wireless CMOS Frequency Synthesizer Design", Kluwer Academic Publishers, Boston, 1998
- [2] Sungjoon Kim et al., "A 960Mb/s/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL", IEEE J. Solid-State Circuit, Vol. 32, No. 5, pp. 691~699, 1997
- [3] Won-Hyo Lee et al., "A High-Speed, Low Power Phase Frequency Detector and Charge-Pump Circuits for High Frequency Phase-Locked Loops", IEICE TRANS. ELECTRON, VOL. E82 A, NO 11, pp 2514~2519b, 1999
- [4] Harufusa KONDOH et al., "A 1.5-V 250-MHz to 3.0-V 622-MHz Operation CMOS Phase-Locked Loop with Precharge Type Phase-Frequency Detector", IEICE TRANS. ELECTRON, VOL. E78 C, NO 4, pp 381~388, 1995
- [5] Henrik O. Johansson, "A Simple Precharged CMOS Phase Frequency Detector", IEEE J. Solid-State Circuit, Vol. 33, No. 2, pp. 295~299, 1998