

**개선된 동작 주파수 특성을 갖는 차동 전압 클램프 VCO 설계**

김두곤\*, 오름, 우영신, 성만영  
고려대학교 전기공학과

**A Design of Differential Voltage Clamped VCO for Improved Characteristics of Operating Frequency**

D. G. Kim\*, R. Oh, Y. S. Woo, Man Y. Sung  
Department of electrical engineering, Korea University.

**Abstract** - As the fact that the simple data of text and sound in early year have been changed to be high quality images and sounds, PLL(Phase-Locked Loop) system plays an important role in communication system. VCO(Voltage Controlled Oscillator) is the most important part in PLL system because it can have critical effects on operation of PLL. Recently, it has been raised the necessity of high speed and high accuracy circuit application. In this paper, a new differential voltage clamped VCO using negative-skewed path is suggested. Using a dual-delay scheme to implement the VCO, higher operation frequency and wider tuning are achieved simultaneously. The dual-delay scheme means that both the negative skewed delay paths and the normal delay paths exist in the same ring oscillator. The negative skewed delay paths decrease the unit delay time of the ring oscillator below the single inverter delay time. As a result, higher operation frequency can be obtained. The whole characteristics of VCO are simulated by using HSPICE. Simulation results show that the resulting operating frequencies are 50% higher than those obtainable from the conventional approaches.

**1. 서 론**

여러 단의 VLSI 칩들로 구성되는 고속 통신 시스템에서 외부의 동기된 클럭 신호를 각 칩에 공급하더라도 각 칩 내부의 커패시턴스에 대한 부하값이 다르기 때문에 칩마다 클럭 신호의 타이밍이 서로 다르게 된다. 따라서 이들 칩간에 발생하는 클럭 스큐(clock skew)는 데이터 전달과정시 고속화와 정확성 측면에 문제점을 발생시킨다. 이런 문제점을 해결하기 위해 PLL(Phase-Locked Loop)은 통신 시스템에서 매우 중요한 부분으로 자리잡게 되었다<sup>(1)</sup>.

PLL은 위상에 대한 네가티브 피드백 루프를 통해 입력신호와 출력신호의 위상 차이를 줄여 동상이 되게 하는 비선형 소자로서 특히 입력과 출력의 위상차와 주파수 차를 감지하는 위상검출기(Phase Decter:PD)와 위상 검출기의 출력을 직류값으로 변환하여 전압 제어 발진기의 입력을 내보내는 저역 통과 여과기(Low Pass Filter:LPF) 그리고 LPF의 출력 전압에 비례하는 주파수를 갖는 신호를 내보내는 전압 제어 발진기(voltage controlled oscillator:VCO)로 구성된다. 특히, VCO는 PLL의 전체 특성에 가장 큰 영향을 주는 핵심 부분이다. 현재 PLL 시스템은 높은 위상 노이즈에도 불구하고 표준 CMOS 공정으로 PLL 시스템 전체

를 단일칩에 구현할 수 있는 리레세이션 VCO의 개발을 위해 많은 연구와 높은 사용 주파수의 특성을 갖는 VCO에 대한 개발이 활발히 진행되고 있다.

본 논문은 높은 동작 주파수와 넓은 주파수 대역을 얻기 위하여 negative skewed path를 적용한 차동 전압 클램프 회로를 제안하였다. 제안된 VCO의 동작특성 파악을 위해 기존의 차동 전압 클램프 회로와 Dual-Delay path를 적용한 차동 전압 클램프 VCO를 설계하였고, 제안된 회로의 동작특성을 분석하기 위해 HSPICE로 시뮬레이션하여 제어 전류에 따른 주파수 범위를 살펴보았다. 시뮬레이션에 사용된 트랜지스터는 0.25 $\mu$ m 표준 CMOS 모델 파라미터를 사용하였다.

**2. 본 론**

**2.1 High-Speed 차동 전압 클램프 VCO with Dual-Delay Paths**

**2.1.1 지연 회로 셀**

그림 1은 전압 클램프 지연 셀을 나타낸 그림이다. 이 회로 구조는 공통모드 노이즈에 둔감한 차동 구조에 negative skewed path를 적용하기 위해 PMOS를 결합한 기본 지연 셀이다. Power supply noise는 PLL

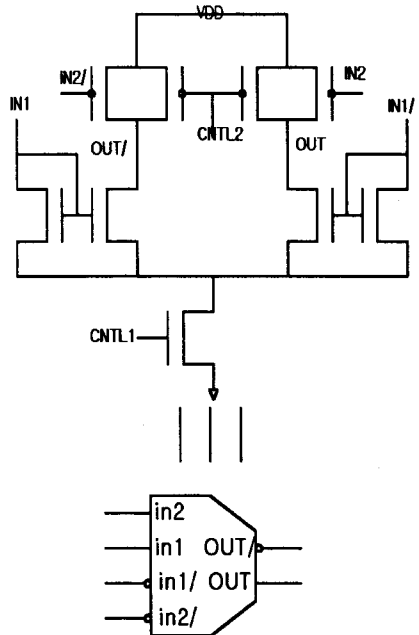


그림 1. 새로운 차동 지연 셀의 회로도 및 심볼

시스템에 대해 큰 영향을 미친다. 지연 셀을 차동 구조로 사용함으로써 power supply noise에 대한 영향을 줄일 수 있다. negative skewed path와 정상 지연 path를 적용하기 위해서, PMOS의 쌍은 지연 셀의 부하와 negative skewed 신호의 입력으로 사용된다. Negative skewed 신호는 지연 셀의 PMOS 입력에 연결되고, 정상 신호는 지연 셀의 NMOS 입력에 연결된다. Negative skewed 신호는 NMOS 전이 시간보다 긴 PMOS의 전이 시간을 보상하기 위해서 negative skewed path에 연결된 PMOS를 미리 턴-온 시키거나 턴-오프 시킴으로써 지연 셀의 출력 전이 시간을 향상시키게 된다. 고주파수에서의 위상 노이즈의 감소와 보다 넓은 튜닝 범위를 위해서 설계된 완전 차동 단 지연 셀의 NMOS 입력단에 전압 클램프 회로를 첨가하였다<sup>(2)</sup>.

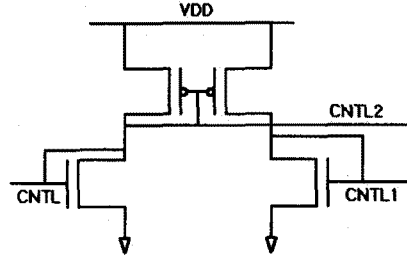


그림 3. 지연 제어 회로

## 2.2 시뮬레이션 결과 및 고찰

제안된 Dual-Delay Paths를 적용한 고속 전압 클램프 VCO의 동작 주파수 특성을 시뮬레이션을 통해 관찰함으로써 더 높은 동작 주파수와 넓은 튜닝 범위를 도출하였고, 이에 제안된 구조의 우수성을 평가하고자 하였다.

그림 4는 제어 전류에 따른 발진 주파수를 나타낸 결과이다. Negative skewed path를 갖지 않는 링 발진기의 경우에는 80MHz~1.9GHz의 주파수 범위를 가지는 반면, 제안된 구조인 경우 제어 전류가 50 $\mu$ A일 때 발진 주파수는 100MHz이고, 제어 전류가 300 $\mu$ A일 때 발진 주파수는 2.8GHz로 높은 동작 주파수와 함께 넓은 주파수 튜닝 범위를 나타낸다. 제어 전류가 300 $\mu$ A 이상인 경우, 발진 주파수는 더 이상 증가하지 않고 포화된다. Negative skewed path를 적용함으로써 고속 동작과 함께 넓은 튜닝 범위를 함께 얻을 수 있음을 확인할 수 있다.

### 2.1.2 dual-delay path를 갖는 링 발진기 구조

그림 2는 dual-delay path를 갖는 링 발진기 구조를 나타낸 것이다. 기존의 링 발진기에서, 발진 주파수는  $1/2N\tau$ 이다. N은 지연 셀의 단 수이고  $\tau$ 는 지연 셀의 단위 지연 시간이다. 그러므로, 최대 발진 주파수는 지연 셀의 단 수가 결정된다면, 한 지연단의 지연 시간  $\tau$ 에 의해 결정된다. 최대 동작 주파수는 단위 지연 시간이 변하지 않는다면, 더 이상 증가할 수 없게 된다. 이런 문제점을 해결하기 위해, negative skewed path를 적용한 차동 전압 클램프 링 발진기를 제안하였다. negative skewed 신호는 지연단의 두 단 전의 노드와 연결된다. 즉, NMOS의 입력이 1번째 노드와 연결된 경우, PMOS의 입력은 (1-2)번째 노드와 연결된다. 이 신호는 출력이 low-to-high 전이시 PMOS를 미리 턴-온 시킴으로써, NMOS 보다 늦은 PMOS의 성능을 보상 해주게 된다. 출력이 high-to-low 전이시 NMOS가 턴-온 되기 전에 PMOS를 미리 턴-오프 시킴으로써, 출력 전이시의 시간을 향상 시킨다. 그러므로, 동작 주파수를 결정하는 한 지연 셀의 지연 시간은 감소하게 되어 최대 동작 주파수는 증가하게 된다. 이런 동작은 출력의 스위칭 시간을 향상시키며, 전체 VCO의 위상 노이즈를 감소시키는 역할을 하게 된다<sup>(3,5)</sup>.

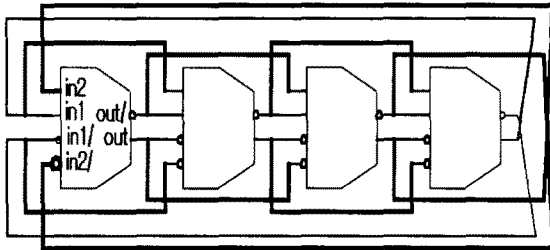


그림 2. Dual-Delay path 형태의 링 발진기

### 2.1.3 지연 제어 회로

그림 3은 제어 전류를 발생시키는 지연 제어 회로도 를 나타낸 것이다. 이 회로 구조에서 CNTL에 연결된 NMOS는 포화 영역에서 동작하고 그 외의 것들은 전류 미러 회로를 형성한다<sup>(6)</sup>.

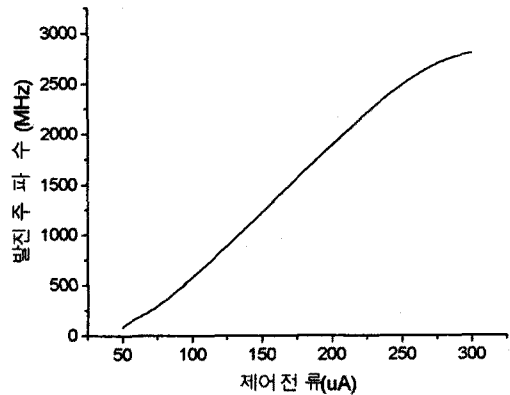


그림 4. 제어 전류에 따른 발진 주파수 변화

그림 5는 제어 전압에 따른 발진 주파수의 변화를 나타낸 결과이다. 제어 전압이 증가함에 따라 발진 주파수도 증가함을 볼 수 있다.

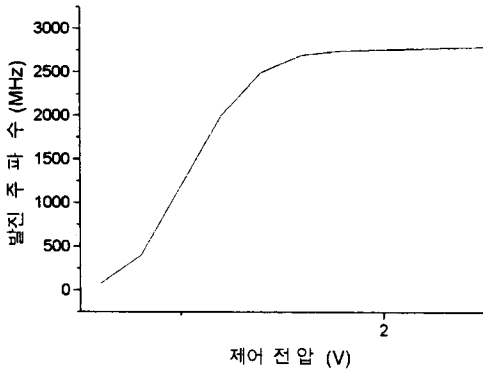


그림 5. 제어 전압에 따른 발진 주파수 변화

그림 6은 제어 전류  $I = 300\mu\text{A}$ 일 때의 출력 파형을 나타낸 것이다. 이 때의 발진 주파수는 2.8GHz이고, 소비 전력은 4mW이며, 출력 폭은 500mV 정도의 특성을 나타내었다.

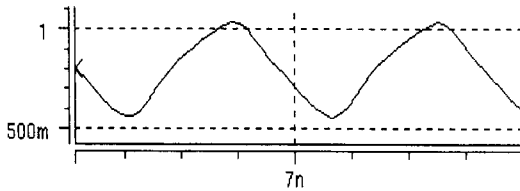


그림 6. 제어 전류  $I = 300\mu\text{A}$ 일 때의 출력 파형

표 1은 제안된 VCO의 특성을 요약한 것이다. 제안된 VCO는 높은 동작 주파수와 넓은 튜닝 범위를 나타낼 수 있다.

표 1. 제안된 VCO의 특성

전원 전압	Single 2.5V
발진 주파수 범위	100MHz~2.8GHz
소비 전력 (동작 주파수=2.8GHz)	4mW
문턱 전압	
NMOS	0.5V
PMOS	-0.56V
Process	0.25 $\mu\text{m}$ n-well CMOS

### 3. 결 론

본 논문에서는 표준 CMOS 공정을 바탕으로 하는 VCO 설계에서 전압 클램프 회로를 첨가한 링 발진기 구조에 Dual-Delay path를 이용한 전압 클램프 VCO를 제안하였다. 정상 루프만 사용하는 경우 최대 발진 주파수는 한 지연단의 지연 시간에 의해 결정되는 문제점이 발생하는 데, 이런 문제점을 해결하기 위해 지연 셀의 PMOS 입력에 negative skewed 신호를 연결한 negative skewed path를 적용함으로써 높은 동작 주파수와 넓은 튜닝 범위 결과를 동시에 도출하였다. 시뮬레이션 결과 최대 동작 주파수는 2.8GHz로 측정되었고, 튜닝 범위는 100MHz~2.8GHz로 측정되었다. 따

라서, 고속 동작과 넓은 튜닝 범위를 갖는 VCO는 고속 데이터 전송 시스템에서의 다중 클럭 발생기와 고속 주파수 복조기에서 많이 응용될 것으로 판단된다.

### [참 고 문 헌]

- [1] Behzad Razavi, "Monolithic Phase-Locked Loops and Clock Recovery Circuits", IEEE PRESS, 1996
- [2] D.Y.Jeong et al., "High speed differential voltage clamped current mode ring oscillator", ELECTRONICS LETTERS, VOL. 33, NO 13, pp 1102~1103, 1997
- [3] Seog-Jun Lee et al., "A Novel High-Speed Ring Oscillator for Multiphase Clock Generation Using Negative Skewed Delay Scheme", IEEE J. Solid-State Circuit, Vol. 32, No. 2, pp. 289~291, 1997
- [4] Hiroyasu YOSHIKAWA et al., "A Low Power 622MHz CMOS Phase-Locked Loop with Source Coupled VCO and Dynamic PFD", IEICE TRANS. ELECTRON, VOL. E80 A, NO. 6, pp 1015~1020, 1997
- [5] Chang-Hong Park et al., "A Low-Noise 900-MHz VCO in 0.6- $\mu\text{m}$  CMOS", IEEE J. Solid-State Circuit, Vol. 34, No. 5, pp. 586~591, 1999
- [6] Yasuhiro SUGIMOTO et al., "A 2V, 500MHz and 3V, 920MHz Low-Power Current-Mode 0.6 $\mu\text{m}$  CMOS VCO Circuit", IEICE TRANS. ELECTRON, VOL. E82-C, NO. 7, pp 1327~1329, 1999