

VHDL을 이용한 전력변환용 마이크로 컨트롤러 개발에 관한 연구

서영조\*, 오정언, 윤재식, 김병진, 전희중  
 송실대학교 전기공학과

A Study on Development of Micro Controller for Converter using VHDL

Young-Jo Seo\*, Jeong-Eon Oh, Jea-Shik Yoon, Beung-Jin Kim, Hee-Jong Jeon  
 Soongsil University Electrical Eng.

**Abstract** - The use of HDL(Hardware Description Language) is now central to the ASIC(Application Specific Integrated Circuit). HDL-based ASIC can simplify the process of development and has a competition in market because it reduce the consuming time for the design of IC(Integrated circuit) in system level. Therefore, the development of power electronics system on chip (SOC), to design microcontroller and switching logic as one chip, is required extremely for the purpose of having reliability and low cost in power electronics which is based on switching elements. The major application of SOC is variable converter, active filter, inverter for induction motor, UPS and power supply with a view to reducing electro-magnetic pollution.

때문에 문제점이 반드시 발생하기 때문에 ASIC구현 전에 시스템의 기능을 검증하는 과정을 반드시 거쳐야 한다.(1)

본 연구에서는 SOC를 위하여 Altera사의 EPF10K을 이용하여 CPU, 프로그램 메모리, 데이터 메모리 및 입출력장치 등이 하나의 칩에 집적되어 있는 제어기를 제안하고자 한다. 마이크로 프로세서 전반적인 기능을 이용하여 특수 목적용 마이크로 프로세서를 설계할 수 있었고 이 마이크로 프로세서는 입력신호에 맞추어 적절한 PWM 신호를 얻어내어 3상 다이오드 정류기 스위치에 인가함으로써 정류기의 역률 개선 및 고조파 저감의 효과를 얻을 수 있도록 설계하였다. 시뮬레이션과 실험결과로 제안된 제어기의 성능을 검증하였다.

2. 본 론

2.1 CPLD 마이크로 컨트롤러 설계

CPLD를 이용한 칩의 사양을 정의하고 정의된 사양을 근거로 칩의 입, 출력을 정한다. 개발된 제어기는 전압센서에서 측정된 3상의 전압의 제로 크로싱 신호들과 전류센서로 측정된 입력전류를 입력받고 PWM 게이팅 신호를 출력한다. 전류센서로 측정된 입력전류의 크기로 인가된 부하의 크기를 예측할 수 있다. 전압센서로 측정된 파형들로 PWM 게이팅 신호를 인가할 상을 결정한다. 역률 개선 그리고 고조파 저감 알고리즘에 맞추어 제어기는 게이팅 신호를 출력한다. 이와 같은 목적의 마이크로 컨트롤러의 구조와 성능을 결정하여 설계를 했다. 본 연구에서 사용된 마이크로 컨트롤러는 내부 프로그램과 데이터 메모리 주소 공간을 256바이트로 하였고 프로그램 저장용을 위해서 내부 ROM(8비트), 데이터와 스택을 위한 RAM(8비트), 레지스터, ALU 및 이들을 연결하는 내부 버스로 구성하였다. I/O 포트는 입력 전류 및 전압 신호 그리고 PWM 게이팅 신호를 위해서 15개 포트로 구성하였다. 그림 1은 마이크로 컨트롤러의 전체 블록도이다.

1. 서 론

현재 컴퓨터 및 CAD Tools의 급격한 발전, 특히 하드웨어 기술언어(Hardware Description Language : HDL)에 기반한 디자인 방법론이 보편화되면서 시스템의 관점에서 주문형반도체(ASIC)의 설계요구가 전 산업분야에서 강력히 요구되고 있다. 시스템 수준에서의 이러한 ASIC설계의 중요한 장점은 단시일 내에 저 비용으로 새로운 제품 개발에 대한 빠른 시장 대응이 가능하다는 것이며, 시스템의 간략화 및 고 신뢰성을 유지할 수 있다는 것이다.(2)

이러한 추세에 따라 변력변환 장치를 기반으로 한 전력전자 산업분야에서도 저 가격 및 신뢰성의 확보를 위해서 마이크로컨트롤러 및 전력전자 스위칭 로직이 하나의 칩으로 설계되는 System On Chip(SOC)의 개발의 중요성이 대두되고 있다.

특히 스위칭 회로를 기반으로 하는 전력전자 기기는 스위칭 노이즈가 심각하기 때문에 신뢰성의 확보가 무엇보다 요구되며, 이를 위해서는 마이크로 컨트롤러 및 전력전자 스위칭 로직이 하나의 칩으로 설계되는 System On Chip(SOC)의 개발이 절실히 요구된다. 지금까지 국내의 ASIC개발은 메모리 및 통신 기기를 중심으로 발전을 하여 왔으나, 이제는 전자파 환경 문제의 중심에서 있는 전력전자 기기(UPS, Inverter 등)에도 ASIC의 도입이 매우 중요하며 이에 대한 체계적인 연구가 필요하다.

전력전자 System On Chip화를 수행할 때 중요한 점은 첫째, 전력전자 엔지니어는 주변회로의 유기적인 동작을 위한 제어 알고리즘 및 인터페이스 기법을 체계적으로 설계해야 한다. 둘째, 시뮬레이션을 완성한 후 HDL기술 및 Mixed-signal IC제작기술을 이용하여 프로토타입 PLD (Programmable Logic Device)칩을 제작하여야 한다. 셋째, 이렇게 제작된 칩은 설계과정에서 오류가 없더라도 게이트 지연시간 및 Layout 효과

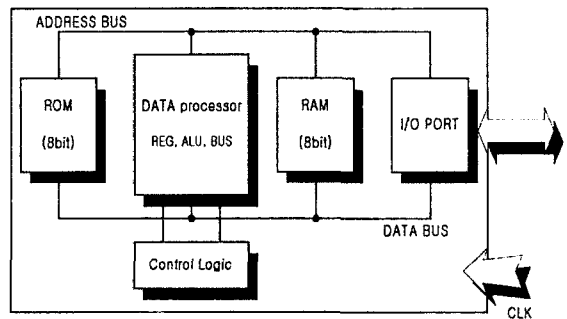


그림 1. 마이크로 컨트롤러 전체 블록도

## 2.2 마이크로 컨트롤러의 구성

그림 1과 같이 본 연구의 마이크로 컨트롤러는 RAM, ROM, 데이터 프로세서, I/O 포트, 제어부로 구성되어 있다. 여기서 데이터 프로세서는 레지스터와 ALU, 버스로 구성되어 있는데 CPU 내에서 데이터를 이동하거나 데이터를 지닐 수 있는 부분이면 연산을 담당하는 곳이다. 그러나 데이터 프로세서 자체적으로 자료의 이동, 보관 및 연산을 수행할 수 없고 제어로직에 의해 제어 받으면서 수행된다.

### 2.2.1 컴퓨터 내부 레지스터

데이터 프로세서를 구성하고 있는 내부 레지스터 설계 하였다. 레지스터로는 MAR(메모리 주소 레지스터), MBR(메모리 버퍼 레지스터), IR(명령 레지스터), PC(명령어 번지 레지스터), M(자료번지 레지스터), AC(누산기 레지스터), SP(스택 포인터), PCW(입출력 제어 레지스터)로 구성하였다.

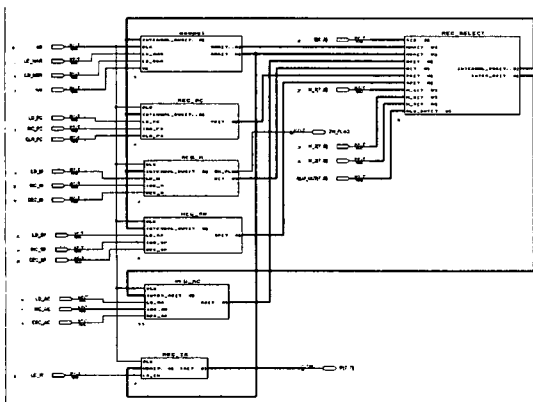


그림 2. 레지스터 블록도

### 2.2.2 ALU

ALU 데이터프로세서 내에서 산술 연산하거나 논리연산하는 장치를 말한다. 컴퓨터의 연산에서 연산에 사용되는 데이터의 수가 한 개뿐인 것을 1비트 연산이라 하며, 두 개의 데이터를 연산하는 것을 바이너리 연산이라 한다. 1비트 연산에는 not, shift등이 있으며 바이너리 연산에는 사칙연산과 논리연산이 있다. ALU는 아래와 같이 구성하였고 ALU의 입력은 OP1과 OP2이며 OP1과 OP2로 이루어지는 산술논리 연산의 결과는 ALU\_OUT에 출력하게 설계하였다.

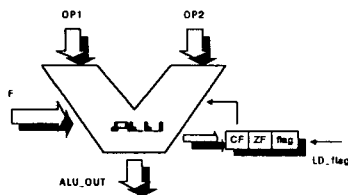


그림 3. ALU 블록도

연산결과에 대한 상태는 플래그 레지스터에 저장되는 데 여기서 올림수 CF는 산술논리연산의 결과가 올림수가 있으면 high가 되고 그렇지 않으면 low가 된다. ZF는 산술논리연산의 결과가 거짓이면 high가 되고 그렇지 않으면 low가 된다.

### 2.2.3 제어 출력부

제어로직의 출력 IR 레지스터에서 해독된 정보에 의해 해당 명령어를 마이크로오퍼레이션으로 분리하고, 타이밍 카운터의 해독된 정보를 이용하여 분리된 마이크로오퍼레이션을 순차적으로 제어할 수 있게 하는 시간 정보를 더하게 된다. 이렇게 합성된 제어로직 출력은 명령어 별로 해당 마이크로오퍼레이션을 수행할 수 있게 데이터 프로세서의 제어 입력을 제어한다. 따라서 설계된 명령어에 대해 여러 개의 해당 마이크로오퍼레이션들로 나누어서 설계를 하였다. 마이크로오퍼레이션 단위의 흐름도로 표시할 필요가 있다.

마이크로오퍼레이션 흐름도로부터 마이크로오퍼레이션의 수행을 위한 제어함수를 찾아내고 그 제어함수에서 데이터프로세서의 제어 입력을 제어할 제어 출력을 생성하였다. 그림 4는 생성된 제어 출력을 각 부분에 연결하는 제어부이다.

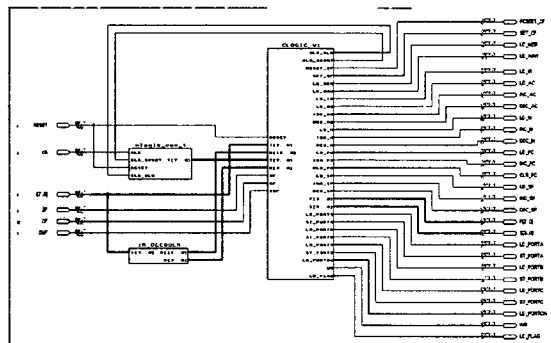


그림 4. 제어 출력 블록도

### 2.2.4 제어 출력

명령어의 마이크로오퍼레이션 흐름도로부터 마이크로오퍼레이션의 수행을 위한 제어함수를 찾아내고, 제어함수에서 데이터프로세서의 제어 입력을 제어할 제어 출력을 생성하였으며 마이크로오퍼레이션들이 수행되기 위해서는 각각의 제어함수를 만족시키야되는데 그 제어함수는 타이밍 카운터로부터 출력되는 타이밍 상태와 명령어 레지스터의 디코더에서 나오는 출력 그리고 플래그 레지스터의 출력 비트로 구성되어 있다. 그리고 제어함수는 데이터프로세서의 제어입력에 인가되는 제어출력을 생성한다. 그림 5는 ADD 명령어로 계속 1씩 더할 때의 제어 출력 결과이다.

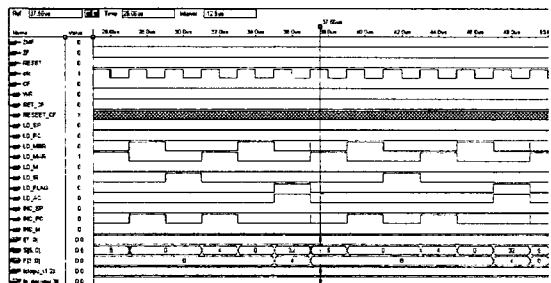


그림 5. ADD 명령에 대한 제어 출력 결과

## 3. 실험 및 고찰

본 연구에서 시스템 온 칩화로 테스트한 곳은 전력변환 장치인 다이오드 정류기의 입력 파형 개선을 위한 스위치 제어기에 사용하였다. 그림6과 같이 실험 구성을 하였다.

입력단 필터는 12[mH]를 사용하였고 직류 링크 단의 평활용 콘덴서는 600[μF]로 사용하다. 전압 센서로 측정된 전압 파형은 비교기를 거쳐 디지털 값으로 제어기에 입력된다. 전류 센서로부터 측정된 전류를 A/D변환기를 거쳐 제어기에 입력된다. [3][4][5]

부가된 스위치는 입력 측에서 부하 측으로 다시 부하 측에서 입력 측으로 전류가 흐를 수 있는 양방향 스위치이다. 본 연구에서는 단방향 소자인 MOSFET(IRFP450)와 다이오드를 이용하여 전류가 양방향으로 통될 수 있게 구성하였다. 이때 사용된 다이오드는 패스트 리커버리 다이오드(FR607)이며 스너버 회로를 부착하여 급작스러운 전압의 변화에 의한 스위칭 스트레스를 저감시켰다. 만약 두 상의 스위치가 동시에 투입되면 단락회로가 형성되므로 스위치가 파괴된다. 따라서 각 상의 스위칭 동작은 서로 배타적으로 연동되어야 한다. 본 연구에서는 소프트웨어 그리고 하드웨어적으로 연동을 시켜서 매 순간 한 상의 스위치에서만 동작하도록 설계하였다. 시스템의 전체 구성도는 다음과 같다. [그림 6]

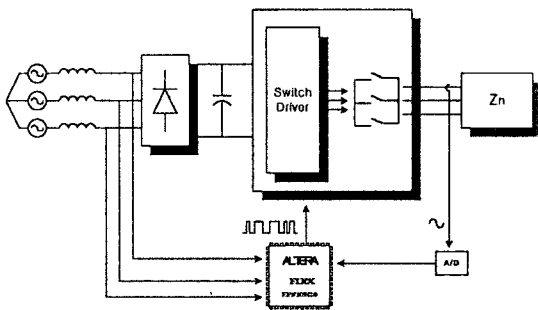


그림 6. 전체 시스템 블럭도

그림 7은 각 상에 상승 하강 구간에 맞추어서 스위칭이 발생하는 구간을 시뮬레이션한 결과이다.

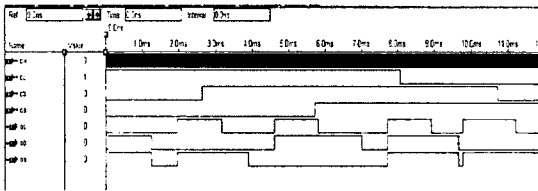


그림 7. 각 상의 스위칭 구간 파형

그림 8은 상에 실제로 들어가는 스위칭 파형 시뮬레이션이다. 입력전류의 값에 따라서 스위칭 펄스 폭이 변화하는 모습을 볼 수 있다.

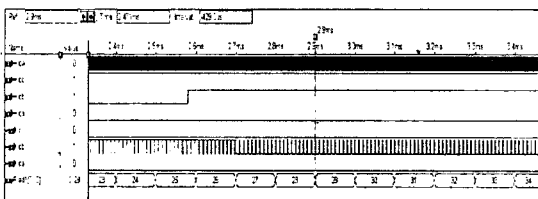


그림 8. 각 상에 따른 PWM 파형

그림 9는 제안된 마이크로 컨트롤러를 사용하여 정류기 입력전류와 상전압의 모습을 보여 주고 있다. 전류가 연속적으로 흐르며 역률 또한 개선된 모습을 보여 주고 있다.

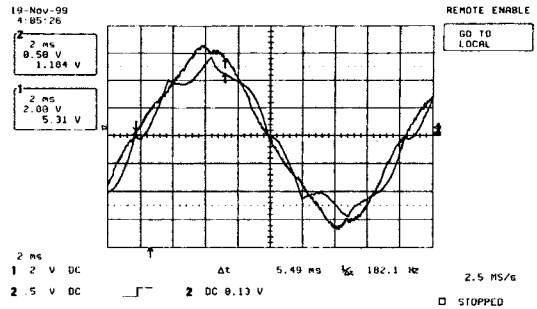


그림 9. 실험 결과 파형

### 3. 결론

ASIC기술의 급진적인 발전과 더불어 장치 설계자의 용도에 맞는 칩셋의 개발이 활발히 이루어질 것으로 예상된다. 또한 다양한 기능의 라이브러리를 제공하는 씨드 파트의 등장으로 하드웨어 제작공정의 소프트웨어화가 추진되고 있다. 특히 VHDL로 코어 개발이 현재 한창 진행중이다. 많은 부분에서 하드웨어 라이브러리화가 진행되리라고 사료되는 바이다.

본 연구에서는 VHDL로 설계한 CPLD 마이크로 컨트롤러를 이용하여 3상 다이오드 정류기의 입력파형 개선을 수행하였다. 제작된 제어기는 입력신호에 맞추어 적절한 PWM 신호를 스위치에 인가함으로써 정류기의 역률 개선 및 고조파 저감의 효과를 얻을 수 있었다. 본 마이크로 컨트롤러는 기존의 DSP를 이용한 제어기에 비해 작은 소비전력을 사용하며 제작기간을 줄일 수 있고 소형화시킬 수 있는 장점뿐만 아니라 컨트롤러의 확장성을 ASIC을 통해서 가능하다는 것을 확인할 수 있었다.

### (참고 문헌)

- [1] Regan Zane and Dragan Maksimovic, "A Mixed-Signal ASIC Power-Factor-Correction (PFC) Controller for High Frequency Switching Rectifiers", IEEE Power Electronics Specialists Conference - Volume 1, pp. 117-122, 1999 -06 -27
- [2] Tian Jie, Chen Xianming, Xu Heping, Wang XiaoHong, Wang Tong, "PWM Pulse Generator Based FPGA for Static Var Compensator", Proceedings of the International Conference on Electrical Engineering 1999 - Volume 2, pp. 131-134, 1999 -08 -16
- [3] I. Barbi, J.C. Fagundes and C.M.T. Cruz, "A new low cost high power factor three-phase diode rectifier with capacitive load", IEEE Applied Power Electronics Conference(APEC '94) Proceedings, pp.745~751, February, 1994.
- [4] Salmon and J.C., "Circuit topologies for pwm boost rectifiers operated from 1-phase and 3-phase ac supplies and using either single or split dc rail voltage outputs", IEEE Applied Power Electronics Conference(APEC '95) Proceedings, pp.473~479.
- [5] A. R. Prasad, P. D. Ziogas and Manias, "An active power factor correction technique for three-phase diode rectifiers", IEEE Power Electronics Specialists Conference (PESC '89) Records, pp. 58-66, June 1989.
- [6] Michael John Sebastian Smith, "Application-Specific Integrated Circuits", Systems Series.
- [7] "Top-Down방식에 근거한 ASIC/FPGA회로 설계", ASIC 지원센터.
- [8] "Computer Organization & Design", David A atterson and John L. Hennessy, Morgan Kaufmann Publishers, Inc.