

유도전동기의 벡터제어 ASIC 설계

박형준\*, 김세진\*\*, 이호재\*\*, 권영안\*\*  
\* LG전자, \*\* 부산대학교 전기공학과

ASIC Design for Vector Control of Induction Motor

H. J. Park S.J.Kim, H.J.Lee, Y.A.Kwon  
Pusan National University

Abstract - ASIC chip design for motor control has been a subject of increasing interest since an effective methodology of system-on-a-chip design was developed.

This paper investigates the design and implementation of ASIC chip for vector control of induction motor using VHDL which is a standard hardware description language. The vector control algorithm is finally implemented using a simple electronic circuit based on FPGA.

The performance of the designed ASIC is verified through simulation and experiment.

1. 서 론

최근에 ASIC 회로설계 기술이 개발되면서 전용 프로세서의 설계가 용이하게 되어 많은 분야에서 응용되고 있다. 컴퓨터를 이용하여 회로를 설계하거나 동작을 시뮬레이션하는 방법은 1970년대부터 개발되어 사용하였으며, 초기에는 schematic design을 기본으로 회로를 설계하고, 동작을 검증하였다. 현재에 이르러서는 하드웨어 기술언어라는 컴퓨터 언어를 이용하여 효과적인 회로설계를 수행하고 실제 회로를 구현하기 위한 회로합성 소프트웨어와 연계하여 ASIC 칩을 개발하게 되었다 [1-5].

VHDL은 간단한 TTL부터 복잡한 마이크로 프로세서 까지 다양한 하드웨어를 표현할 수 있으므로 급변하는 하드웨어 요구에 대한 대체수단으로 점점 비중이 높아지고 있다. VHDL의 구성은 회로의 입력과 출력에 대한 포트를 기술하는 엔티티(entity)와 회로의 구조와 동작을 서술하는 아키텍처(architecture)로 구성되며, 회로합성(synthesis)을 거쳐 최종적으로 FPGA, CPLD와 같은 프로그래머블 디바이스에 구현하여 ASIC을 제작하게 된다.

본 연구는 VHDL을 이용한 ASIC 회로설계를 유도전동기 벡터제어에 응용하는 연구로서 유도전동기 구동시스템의 제어부를 효율적으로 설계하고 원칙으로 구현하는데 목적을 두고 있으며, 이를 위해 유도전동기 벡터제어의 동작레벨을 속도검출부, 연산부, 출력부로 구성하여 기술하였다. 속도검출부는 속도센서의 펄스를 받아 회전자의 속도를 계산하는 부분이고, 연산부는 속도검출부에서 구한 설계속도와 외부에서 가해진 지령속도의 오차를 구해 최종적으로 3상 기준전류를 구하는 부분이며, 출력부는 연산부에서 구한 3상 기준전류와 A/D컨버터를 통해 측정된 실제 3상전류를 비교해 ON, OFF신호를 출력하는 전류추종형 PWM방식으로 되어있다. 기술된 유도전동기 벡터제어 알고리즘의 동작레벨을 시뮬레이션하여 동작을 확인한 후, 회로합성을 거쳐 최종적으로 FPGA를 이용하여 벡터제어 ASIC을 제작하였으며 제작된 벡터제어 ASIC을 포함하는 유도전동기 구동시스템을 구성하여 실험을 수행하였다.

2. 유도전동기의 벡터제어

순시 토크제어를 위하여 유도전동기의 상전류를 자속 성분전류와 토크성분전류로 분리시켜 독립적으로 제어하는 방식을 벡터제어라고 한다. 벡터제어는 자속의 회전각을 구하는 방식에 따라 직접벡터제어와 간접벡터제어로 구분된다.

본 연구에서 사용하는 간접벡터제어는 동기회전좌표계상의 자속전류 및 토크전류 성분을 이용하여 슬립각속도를 계산하는 자속 피드포워드 제어방식이다. 유도전동기의 간접벡터제어를 위한 관련수식을 아래에 기술한다. 동기속도인  $\omega_e$ 로 회전하는 동기회전 좌표계에서 전동기 속도가  $\omega_r$ 이라면 고정자 및 회전자의 d-q축 전압방정식은 아래와 같다.

$$v_{ds} = R_s i_{ds} + \frac{d\lambda_{ds}}{dt} - \omega_e \lambda_{qs} \tag{1}$$

$$v_{qs} = R_s i_{qs} + \frac{d\lambda_{qs}}{dt} + \omega_e \lambda_{ds} \tag{2}$$

$$0 = \frac{d\lambda_{dr}}{dt} + \frac{R_r}{L_r} \lambda_{dr} - \frac{L_m}{L_r} R_r i_{ds} - \omega_{sl} \lambda_{qr} \tag{3}$$

$$0 = \frac{d\lambda_{qr}}{dt} + \frac{R_r}{L_r} \lambda_{qr} - \frac{L_m}{L_r} R_r i_{qs} + \omega_{sl} \lambda_{dr} \tag{4}$$

$$\begin{aligned} \text{단, } \omega_{sl} &= \omega_e - \omega_r \\ \lambda_{ds} &= L_s i_{ds} + L_m i_{dr} \\ \lambda_{qs} &= L_s i_{qs} + L_m i_{qr} \\ \lambda_{dr} &= L_r i_{dr} + L_m i_{ds} \\ \lambda_{qr} &= L_r i_{qr} + L_m i_{qs} \end{aligned}$$

회전자 쇄교자속의 q축 성분을 영으로 유지하는 벡터제어를 수행하면 다음이 성립한다.

$$\lambda_{qr} = \frac{d\lambda_{qr}}{dt} = 0 \tag{5}$$

식(5)을 식(3),(4)에 대입하면 다음 식이 얻어진다.

$$T_r \frac{d\lambda_{dr}}{dt} + \lambda_{dr} = L_m i_{ds} \tag{6}$$

$$\omega_{sl} = \frac{L_m}{T_r} \frac{i_{ds}}{\lambda_{dr}} \tag{7}$$

$$\text{단, } T_r = L_r / R_r$$

일정자속제어의 경우에  $i_{dr} = d\lambda_{dr}/dt = 0$ 이므로 다음과 같은 자속 및 발생토크를 구할 수 있다.

$$\lambda_{dr} = L_m i_{ds} \tag{8}$$

$$T_e = \frac{3}{2} \frac{P}{2} \frac{L_m}{L_r} \lambda_{dr} i_{qs} \quad (9)$$

동기회전 자속각은 측정된 회전자의 각속도와 계산된 슬립 각속도로 구해지며 다음과 같다.

$$\theta_e = \int_0^t \omega_e dt = \int_0^t (\omega_r + \omega_{sl}) dt \quad (10)$$

그림 1은 본 연구에서 구현한 유도전동기 간접벡터제어 시스템의 블록도를 나타낸다.

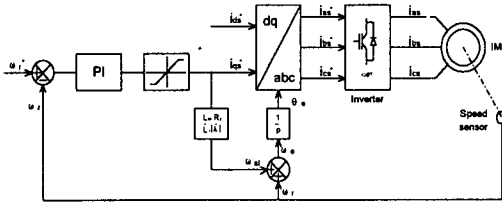


그림 1. 간접벡터제어 시스템의 블록도

### 3. VHDL을 이용한 벡터제어 시스템의 ASIC 설계

본 연구에서는 그림 1과 같은 간접벡터제어 시스템에 적용하는 벡터제어 ASIC을 설계하고 구현하였다. 본 연구에서 VHDL코드화하고, 회로합성을 거쳐 FPGA로 구현한 벡터제어 ASIC은 크게 연산부, 출력부, 속도검출부로 구성된다.

#### 3.1 연산부

연산부는 지령속도와 실제속도의 오차를 구해 최종적으로 3상 기준전류를 출력하는 부분으로서 토크성분 전류제어기, 자속성분 전류모듈, 자속각모듈, 자속각 검출기, 좌표변환기, 상변환기로 구성된다.

##### 3.1.1 토크성분 전류제어기

토크성분 전류제어기는 지령속도와 실제속도의 오차로부터  $q$  축 전류를 구하는 부분이다.

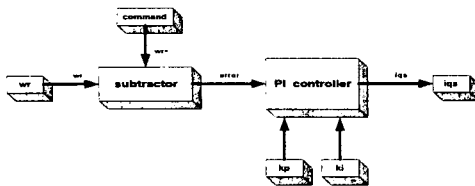


그림 2. 토크성분 전류제어기의 블록도

##### 3.1.2 자속성분 전류모듈

자속성분 전류모듈은 슬립각속도를 구하는데 필요한 자속성분 전류정보 및 좌표변환에 필요한 자속성분 전류정보를 저장한 부분이다.

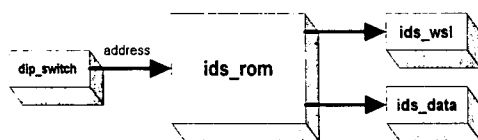


그림 3. 자속성분 전류모듈의 블록도

##### 3.1.3 자속각모듈

자속각모듈은 토크성분전류와 자속성분전류를 이용하여 슬립각속도를 구하고, 동시에 두 개의 적분기를 이용하여 슬립각과 회전자각을 구한다.

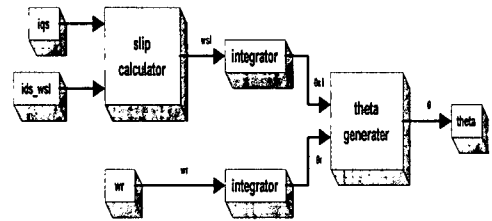


그림 4. 자속각모듈의 블록도

##### 3.1.4 자속각 검출기

자속각 검출기는 자속각 모듈에서 구한 자속각을 EPROM으로 구성한다.

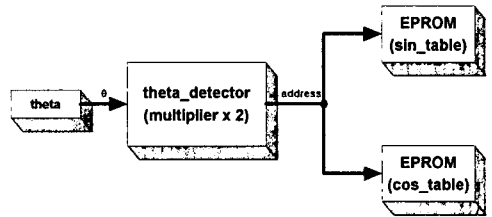


그림 5. 자속각 검출기의 블록도

##### 3.1.5 좌표변환기

좌표변환기는 동기회전좌표계 전류성분을 정지기준좌표계 전류성분으로 변환시키는 부분이다.

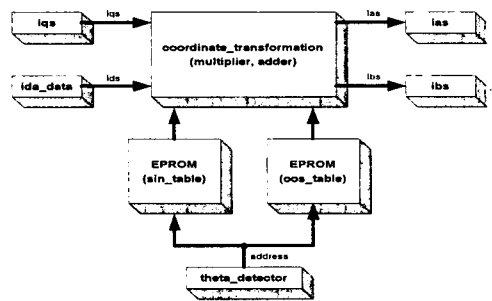


그림 6. 좌표변환기의 블록도

##### 3.1.6 상변환기

상변환기는 좌표변환기에서 구한 2상의 전류성분을 3상 기준전류성분으로 변환시키는 부분이다.

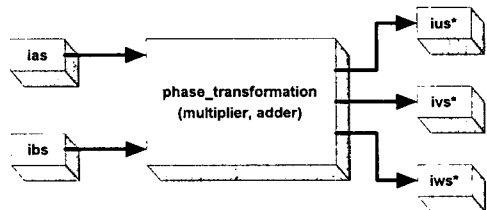


그림 7. 상변환기의 블록도

### 3.2 출력부

백터제어 ASIC의 출력부는 전류추종형 PWM을 이용하여 연산부에서 구한 전류시령지와 측정전류를 비교하여 ON, OFF신호를 발생하는 부분이다.

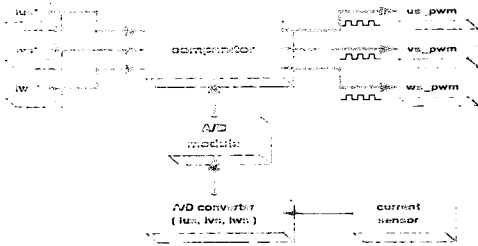


그림 8. 출력부의 블록도

### 3.3 속도검출부

속도검출부는 속도센서의 펄스를 받아 회전자의 속도를 계산하는 부분으로서 속도센서의 펄스를 받는 속도카운터와 속도정보를 포함하는 속도모듈, 속도검출을 위한 샘플링시간을 출력하는 속도타이머로 구성된다.

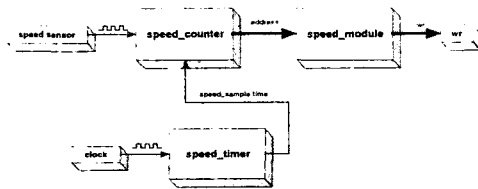


그림 9. 속도검출부의 블록도

## 4. 시뮬레이션

백터제어 ASIC의 데이터 검증을 위한 시뮬레이션을 수행하였다. 그림 10, 11은 연산부 및 속도검출부의 시뮬레이션 결과이다.

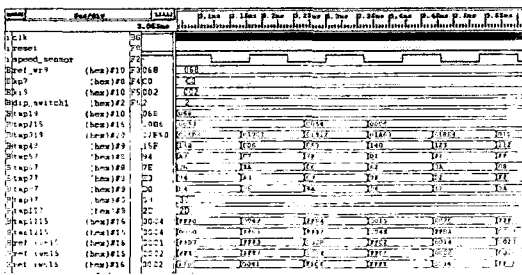


그림 10. 백터제어 ASIC의 연산부 시뮬레이션

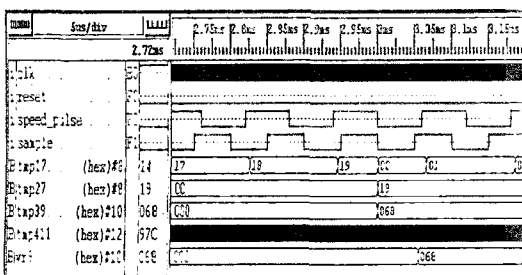


그림 11. 백터제어 ASIC의 속도검출부 시뮬레이션

## 5. 실험결과 및 검토

본 연구에서 백터제어 ASIC의 성능을 확인하기 위하여 구성된 전체시스템은 그림 12와 같다.

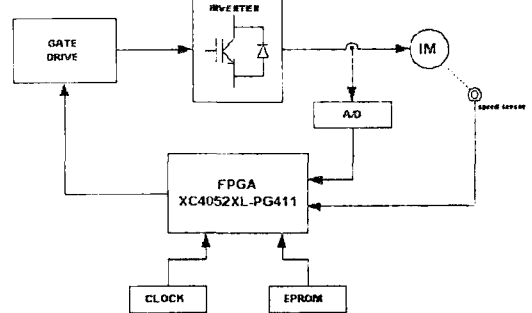


그림 12. 전체시스템 구성도

기본구성은 FPGA, 게이트 드라이브, A/D 컨버터와 다이오드 정류부, 직류링크 커패시터, 3상 PWM 인버터의 전력변환장치로 구성된다. 백터제어 ASIC의 구현을 위해 사용된 FPGA는 자일링스사의 XC4052XL-PG411이다. XC4052XL-PG411은 PGA타입, 411핀으로 내부구성은 CLB와 IOB로 구성되며 3.3(V)의 전원전압을 사용한다.

그림 13은 무부하에서 지령속도가 400rpm인 경우의 속도응답 실험결과로서 본 시스템의 성능이 양호함을 보여주고 있다.

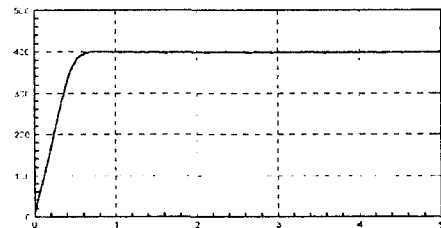


그림 13. 지령속도 400rpm인 경우의 속도응답

## 6. 결론

본 연구에서는 하드웨어 기술언어인 VHDL을 이용하여 유도전동기의 백터제어를 수행할 수 있는 전용 프로세서인 백터제어 ASIC을 설계, 제작하였다. 백터제어 ASIC의 설계를 위하여 유도전동기 간접백터제어 알고리즘의 동작레벨을 연산부, 출력부, 속도검출부로 구성하여 기술하였다. 기술된 알고리즘의 동작레벨을 시뮬레이션하여 동작을 확인한 후, 회로합성을 거쳐 최종적으로 FPGA를 이용하여 백터제어 ASIC을 제작하였으며 제작된 백터제어 ASIC을 포함하는 유도전동기 구동시스템을 구성하여 실험을 수행하였다. 시뮬레이션 및 실험결과에서 양호한 동작특성을 나타내었다.

### (참고 문헌)

- [1] Stefan sjholm and Lennart Lindh, VHDL for Designers, Prentice-Hall, 1997.
- [2] Douglas L.Perry, VHDL second edition, McGraw-Hill, 1995.
- [3] Xilinx, The Programmable Logic Data Book, Xilinx Inc, 1998.
- [4] Actel, Actel HDL Coding Style Guide, Actel Corporation, 1997.
- [5] Xilinx, VHDL Reference Guide, Xilinx Inc, 1998.