

디지털 보호 계전기 전용 제어 칩 설계

서종완, 정호성, 권기백, 서희석, 신명철
 성균관대학교, 피앤씨 테크, 두원공과대학

Design of digital relay controller on a single chip

Jong-wan Seo, Ho-sung Jung, Gi-beak Kweon, Hui-suk Suh, Myong-chul Shin
 Sungkyunkwan univ., P&C tech., Doowon technical college

Abstract - Protective relay play a crucial role in the proper operation of a power system, and the reliable transfer of electrical power. This paper deals with the design and implementation of a digital protective relay on a single chip. Implementation on the FPGA(Field Programmable Gate Array) of the chip of digital protective relay. This protective relaying chip monitors the frequency and the voltage and current of the power system. And report the voltage, the current, the frequency, active power and reactive power.

1. 서 론

보호계전시스템의 기본적인 책무는 계통사고의 발생 등 이상 상태를 검출하고 사고를 판정하며 동작해야하는 차단기에 신속하게 trip 명령을 보내 사고를 제거하고 계통을 다시 건전한 상태로 복구시키는 것이다. 이러한 책무는 양질의 전력을 중단 없이 공급하는 전력시스템의 운용에 기본적인 것이나, 계통사고가 발생했을 때 어떤 원인에 의해 trip 명령을 송출할 수 없어 오부동작 되거나 역으로 계통 건전시에 잘못하여 trip 명령을 송출하여 오동작이 되거나 하는 경우가 생길 수 있으며 이와 같은 동작 불량은 크게 원리적 불량, 시스템 운용 불량 및 하드웨어 고장의 3 종류로 나눌 수 있으며, 하드웨어 고장 저감에 대한 방안으로는 고신뢰도의 부품을 채택하며, 저소비전력 소자를 사용하고, 부품수를 줄여 회로를 간소화하며 접점을 최소화하고 외부 잡음으로부터의 영향을 줄이는 것이다.

본 논문에서는 기존 microprocessor, RAM, EEPROM, input/output component and logic IC 등 다수의 부품으로 구성된 보호 계전기 board를 하나의 칩에 구현함으로써 부품수를 줄여 회로를 간소화함으로써 각 소자들간의 연결시 발생할 수 있는 외부 잡음으로부터의 영향을 최소화 할 수 있으며 board 크기를 줄일 수 있고, 제작에 필요한 비용과 시간을 절감할 뿐만 아니라 보호 계전기 자체의 소비전력을 낮추어 보다 신뢰성 있는 계전 시스템 개발에 필요한 디지털 보호 계전기 제어 전용 칩 개발에 대해 다룬다.

One-chip 설계를 위해 VHDL(VHSIC-Very High Speed Integrated Circuit- Hardware Description Language)을 사용하였으며, ASIC(Application Specified Integrated Circuit)은 Semi-custom에 해당하는 FPGA(Field programmable Gate Array)를 사용하여 구현하였다. 이 단일칩 계전기는 OCR(Over Current Relay), OVR(Over Voltage Relay), UVR(Under Voltage Relay), OFR(Over Frequency Relay), UFR(Under Frequency Relay) 및 유·무효 전력의 계측이 가능하도록 구현되었으며 각각의 규정값은 외부로부터 register setting 방식으로 입력받도록 되어있다.

2. 구 성

2.1 일반적인 계전기의 하드웨어구성

일반적으로 보호 계전기는 그림 2.1과 같은 구조를 가지며 전력시스템으로부터 계속된 아날로그 데이터를 디지털로 변환하는 부분과 아날로그 입력량을 디지털 데이터로 변환하는 ADC(Analog Digital Converter) interface, 디지털 데이터를 처리하는 micro-processor, 연산 중간 결과 및 각종 변수 등에 사용되는 메모리 공간인 RAM, 보호 계전기 동작에 필요한 microprocessor 명령어들을 저장하고 있는 EEPROM, digital input/output port 및 logic IC 들로 구성되어 있는 Processing Unit으로 나누어지며 본 논문에서는 디지털 데이터 처리부를 One-chip으로 구현하였다.

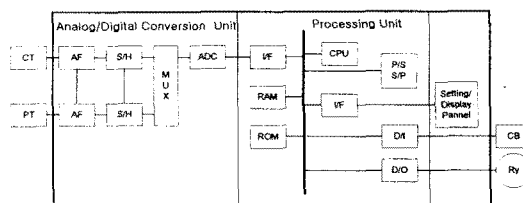


그림 2.1 디지털 계전기의 하드웨어 구성

디지털 보호 계전기의 연산 프로그램은 다음 그림 2.2와 같이 ADC에 의해 디지털로 변환된 데이터를 메모리에 저장하여 이들에 대한 디지털 필터 연산을 통하여 필요한 성분을 추출하여 보호 계전기 동작에 필요한 기본적인 연산 및 전기량에 대한 계측, trip 신호에 대한 시퀀스 연산 등을 하도록 구성되며, 본 논문에서는 이러한 보호 계전기 연산 프로그램 역시 hard-wire 방식으로 FPGA상에 하드웨어적으로 구성한다.

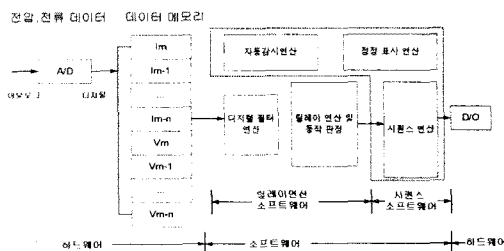


그림 2.2 디지털 계전기의 연산 프로그램

2.2 계전기 전용 제어 칩의 구성

본 논문에서 구현한 보호 계전기 전용 제어 칩은 그림 2.3과 같이 ADC interface, register setting & system configuration, System clock generator, Digital filter, Measurement, relaying algorithm,

trip logic, digital input/output으로 구성되어 있다. ADC interface는 TI사의 10-bit ADC인 TLV1571과 직접 연결 가능하도록 구성하였으며, system configuration부는 frequency의 upper limit, lower limit와 current의 upper limit 및 voltage의 upper limit, lower limit 등을 설정할 수 있도록 되어있으며, 실시간으로 내부 register를 읽음으로 계측된 voltage, current, frequency, active power, reactive power를 읽어 갈 수 있도록 구현하였다.

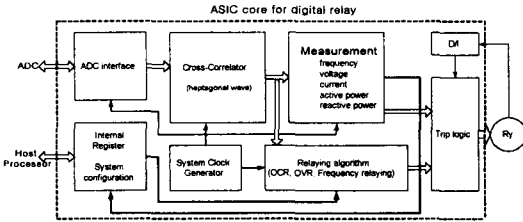


그림 2.3 디지털 계전기 전용 칩의 구성

2.2.1 Digital filter의 구성

계측된 값으로부터 기본과 추출을 위한 Digital filter로는 cross-correlator를 사용하고 있으며 60Hz의 sine, cosine wave를 12 sample에 적합하도록 변형한 heptagonal wave를 사용한다. 그림 2.4는 sine, cosine wave를 사용하여 correlation한 것이며 2.5는 12 sample에 적합하도록 수정된 heptagonal wave를 보이고 있다.

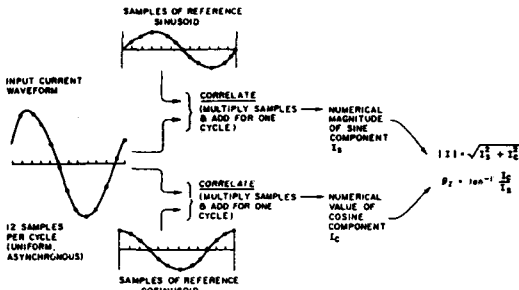


그림 2.4 Cross-correlation with sine, cosine wave

디지털 연산시 multiply 또는 divide는 많은 시스템 클럭이 소요되므로 본 논문에서는 이를 계수에 대한 부분을 $\sum_{n=0}^N \frac{1}{2^n}$ 의 형태로 수정하여 좌, 우 shift와 덧셈 연산으로 곱셈과 나눗셈을 처리하도록 하였다.

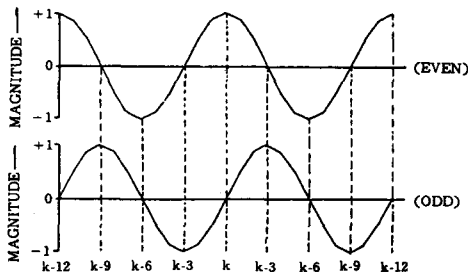


그림 2.5 even & odd heptagonal waves

필터 수식은 다음과 같다

$$y_{II}(k) = (1/6)[(x_k - x_{k-6}) + 0.875(x_{k-11} - x_{k-7} - x_{k-5} + x_{k-1}) \dots (2-1) + 0.5(x_{k-10} - x_{k-8} - x_{k-4} + x_{k-2})]$$

$$y_{II}(k) = (1/6)[(x_k - x_{k-3}) + 0.875(x_{k-8} + x_{k-10} - x_{k-2} - x_{k-4}) \dots (2-2) + 0.5(x_{k-7} + x_{k-11} - x_{k-1} - x_{k-5})]$$

2.2.2 최대치 연산

rms값의 연산을 위해서는 real 및 imaginary 부분에 대해 다음과 같은 연산이 필요하나 square root 연산이 사용되므로 approximation하여 처리한다.

Y_r, Y_i 가 각각 Real component와 Imaginary component라 하면 앞의 filter algorithm을 거친 파형은 $y(t) = Y_i \sin \omega_0 t + Y_r \cos \omega_0 t \dots (2-3)$

로 가정할 수 있다. 따라서

$$|y(t)| = \sqrt{Y_i^2 + Y_r^2} \dots (2-4)$$

$$\theta_y = \tan^{-1} \frac{Y_r}{Y_i}$$

가 된다. 여기에서 $|y(t)|$ 는 신호의 최대치, θ_y 는 reference function과의 위상차이다.

Schweitzer, Aliaga에 의해 제시된 Piece wise linear approximation technique을 이용하여 다음식으로 최대치를 계산한다.

$$Y = au + bv \dots (2-5)$$

여기에서 $u = \text{MAX}(|Y_i|, |Y_r|)$

$v = \text{min}(|Y_i|, |Y_r|)$

$a, b = \text{coefficients}$

식(2-4)는 v/u 값에 의한 계산 영역의 세분화에 따라 오차가 달라진다. 표 2.1은 계산 영역의 구분에 따라 오차를 최소로 하는 a, b의 값과 그때의 오차를 나타낸 것이다.

	Region	a	b	Error(%)
One-region	All	0.94754	0.39249	+2.6, -5.2
	$u > 2v$	0.98195	0.23184	+0.9, -1.8
Two-region	$u \leq 2v$	0.81479	0.58716	+0.4, -0.9
	$0 \leq v/u \leq 0.25$	0.9951	0.1234	Mean Value 1.397×10^{-4}
Four-region	$0.25 < v/u \leq 0.50$	0.9393	0.3497	
	$0.50 < v/u \leq 0.75$	0.8506	0.5286	
	$0.75 < v/u \leq 1.00$	0.7547	0.6574	

표 2.1 Coefficients and Error for Square Root

2.2.3 전력률 계산

전력계산을 위해서 같은 상의 전압, 전류의 Real과 Imaginary 성분이 이용된다. $I_A \cos \theta_i, I_A \sin \theta_i$ 가 각각 A상 전류의 Real, Imaginary 성분이고, $V_A \cos \theta_i, V_A \sin \theta_i$ 가 각각 A상 전압의 Real, Imaginary 성분이므로

$$\begin{aligned} \text{Active Power} &= V_A \cdot I_A \cdot \cos(\theta_v - \theta_i) \\ &= V_A \cdot I_A (\cos \theta_v \cdot \cos \theta_i + \sin \theta_v \cdot \sin \theta_i) \dots (2-6) \\ &= V_A \cos \theta_v \cdot I_A \cos \theta_i + V_A \sin \theta_v \cdot I_A \sin \theta_i \\ &= (V_r I_r) + (V_i I_i) \end{aligned}$$

$$\begin{aligned} \text{Reactive Power} &= V_A \cdot I_A \cdot \sin(\theta_v - \theta_i) \\ &= V_A \cdot I_A \cdot (\sin \theta_v \cdot \cos \theta_i - \cos \theta_v \cdot \sin \theta_i) \dots (2-7) \\ &= V_A \sin \theta_v \cdot I_A \cos \theta_i - V_A \cos \theta_v \cdot I_A \sin \theta_i \\ &= (V_r I_i) - (V_i I_r) \end{aligned}$$

가 된다. 여기에서 I_A 와 V_A 는 각각 A상의 전압, 전류의 최대치이고 θ_v, θ_i 는 각각 전압, 전류와 Reference wave와의 위상차이다.

3. 하드웨어 구현

본 논문에서는 하나의 FPGA device에 구현하려 하였으나 원하는 사양의 device의 수급이 곤란하여 활용 가능한 ALTERA사의 FLEX8000 제품군인 EPF81188A와 EPF8282A의 두 개의 칩에 12 sample의 전압과 전류를 입력받아 동작하는 보호 계전기를 구현하였다.

EPF81188A는 12,000개의 gate와 1,188개의 flipflop를 가지고 있으며 1,008개의 logic element를 사용할 수 있다. 그리고 EPF8282A는 2,500개의 gate와 282개의 flipflop를 가지고 있으며 208개의 logic element를 사용할 수 있다.

ADC는 TI사의 TLV1571을 사용하였으며, 5V 동작 시 1.25MSPS로 동작한다. 다만, TI사의 DSP와 직접 연결하여 사용하도록 디자인된 device이므로 제어 신호가 다소 복잡하며 EPF8282A에서 ADC interface를 위한 제어 신호 발생 및 데이터 수집을 하도록 기능을 분할하였다. 또한 EPF8282A에서는 시스템 전체에 사용되는 clock을 만들어 내는 기능을 갖도록 하였다.

디지털 필터와 전압, 전류, 주파수, 유·무효 전력의 계측 및 순시 계전기의 기능 및 각종 register의 설정 및 host interface는 EPF81188A에 분할하였다.

다음 그림 3.1은 이와 같이 구현한 계전기의 모습이다. 전원 회로와 FLEX8000 device인 EPF8282A와 EPF81188A 및 ADC인 TLV1571로 구성된 것을 볼 수 있다. 일반적으로 microprocessor를 사용한 계전기에 비하여 상당히 적은 수의 소자를 사용하고 있는 것을 알 수 있다.

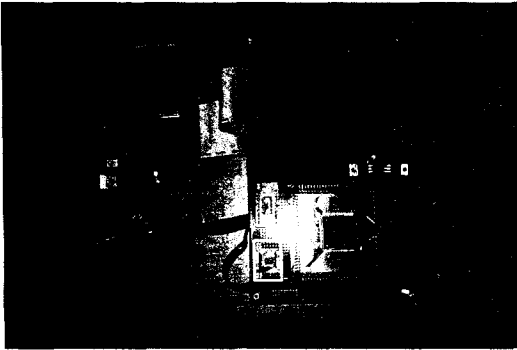


그림 3.1 FPGA로 구현한 보호 계전기 board

4. 실험 결과

본 논문에서는 구현한 보호 계전기의 테스트 입력으로는 1선 지락사고의 전류를 넣어 결과를 확인하였다. 다음 그림 4.1은 OCR 동작을 확인하고자 구현한 FPGA에 EMTP에서 3상 계통의 1선 지락사고 데이터중 a상의 전압과 전류를 입력하여 그 결과를 oscilloscope에서 측정 한 것이다.

그림 4.1에서 보듯이 한 주기의 데이터가 입력된 이후 약간의 지연이 발생할 후 OCR 기능에 해당하는 차단기 trip신호가 발생함을 알 수 있다. 한 주기의 데이터가 입력된 후 칩 내부에서 cross-correlation filter를 거쳐 기본파 성분으로 추출하여 얻어진 전압, 전류를 사용하여 주파수 및 유·무효 전력에 대한 계측을 하며, 입력된 전압, 전류 및 계산된 주파수 등이 설정한 범위 이내에 있는지, 초과하는지, 부족하지를 판단하여 이에 해당하는 차단기 동작 신호를 발생시키며 이에 소요되는 시간만큼 한 주기 이후 지연 시간을 가지고 trip 신호가 발생한다.

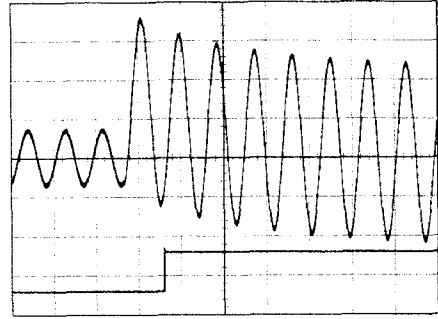


그림 4.1 전류 입력 파형과 OCR 동작 결과

5. 결 론

본 논문에서는 디지털 보호 계전기의 신뢰성 향상을 목적으로 전용 칩을 개발하였다. 기존 microprocessor를 사용한 시스템의 software에 해당하는 부분은 모두 HDL(hardware description language)로 기술하여 칩으로 만들었으며, software적인 처리를 hardware로 기능을 옮김으로 보다 안정적이고 외부 잡음에 강인하며 또한 여러 기능을 하나의 칩에 구현함으로써 사용되는 부품을 줄일 수 있으므로 전체적인 보호 계전기 하드웨어의 신뢰성을 향상시켰다. 또한 HDL로 기술하여 IP(intellectual property)로 재사용이 가능한 장점을 가지고 있다. 다만 현재는 수급이 가능한 device를 가지고 구현하는 제약이 있어 two-chip으로 되었으나 추후 보다, gate 및 logic cell이 많은 FLEX10K100A device를 사용할 경우 충분히 하나의 chip으로 되는 것을 ALTERA사의 전용 개발 툴인 MAX+PLUS II에서 합성 및 시뮬레이션을 통해 확인하였다. 이는 device만 사용가능하다면 즉시 one-chip으로 개발 가능함을 의미한다.

현재까지 구현된 기능은 전압, 전류, 주파수, 유·무효 전력의 계측 및 OCR, OVR, UVR, OFR, UFR의 기능이며 보호 계전 방식은 순시 특성만을 가지는 한계점이 있으나 이는 추후 개발에서 time inverse 특성을 갖도록 해야 할 필요가 있다.

기존 방식과는 달리 보호 계전기 동작에서는 모두 개발한 칩에서 담당하므로 본 논문에서 개발한 칩의 안정성을 향상시키고 한국형 보호 계전시스템에 최적화 되도록 개발할 필요가 있으며, 이러한 칩의 사용으로 각 제조사에 따른 보호 계전기의 편차를 줄일 수 있으며, 각 제조사별로 보호 계전 software 개발에 따른 중복 투자 및 기술편차를 극복할 수 있을 것으로 기대된다.

(참 고 문 헌)

- [1] 전력계통 보호계전 시스템 기술 조사전문위원회, "전력계통 보호계전 시스템 기술의 현황과 전망", 1999
- [2] 한국전기연구소, "마이크로프로세서를 이용한 전자식 배전반 개발", 과학기술처, 1990
- [3] 김용석, "시스템 ASIC 설계 및 IP", 성균관대학교 전기전자 및 컴퓨터공학부, 1998
- [4] 김용석, "ASIC이해 및 설계방법론", 성균관대학교 전기전자 및 컴퓨터공학부, 1998
- [5] "HDL을 이용한 ASIC 설계 교육", 전자부품연구원, 1999
- [6] "DIGITAL ASIC 산학 과정", 삼성전자 첨단기술연구소, 1998
- [7] M.A Manzoul, "Multi-function protective relay on FPGA", Microelectronics Reliability, 1998, pp.1963-1968
- [8] "Data Book", ALTERA, 1998
- [9] Kevin Skahill, "VHDL for Programmable ADDISON WESLEY, 1996