

플라이 커패시터 멀티레벨 인버터 및 컨버터를 위한 스너버 회로

이민수, 성현재, 김인동, 노의철, 조철제
부경대학교

A Snubber Circuit for Flying Capacitor Multilevel Inverter and Converter

M.S. Lee, H.J. Seong, I.D. Kim, E.C. Nho, C.J. Joe
Pukyong National University

ABSTRACT

This paper proposes a snubber circuit for flying capacitor multilevel inverter and converter. The proposed snubber circuit makes use of Undeland snubber as basic snubber unit and has such an advantage of Undeland snubber used in the two-level inverter. Comparing conventional RCD/RLD snubber for multilevel inverter and converter, the proposed snubber keeps such a good features as fewer number of components, improved efficiency of system due to low loss snubber, and reduction of voltage stress of main switching devices due to low overvoltage. Furthermore, the proposed concept of constructing a snubber circuit for flying capacitor 3-level inverter and converter can apply to any level of them. In this paper, the proposed snubber applies to three-level flying capacitor inverter and demonstrates its feature by computer simulation and experimental result.

1. 서론

멀티레벨 인버터와 컨버터가 고전압·대전력 응용에서 많은 흥미를 가지고 연구되고 있다.^{[1]-[6]} 이 멀티레벨 인버터와 컨버터는 커패시터 전압원으로부터 얻어지는 여러 가지 전압레벨을 사인파에 가까운 전압파형으로 합성하기 위한 구조로 구성되어 있다. 레벨의 수를 증가시킴으로써 최소의 고조파 왜율을 가진 사인파에 가까운 계단파를 만들어 낼 수 있다. 이것은 부피가 크고 무거운 변압기를 사용하지 않고 스위칭 소자의 전압분담 문제없이 소자 자체의 정격전압보다 더 높은 DC 링크전압을 다룰 수 있다는 것을 의미한다.

턴 오프 스너버, 턴 온 스너버인 기존의 RCD, RLD 스너버가 멀티레벨 인버터와 컨버터에 폭넓게 사용되어져 왔다.^{[3],[7],[8]} 그러나 이들 스너버는 턴 오프 커패시터, 턴 온 인덕터, 저항, 다이오드로 구성된 스너버 회로가 각각의 스위칭 소자에 연결되어야 한다. 그러므로 전체적으로 사용된 스너버 회로의 소자의 수가 많아지고 회로 구성이

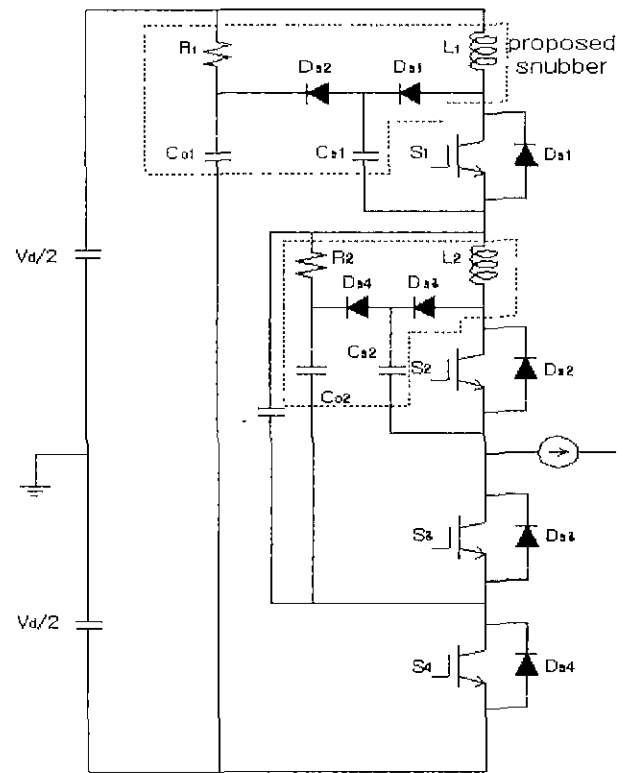


그림 1 제안한 스너버를 가진 Flying capacitor 3-레벨 인버터

Fig. 1 Flying capacitor three-level inverter with proposed snubber

복잡해져 비용이 증가한다. 또한 많은 양의 스너버 에너지가 스너버 저항을 통해 분산되므로 시스템의 전력손실도 높아진다 따라서 시스템의 효율이 낮아지게 된다. 멀티레벨 구조와 RCD/RLD 스너버의 결합으로 발생하는 overvoltage 불평형 문제는 스위칭 소자의 전압 스트레스를 더 나쁘게 만든다.^[7]

위에서 언급한 Flying capacitor 멀티레벨 인버터와 컨버터에 사용된 기존의 RCD/RLD 스너버의 단점들을 개선하기 위해 새로운 스너버 회로를 제안한다. 제안한 스너버

표 1 스위칭 결합상태 및 출력전압

Table 1 Switching combination state and output voltage

	S ₁	S ₂	S ₃	S ₄	출력전압
P	ON	ON	OFF	OFF	V _d /2
Z _P	ON	OFF	ON	OFF	0
Z _N	OFF	ON	OFF	ON	0
N	OFF	OFF	ON	ON	-V _d /2

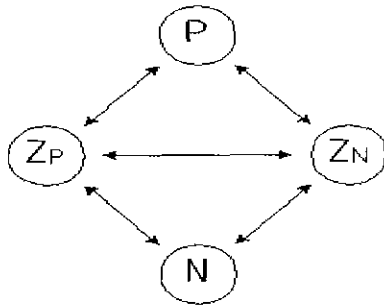


그림 2 스위칭 원리

Fig. 2 Switching principle

회로는 기본적인 스너버로 Undeland 스너버를 사용하여 구성한 것으로서, Two-level 인버터에서 사용되어온 Undeland 스너버의 장점을 그대로 지니고 있다. 멀티레벨 인버터 및 컨버터를 위한 기존의 RCD/RLD 스너버에 비해 사용소자의 감소, 낮은 overvoltage에 의한 스위칭 소자의 전압 스트레스 감소와 스너버 손실 감소에 의한 시스템의 효율 개선 등 많은 장점을 지니고 있다. 또한 본 논문에서 제안하는 Flying capacitor 멀티레벨 인버터 및 컨버터를 위한 스너버 회로를 구성하는 방법은 McMurray 스너버와 같은 다른 스너버를 기본 스너버로 사용할 때도 그대로 적용할 수 있다. 또한 본 논문에서는 제안한 스너버를 3-레벨 Flying capacitor 인버터에 적용하여 컴퓨터 시뮬레이션과 실험을 통해 제안한 스너버의 특성을 확인하였다

2. 스위칭 상태 및 동작원리

그림 1은 제안한 스너버를 갖고 있는 Flying capacitor 3-레벨 인버터를 보이고 있다. 표 1은 3-레벨 Flying capacitor 인버터에서 V_d/2, 0, -V_d/2의 전압 레벨을 얻기 위한 스위칭 상태 및 출력전압을 나타낸다. 이러한 스위칭 상태는 Phase Shift SPWM 방식으로 얻어진다.^[8]

그림 2는 스위칭 원리를 나타내었다. Flying capacitor는 단자전압이 0인 상태에서 충전과 방전을 반복해야 하기 때문에 0 상태가 Z_p와 Z_n 두가지로 나뉘어진다. 단자전압이 V_d/2와 0 구간을 반복한다면 P → Z_p → P → Z_n → P, -V_d/2와 0 구간을 반복한다면 N → Z_n → N → Z_p → N 상태로 Z_n과 Z_p가 번갈아 행해지게 된다. 그리고 스위칭 주기의 반주기 마다 Z_p → Z_n 또는 Z_n → Z_p 상태로 변하게 된다. 이것은 Flying capacitor가 단자전압

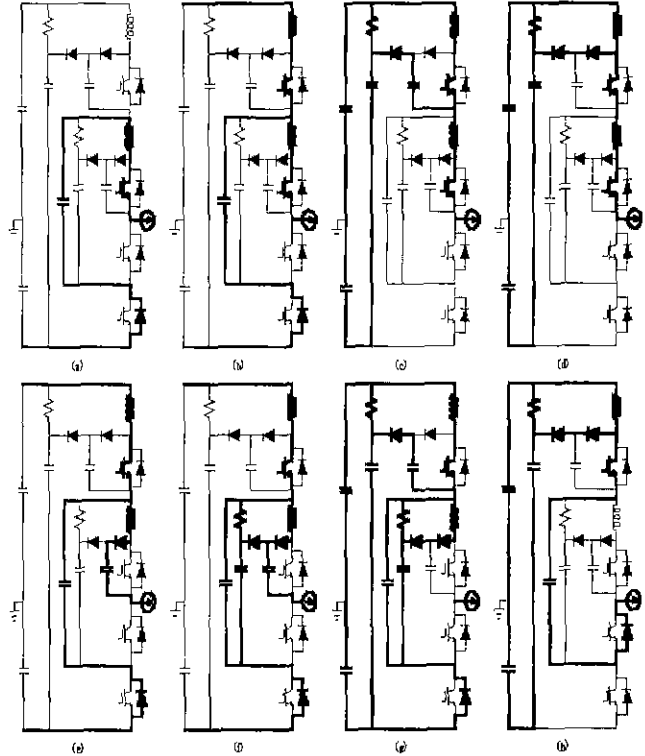


그림 3 각 스위칭 모드의 전류 흐름

Fig. 3 Current flow of each switching mode

이 0인 상태에서 충전이나 방전이 오래 일어나지 않도록 하기 위함이다.

2.1 Z_n → P 모드

S1이 턴 온 되기 전에 부하전류는 인버터의 스위칭 상태 Z_n에서 D_{s4} → Flying capacitor → L₂ → S₂ 루프를 통해 흐른다고 가정한다[그림 3(a)]. 이 때 V_{cs1} = V_{co2} = V_d/2, V_{cs2} = 0, V_{co1} = V_d이다. S1이 턴 온 되면 부하전류는 D_{s4} → Flying capacitor → L₂ → S₂와 L₁ → S₁ → L₂ → S₂ 루프를 통해 흐른다[그림 3(b)]. D_{s4}를 통해 흐르는 전류가 0으로 감소하면 L₁ 전류는 계속 부하로 흐르고 Cs1은 Cs1 → R1 → L1 → S1 루프를 통해 V_d/2에서 0으로 방전한다. 그리고 Co1은 V_d보다 조금 더 충전한다[그림 3(c)]. S4의 블로킹 전압은 Co1과 Co2의 전압차에 의해 V_d/2로 유지된다 동시에 Co1에 충전된 에너지는 R1으로 분산되고 L1의 overcurrent도 R1으로 분산된다[그림 3(d)].

2.2 Z_n → Z_p 모드

S1과 S3가 턴 온 되기 전에 부하전류는 인버터의 스위칭 상태 Z_n에서 D_{s4} → Flying capacitor → L₂ → S₂ 루프를 통해 흐른다고 가정한다[그림 3(a)]. 이 때 V_{cs1} = V_{co2} = V_d/2, V_{cs2} = 0, V_{co1} = V_d이다. S1과 S3가 턴 온(S₂와 S₄는 턴 오프) 되면 부하전류는 D_{s4} → Flying capacitor → L₂ → Cs2와 L₁ → S₁ → L₂ → Cs2 루프를 통해 흐른다[그림 3(e)]. Cs2는 V_d/2까지 충전된다. D_{s4}로 흐르는 전류가 0이 되기 전에 S3가 턴 온 되므로 부하전류는 L₁ → S₁ → Flying capacitor → D_{s3}와 D_{s4}

→ Ds3 루프를 통해 흐르고 Co2는 Vd/2보다 조금 더 충전한다[그림 3(f)]. Co2에 충전된 에너지는 R1으로 분산되고 L2의 overcurrent도 R1으로 분산된다. 그리고 Cs1은 Cs1 → R1 → L1 → S1 루프를 통해 Vd/2에서 0으로 방전하고 Co1은 Vd보다 조금 더 충전된다[그림 3(g)]. S4의 블로킹 전압은 Co1과 Co2의 전압차에 의해 Vd/2로 유지된다. 그리고 Co1에 충전된 에너지는 R1으로 분산되고 L1의 overcurrent도 R1으로 분산된다[그림 3(h)].

3. 시뮬레이션 및 실험 결과

제안한 스너버 회로의 효과를 증명하기 위해서 3-레벨 Flying capacitor 인버터를 이용했으며 그림 4와 같다. 시뮬레이션은 PSPICE Release 8 version을 사용했으며 시뮬레이션 및 실험 조건은 아래와 같다.

$$V_d = 200 \text{ [V]}, L = 25 \text{ [\mu H]}, R = 4.7 \text{ [\Omega]}$$

$$C_o = 40 \text{ [\mu F]}, C_s = 1 \text{ [\mu F]}$$

표 2는 기존의 RCD/RLS 스너버와 제안한 스너버의 소자의 수를 비교한 것이다. 다이오드와 방전저항이 기존의 스너버보다 각각 2개, 4개가 적다 그리고 제안한 스너버의 커패시터 중 2개는 overvoltage clamping의 용도로 사용되었기 때문에 스너버 측면에서만 비교한다면 총 8개의 소자가 감소된다.

그림 4와 5는 제안한 스너버 회로의 시뮬레이션 결과이다. 제안한 스너버 회로의 전력손실은 기존의 RCD/CLD 스너버 회로와 비교하여 45% 정도 줄어든다. 최대 overvoltage는 기존의 RCD/RLD 스너버 회로에서는 Vd/2의 50.6%인 반면 제안한 스너버 회로에서는 Vd/2의 11.8%이다. 위의 결과로부터 제안된 스너버 회로가 턴 오프에서의 dv/dt 제한뿐만 아니라 각 스위칭 소자의 overvoltage 제한에 효과적임을 알 수 있다.

그림 6은 시뮬레이션된 전체 출력전압 Vo와 출력전류 Io를 보여준다. 그림 7은 스위치 S1의 전압 Vs1과 전류 Is1을 보여주고(first plot). 턴 온 구간(second left plot)과 턴 오프 구간(second right plot) 동안에서의 확대된 전압 및 전류파형을 보여준다 그림 8은 스위치 S4의 전압 Vs4과 전류 Is4을 보여주고(first plot). 턴 온 구간(second left plot)과 턴 오프 구간(second right plot) 동안에 확대된 파형을 보여준다.

그림 9는 실험을 통하여 측정된 전체 출력전압 Vo와 출력전류 Io를 보여준다. 그림 10(a)는 턴 온 구간 동안에서의 스위치 S1의 전압 Vs1과 전류 Is1을 보여주고, 그림 10(b)는 턴 오프 구간 동안에서의 전압 및 전류파형을 보여준다. 11(a)는 턴 온 구간 동안에서의 전압 Vs4와 전류 Is4를 보여주고, 그림 11(b)는 턴 오프 구간 동안에서의 전압 및 전류파형을 보여준다. 시뮬레이션 결과와 실험 결과를 통해서 볼 때 제안한 스너버 회로가 di/dt와 dv/dt 제한에 의해서 볼 때 제안한 스너버 회로가 di/dt와 dv/dt 제한에 의해서 스위치 S1과 S4에서의 파형이 좋음을 볼 수 있고, 스위칭 손실이 적음을 볼 수 있다

표 2 소자의 수 비교

Table 2 Comparison of the number of devices

	C	L	Diode	R
RCD/RLD	4	2	6	6
Proposed	4	2	4	2

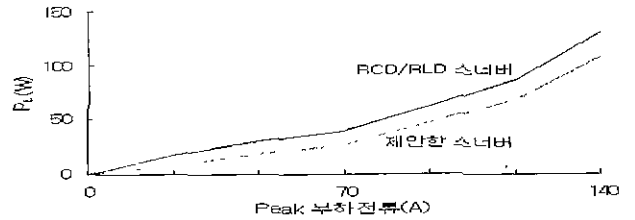


그림 4 스너버 저항에서의 전력 손실

Fig. 4 Power loss in the snubber resistance

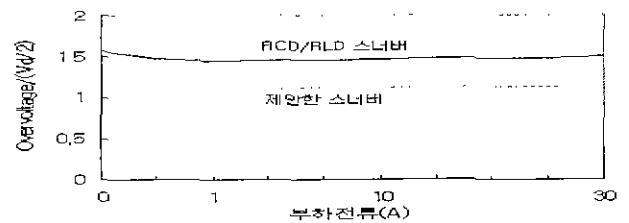


그림 5 최대 overvoltage

Fig. 5 Maximum overvoltage

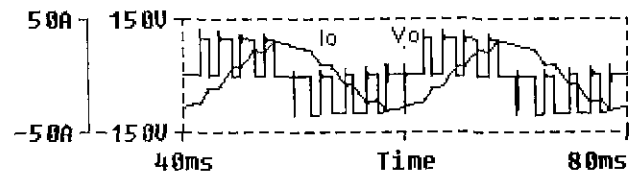


그림 6 전체 출력전압 Vo와 출력전류 Io

Fig. 6 Overall output voltage Vo and current Io waveforms

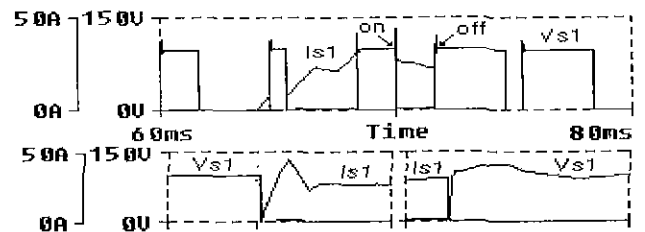


그림 7 스위치 S1의 전압 Vs1과 전류 Is1(first plot), 턴 온 구간에서의 확대된 파형(second left plot), 턴 오프 구간에서의 확대된 파형(second right plot)
Fig. 7 Voltage Vs1 and current Is1 of switch S1 (first plot), zoomed waveforms during turn-on interval(second left plot) and turn-off interval(second right plot)

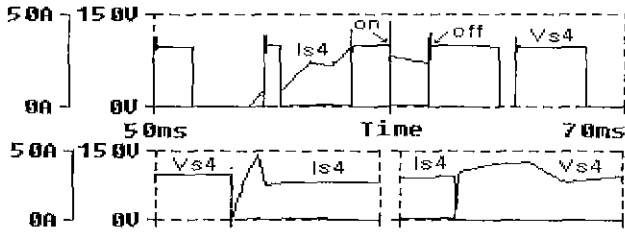


그림 8 스위치 S4의 전압 V_{s4} 과 전류 I_{s4} (first plot), 턴 온 구간에서의 확대된 파형(second left plot), 턴 오프 구간에서의 확대된 파형(second right plot)
 Fig. 7 Voltage V_{s4} and current I_{s4} of switch S4 (first plot), zoomed waveforms during turn-on interval(second left plot) and turn-off interval(second right plot)

4. 결론

본 논문은 Flying capacitor 멀티레벨 인버터 및 컨버터를 위한 스너버 회로를 제안하였다. 제안한 스너버회로는 기본적인 스너버로 Undeland 스너버를 사용하여 구성한 것으로서, Two-level 인버터에서 사용되어온 Undeland 스너버의 장점을 그대로 지니고 있다. 멀티레벨 인버터 및 컨버터를 위한 기존의 RCD/RLD 스너버에 비해 사용소자의 감소, 낮은 overvoltage에 의한 스위칭 소자의 전압 스트레스 감소와 스너버 손실 감소에 의한 시스템의 효율 개선 등 많은 장점을 지니고 있다. 또한 본 논문에서 제안하는 Flying capacitor 멀티레벨 인버터 및 컨버터를 위한 스너버 회로를 구성하는 방법은 McMurray 스너버와 같은 다른 스너버를 기본 스너버로 사용할 때도 그대로 적용할 수 있다. 또한 본 논문에서는 제안한 스너버를 3-레벨 Flying capacitor 인버터에 적용하여 컴퓨터 시뮬레이션과 실험을 통해 제안한 스너버의 특성을 확인하였다.

참고 문헌

[1] C. Hochgraf, R. Lasseter, D. Divan and T. A. Lipo, "Comparison of Multilevel Inverter for static Var compensation", IEEE IAS Annual Meeting Conf. Record pp. 921-928, 1994.
 [2] N. S. Choi, C. C. Cho and G. H. Cho, "Modeling and Analysis of a Static Var Compensator using Multilevel Voltage Source Inverter," IEEE IAS Annual Meeting Conf. Record, pp 356-365, 1993.
 [3] G. Sinha, C. Hochgraf, R.H. Lasseter, D.M. Divan T.A. Lipo, "Fault Protection in a Multilevel Inverter Implementation of a Static Condenser," IEEE IAS Annual Meeting Conf. Record, pp. 2557-2564, 1995.
 [4] Y. Liang, C. O. Nwankpa, "A Power Line Conditioner Based on Flying Capacitor Multilevel Voltage Source Converter with Phase Shift SPWM", Proceeding of the IEEE Ind. Appl meeting., Vol. 4, No 4, pp. 2337-2343, 1999, Sat.
 [5] T. Undeland, F. Jensen, A. Steimbakk, T. Rogne and H. Hernes, "A Snubber Configuration for Both Power Transistor and GTO PWM Inverters", IEEE PESC, pp

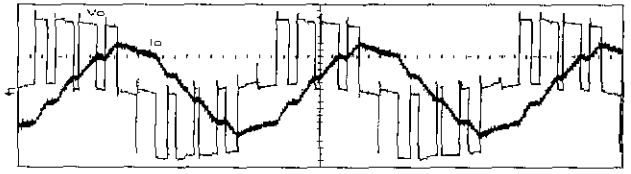
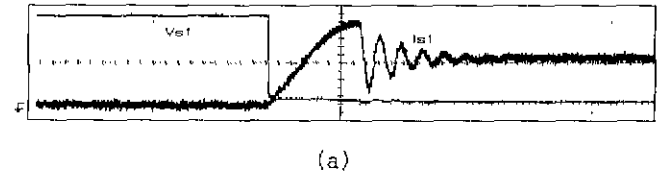
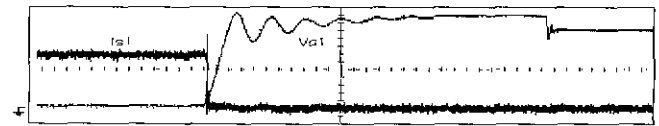


그림 9 전체 출력전압 V_o 와 출력전류 I_o
 Fig. 6 Overall output voltage V_o and current I_o waveforms

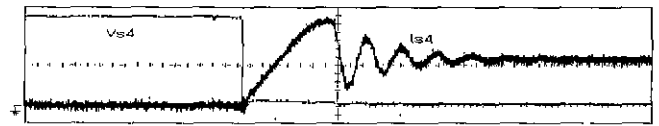


(a)

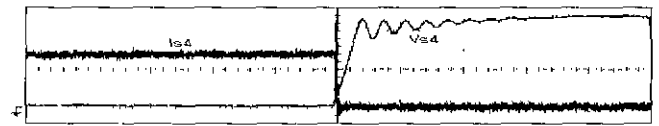


(b)

그림 10 (a) 스위치 S1의 턴 온 구간에서의 전압 및 전류파형 (b) 턴 오프 구간에서의 전압 및 전류파형
 Fig. 10 (a) Voltage and current waveforms of switch S1 during turn-on interval (b) Voltage and current waveforms of switch S1 during turn-off interval



(a)



(b)

그림 11 (a) 스위치 S4의 턴 온 구간에서의 전압 및 전류파형 (b) 턴 오프 구간에서의 전압 및 전류파형
 Fig. 10 (a) Voltage and current waveforms of switch S4 during turn-on interval (b) Voltage and current waveforms of switch S1 during turn-off interval

42-53, 1984.

[6] W. McMurray, "Efficient Snubbers for Voltage- Source GTO Inverters", IEEE Trans. Pow Elec., Vol. PE-2, No. 3, pp 264-272, 1987, July.
 [7] B. S. Suh, D. S. Hyun and H. K. Choi, "A Circuit Design for Clamping an Overvoltage in Three-level GTO Inverters," IEEE IECON, pp651-656, 1994.
 [8] J. H. Suh, B. S. Suh and D. S. Hyun, "A New Snubber Circuit for High Efficiency and Overvoltage Limitation in Three-Level GTO Inverters", IEEE Trans. Ind. Elec, Vol 44, No. 2, pp. 145-156, 1997, April