

극점 배치 기법을 통한 DC-DC 컨버터의 제어 설계

김혜선, 조윤제, 조보형
 서울대학교 전력전자 시스템 연구실

Pole placement technique for control design of DC-DC switchmode power converter

Hye-Sun Kim, Yoon-Jae Cho, Bo. H. Cho
 Power Electronics System Lab. Seoul National University

ABSTRACT

The pole placement technique for control design of the current mode controlled DC-DC switchmode power converter is proposed. It is compared with conventional transfer function analysis. Using the pole placement technique, control design automation algorithm by computer-based tool is presented. Control design example with large signal simulation is shown.

audio susceptibility에 의해 결정된다.

그림 1에서 보듯이 전류모드 제어 컨버터는 전류 루프와 전압 루프가 같이 존재하는데, 이를 이용해 overall loop gain(T1)과 outer loop gain(T2)을 다음과 같이 표현할 수 있다.

$$\begin{aligned} T_1 &= T_i + T_v \\ T_2 &= \frac{T_v}{1 + T_i} \end{aligned} \quad \text{식 (2)}$$

1. 서론

지금까지 많이 이용되어 온 전달 함수를 통한 컨버터의 제어기 설계 방법은 두 단계로 나눌 수 있다. 먼저 주파수 대역에서 루프를 위상 여유(phase margin)과 이득 여유(gain margin)의 스펙에 맞도록 설계한 후 출력 임피던스를 통해 부하의 스텝 응답을 고려하게 된다. 그런데 이 방법은 제어기 설계를 자동화하기 힘든 단점이 있다. 반면 상태 방정식을 통해 유도한 시스템의 고유값(eigenvalue)은 시스템의 안정도와 부하 계단 응답의 정보를 모두 갖게 된다. 따라서 고유값의 위치에 따른 안정도와 동작 특성을 파악하면 자동화 알고리즘을 쉽게 구현할 수 있게 된다.

본 논문에서는 기존의 제어기 설계 방법과 극점 배치 기법을 비교하고, 벽 컨버터의 제어기 설계 알고리즘을 제시한 후 실례로 설계 결과를 살펴볼도록 한다.

2. 전달 함수를 통한 제어기 설계

제어기 설계에 있어 요구되는 조건은 크게 안정도(stability)와 동작 특성(performance)을 들 수 있다. 안정도는 위상 여유와 이득 여유로 표현되고, 동작 특성은 출력 임피던스, 입력 어드미턴스,

설계 순서는 outer loop 을 안정도에 맞게 설계한 후 출력 임피던스를 통해 동작 특성을 파악하게 되므로, 두번째 단계에서 스펙을 만족하지 않으면 루프를 다시 설계해야 한다. 그런데 안정도와 동작 특성을 한꺼번에 만족시키는 방향을 알기 힘들어 설계가 여러 번 되풀이될 수 있다.

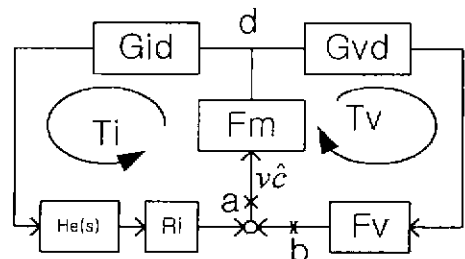


그림 1. 소신호 모델 블록도

3. 극점 배치 기법

3.1 제어기 변수와 피드백 이득의 관계

전압 보상기는 2 극점 1 영점 보상기로 다음과 같이 나타낸다.

$$F_v = \frac{K_v(1 + s/wc1)}{s(1 + s/wp)} \quad \text{식 (2)}$$

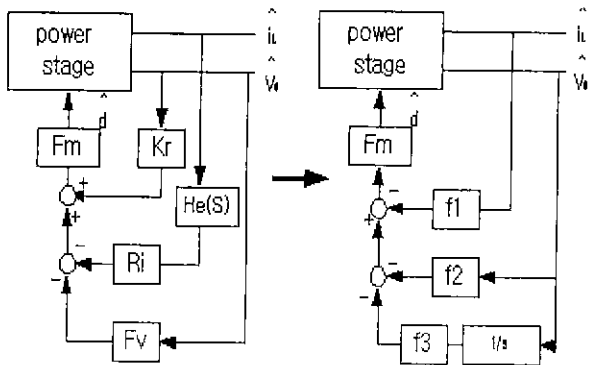


그림 2. 제어기 변수와 피드백 이득의 관계 [3]

이 때, wp 는 스위칭 노이즈를 억제하기 위해 보통 스위칭 주파수의 1/2에 존재하므로 낮은 주파수 대역에서는 이 값을 무시하게 된다. 따라서 전류 모드 제어방식의 컨버터에서는 인덕터 전류, 커패시터 전압, 그 전압의 적분기 값으로 세 개의 상태로 나타낼 수 있고 그림 2에서 보듯이 보상기의 변수 값을 이용해 세 개의 상태 변수 피드백 이득으로 표현하게 된다.

$$\begin{aligned} f_1 &= R_i \\ f_2 &= \frac{K_v}{\omega_{c1}} \\ f_3 &= K_v \end{aligned} \quad \text{식 (3)}$$

3.2 상태 공간 소신호 방정식과 Zo, Yi, 오디오 서셉티빌리티의 유도

세 개의 상태 변수를 가정하면 오픈 루프 상태 방정식은 식 (4), (5)로 표현된다.

$$x = \begin{bmatrix} x_1 \\ x_2 \\ x_3 \end{bmatrix} \quad \begin{aligned} x_1 &= \hat{i}_L \\ x_2 &= \hat{v}_c \\ x_3 &= x_2 \end{aligned} \quad \text{식 (4)}$$

$$\begin{aligned} \dot{x} &= A \cdot x + B \cdot \hat{d} + B_{i_o} \cdot \hat{i}_o + B_{v_g} \cdot \hat{v}_g \\ \hat{v}_o &= C_{v_o} \cdot x \\ \hat{i}_g &= C_{i_g} \cdot x \end{aligned} \quad \text{식 (5)}$$

여기서 x는 상태 변수 벡터, d는 듀티, io는 출력 전류, vo는 출력 전압, vg는 입력 전압을 나타낸다. 루프를 닫았을 때의 식은 다음과 같다.

$$\begin{aligned} x &= A_f \cdot x + B_{i_o} \cdot \hat{i}_o + B_{v_g} \cdot \hat{v}_g \\ \hat{v}_o &= C_{v_o} \cdot (sI - A_f)^{-1} \cdot (B_{i_o} \cdot \hat{i}_o + B_{v_g} \cdot \hat{v}_g) \\ \hat{i}_g &= C_{i_g} \cdot (sI - A_f)^{-1} \cdot (B_{i_o} \cdot \hat{i}_o + B_{v_g} \cdot \hat{v}_g) \end{aligned}$$

----- 식 (6)

where

$$\begin{aligned} A_f &= A - F_m \cdot B \cdot F \\ F &= [f_1 \quad f_2 \quad f_3] \end{aligned}$$

이 때 출력 임피던스, 입력 어드미턴스, audio susceptibility의 전달함수는 식 (7)로 나타낼 수 있다.

$$\begin{aligned} Z_o(s) &= C_{v_o} \cdot (sI - A_f)^{-1} \cdot B_{i_o} \\ Y_i(s) &= C_{i_g} \cdot (sI - A_f)^{-1} \cdot B_{v_g} \\ A_u(s) &= C_{v_o} \cdot (sI - A_f)^{-1} \cdot B_{v_g} \end{aligned} \quad \text{식 (7)}$$

벽 컨버터의 출력 임피던스의 전달 함수는 다음과 같다.

$$Z_o(s) = - \frac{s(s - \lambda_1 - \lambda_2 - \lambda_3)}{C \cdot (s - \lambda_1)(s - \lambda_2)(s - \lambda_3)} \quad \text{식 (8)}$$

이 때 $\lambda_1, \lambda_2, \lambda_3$ 는 A_f 의 고유값이다.

3.3 루프 이득과 고유값의 관계

그림 3 에는 전류 루프 이득, 전압 루프 이득과 T1의 asymptote가 표현되어 있다. 전류 센싱 이득(Ri)에 따라 전류 루프 게인은 i)에서 iv)까지 변하게 된다. 고유값은 1+T1 의 영점($\omega_{c1}, \omega_{c2}, \omega_{c1}$)이므로 전류 센싱 이득이 변하면 고유값의 위치도 바뀌게 된다. 그림 4의 i), ii)에서 보듯 전류 센싱 이득이 클 때 고유값은 낮은 주파수 대역에 두 개, 높은 주파수 대역에 한 개가 존재하게 된다. 반면에 iii), iv) 같이 전류 센싱 이득이 작아지면서 낮은 주파수 대역에 한개, 높은 주파수 대역에 두 개가 존재한다. 그런데 T1의 위상 여유가 크다면 그림 4에서 보듯 고유값이 모두 실수가 되지만 위상 여유가 작으면 높은 주파수 대역의 두 값은 복소수(complex value)가 된다. 실제로 iv)의 경우처럼 0dB 이상일 때 전류 루프 이득이 전압 루프 이득보다 상당히 작으면 위상 여유가 작아진다. 이처럼 위상 여유가 작아지면 부하의 계단 응답 시 출력 전압에 고주파의 발진을 만들어 시스템을 안정도를 해치게 된다.

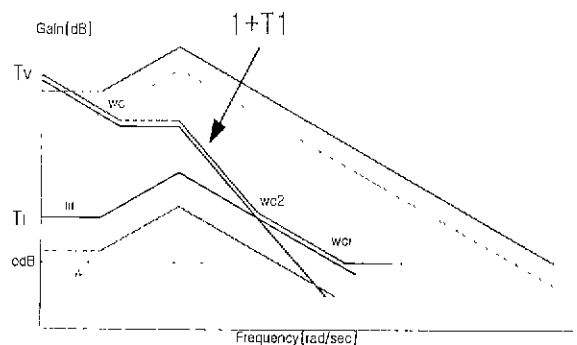


그림 3. 전류 루프, 전압 루프와 T1의 이득 선도 [1] (위에서 부터 전류 루프 이득은 i, ii, iii, iv 이다.)

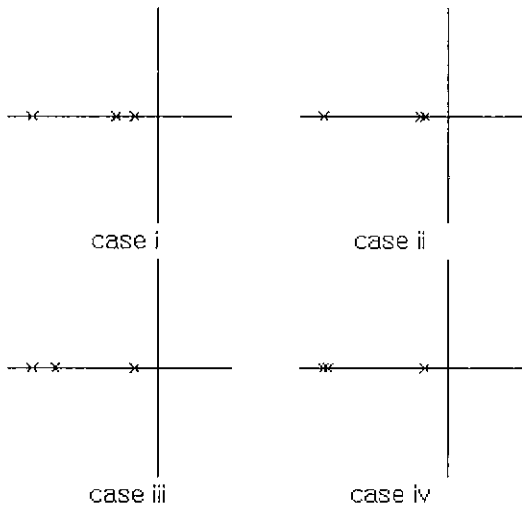


그림 4. 전류 센싱 이득의 변화에 따른 고유값의 위치

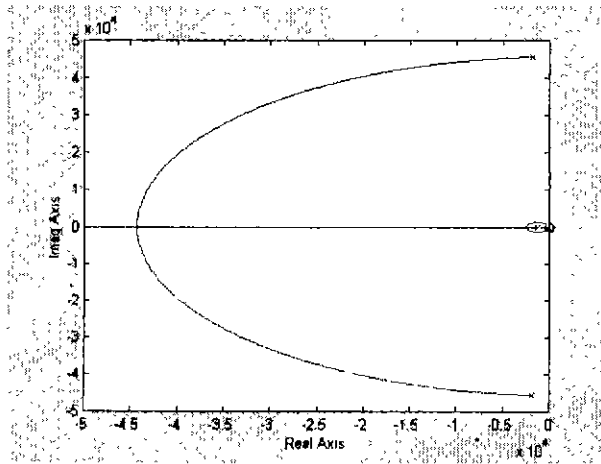


그림 5 f_1 의 근궤적(root locus)

3.4 극점 배치 기법을 이용한 제어 설계 알고리즘

평균 전류모드 제어 컨버터의 피드백 이득에서 f_1 은 출력 전류의 평균값 대 연산 증폭기 전압의 비율에 의해 한계를 갖는다.

다음과 같은 전력단의 벡 컨버터를 가정한다.

입력 전압 $V_g=40V$, 출력 전압 $V_o=20V$

저항 부하 $R=4 \text{ Ohm}$

$L=50\mu H$, esr of $L=0.05 \text{ Ohm}$

$C=100\mu F$

스위칭 주파수 $f_s=100kHz$

이 때 $f_1(=R_i)$ 의 근 궤적은 그림 5에 나타나 있다. 이 궤적을 보면 f_1 의 한계에 의해 높은 주파수 대역에 두 개의 극점, 낮은 주파수 대역에 한 개의 극점이 존재하는 것이 타당하다. 이를 그림 3과 비

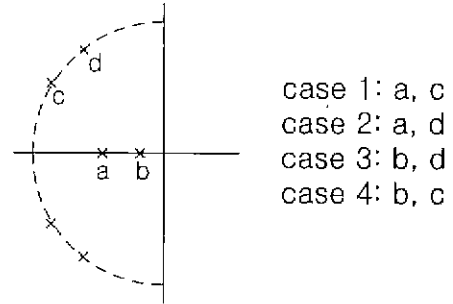


그림 6 근의 상대적 위치

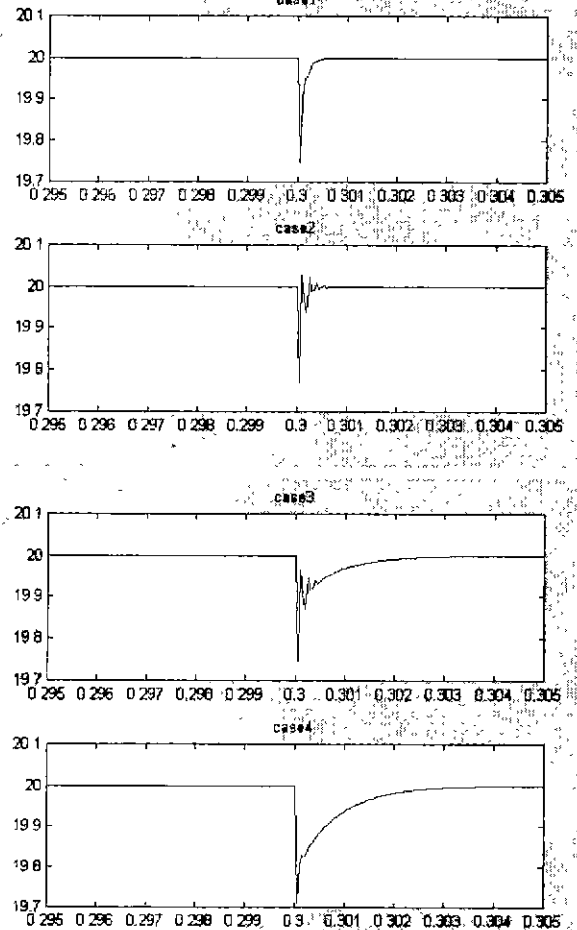


그림 7 근의 위치 변화에 따른 부하 계단 응답

교하였을 때 높은 주파수 대역의 극점은 T1의 대역폭을 의미하고 낮은 주파수 대역의 극점은 우세 근(dominant pole)이 되어 부하가 계단 응답 시 출력 전압의 정정시간(settling time)을 결정하게 됨을 추론할 수 있다.

이러한 가정을 확인하기 위해 다음의 네 가지 경우를 생각한다. 그림 6에서 case 1은 a와 c, case 2는 a와 d, case 3은 b와 d, case 4는 b와 c에 각각 근이 존재한다. 이를 부하의 계단 응답 시 출력 전압을 대신호 모델로

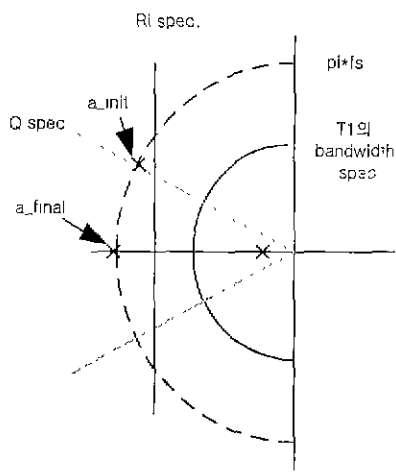


그림 6 고유값의 할당 가능 영역

시뮬레이션한 결과를 그림 7에서 볼 수 있다. 이 결과를 통해 낮은 주파수 대역 근의 절대값이 작아짐에 따라 정정시간이 커지는 현상을 볼 수 있다. 또한 복소근이 허수 축과 이루는 각이 작아지면 고주파 발진이 커지게 된다. 이는 복소근의 실수 값과 실수근의 값의 차이가 줄어들면서 더욱 심해진다. 그리고 복소근이 같은 반원 위에 존재할 때 복소근의 위치가 실수 축에 가까워질수록 오버 슈트가 커지게 됨을 알 수 있다.

제어 설계 알고리즘을 구현할 때 주어지는 조건은 정정시간과 오버슈트, T1의 최소 대역폭, f_l 의 한계값으로 요약되는데 출력 전압의 고주파 발진을 막기 위해 복소수 근의 Q값의 조건을 추가한다. 이러한 조건들에 의해 높은 주파수 대역의 복소수근은 그림 6에서 보듯이 경계를 갖는다.

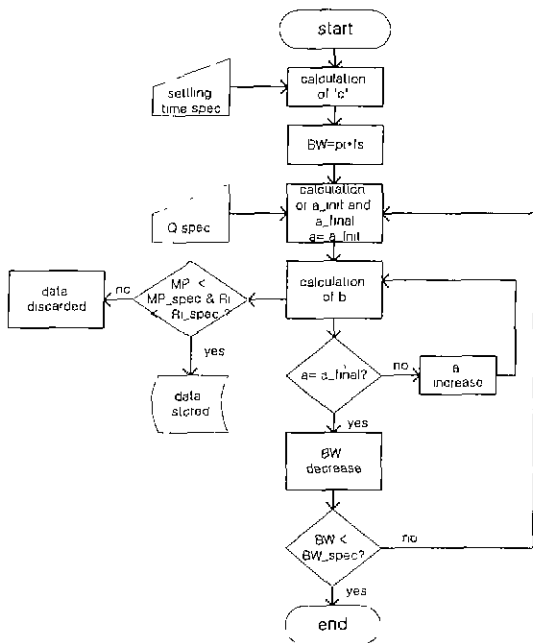


그림 10 제어 설계 알고리즘의 순서도

세계의 근을 $-c$, $-a+jb$, $-a-jb$ 로 둘 때 알고리즘의 순서도는 그림 7에 있다. 가장 먼저 정정시간에 의해 낮은 주파수 대역의 근을 설정한다. 그 후 제어 대역폭의 한계인 스위칭 주파수의 반에서 T1의 최소 대역폭 사이의 모든 복소근의 R_i , 정정시간, 오버슈트(MP, overshoot)를 계산하여 조건을 만족하면 데이터를 수집하고 그렇지 않으면 데이터를 폐기한다.

프로그램이 끝나면 수집된 데이터에서 적정 주파수 대역의 데이터를 선택하여 제어 설계를 마치게 된다. 만약 수집된 데이터가 없으면 제시된 조건을 만족하는 제어 설계는 불가능하다.

3.5 극점 배치 기법을 통한 제어 설계 결과

제어 설계 자동화 알고리즘을 matlab program으로 구현하여 위 단락에서 예시한 벡 컨버터의 제어를 설계하였다. 주어진 조건은 다음과 같다.

$F_m=0.5$, $R_i_spec=0.2$ Ohm, 정정시간=3.3 msec
 $MP_spec=0.5[V]$, Q : 허수 축과 이루는 각이 60도 이상, T1의 대역폭 : $fs/10$ 이상

이 설계 값과 2장에서 설명한 기존의 방법을 이용하여 설계한 값을 비교하였다.(표 1) 기존의 설계값에서 T1의 대역폭은 88 krad/s 이고, 제안한 방법에서 대역폭은 45 krad/s 이다. 설계값을 대신호 모델로 시뮬레이션한 결과는 그림 8에 나타나 있다.

두 설계 모두 오버슈트 조건을 만족하였는데 제안한 설계 방법에서는 대역폭을 선택할 수 있으므로 더 작은 대역폭을 갖도록 하였다.

	기존의 설계 값	제안한 설계 값
$R_i[Ohm]$	0.2	0.166
K_v	1000	508
$w_{c1}[rad/s]$	1400	1505
$w_p[rad/s]$	157k	157k

표 1

4. 결론

극점 배치 기법을 통해 전류 제어 DC-DC 컨버

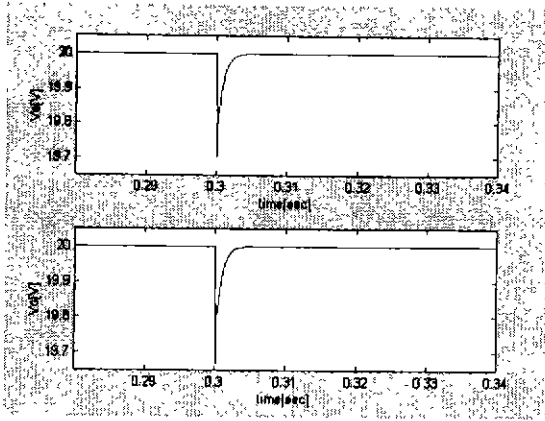


그림 11 기존의 설계와 제안된 설계의
시뮬레이션 결과

터의 제어 설계를 하였고 기존의 설계 방법과 비교하였다. 제안된 방법을 이용하면 제어 설계 자동화가 가능하고 제한된 조건 안에서 원하는 대역폭을 갖는 제어기를 설계할 수 있게 된다. 이를 응용하여 다른 컨버터의 경우도 설계 자동화를 할 수 있다.

REFERENCES

- [1] R. Ridley, B. H. Cho, and F. C. Lee, "Analysis and interpretation of loop gains of multiloop-controlled switching regulators", *IEEE Transactions on Power Electronics*, Vol. 3, Num. 4, pp.489~498, Oct. 1988.
- [2] Byungcho Choi, "Step load response of a current mode controlled DC to DC converter", *IEEE Transactions on Aerospace and Electronics systems*, Vol. 33, No. 4, Oct. 1997.
- [3] W. Tang, R. Ridley, F. C. Lee, "Small signal analysis of average current mode control", *IEEE Trans. on Power Electronics*, Vol. 8, No. 2, pp.112-119 April 1993.
- [4] R.C. Middlebrook and S. Cuk, "A general unified approach to modeling switched converter power stages", *IEEE PESC REC.*, 1976, pp.18-34
- [5] Shi-Ping Hsu, "Problems in analysis and design of switching regulators", Thesis for Ph. D, California Institute of Technology, 1980.
- [6] Loman Rensink, "Switching regulator configurations and circuit realizations", Thesis for Ph. D, California Institute of Technology, 1980.
- [7] Dennis John Packard, "Discrete modeling and analysis of switching regulators", Thesis for Ph. D, California Institute of Technology, 1976.