

전류원 방식 푸시-풀 공진형 인버터로 구성된 단일단 고역률 형광등용 전자식 안정기

채균*, 류태하**, 조규형**

* 오리온 전기(주) PDP 개발팀, ** 한국과학기술원 전기 및 전자공학과

Electronic Ballast using Current-Fed Push-Pull Resonant Inverter with Bypassing Capacitor for Power Factor Correction

Gyun Chae*, Tae-Ha Ryoo** and Gyu-Hyeong Gho**

*Orion Electric Co., LTD, ** Dept. of Electrical Engineering, KAIST

ABSTRACT

A novel low-cost, simple and unity-power-factor electronic ballast is presented. The proposed electronic ballast employs a bypassing capacitor and load networks composed of ballast capacitors and small charge pump capacitors as power factor correction circuit combined with the secondary winding of the transformer in the self-excited current-fed push-pull resonant inverter(CF-PPRI), resulting in cost-effectiveness and higher efficiency. By analyzing the principles of power factor correction mathematically, optimum design guidelines are presented. Since the lamps are used in power factor correction stage, the input power is automatically adjusted according to the number of the lamps.

1. 서론

현재 전자식 안정기의 고효율화, 고역률화, 저비용화를 위하여 현재 단일단 구성의 공진형 인버터에 관한 연구가 활발히 진행되고 있다. 특히, 전자식 안정기의 고역률화는 사용되어지는 전기기기의 종류와 수량이 많아지면서 국제적으로 고조파 규제가 강화되는 지금 시점에서 필수적이라고 할 수 있다. 하지만, 이는 전자식 안정기의 시장 특성상 저비용화를 위한 개발과는 조금 상반된다고 할 수 있다. 이에 따라 역률개선단과 공진형 인버터를 결합한 단일단 구조의 전자식 안정기가 많이 연구되어지고 있다 [1-7]. 특히, 부피와 무게면에서 불리한 인덕터를 사용하는 대신에 커패시터를 이용하여

전하 펌프원리를 적용한 역률개선회로가 최근들어 발표되면서 고역률 기능과 저비용 설계라는 두가지 목적을 쉽게 구현할 수가 있게 되었다.

본 논문에서는 전류원 방식의 푸시-풀 공진형 인버터를 사용한 전자식 안정기에 적합한 역률개선회로를 제시하고, 적절한 설계 방법을 제시하고자 한다.

2. 제안된 역률개선회로의 해석

그림 1은 제안된 전자식 안정기의 간략화된 등가회로를 보이고 있다. 제안된 역률개선회로는 공진형 인버터의 전력 트랜스포머의 2차측에 나타나는 전압을 의미하는 고주파 전압원(V_{HF}), 형광램프의 등가저항과 부하 안정용 소자로 구성된 부하 임피던스(Z_L)과 역률 보정용 소자(Z_p)로 구성이 되어 있다. 전력 트랜스포머의 2차측과 연결된 역률개선원을 그림 1에서처럼 테브냉 등가회로로 변환시켜 역률개선의 원리를 살펴보겠다.

우선, 입력전원에서 1에 가까운 역률을 얻기 위해서는 주어진 입력 전압 V_{src} (혹은 V_R)에서 독립된 전압원 V_{eq} , 직류 전압 V_{dc} 의 관계가 다음과 같이 설정이 되어야 한다.

$$V_{eq(peak)} = V_{R(peak)} = V_{dc} \quad (1)$$

식 (1)에서 $V_{eq(peak)} = V_{dc}$ 조건은 입력 전압이 영일 때 전류 i_{PF} 의 크기가 영임을 보장하기 위함이다. 만일 $V_{eq(peak)}$ 가 V_{dc} 보다 크다면, 입력 전압이 영일 때 V_{eq} 과 V_{dc} 의 차이에 해당하는 전압이 Z_{eq} 에 걸리게 됨으로써 전류 i_{PF} 가 유기되기 때문이다. 반대로 V_{HF} 가 V_{dc} 작다면, V_{HF} 가

$V_x (= V_{dc} - V_R)$ 를 초과할 때까지 다이오드 $D_{M1} \sim D_{M4}$ 가 도통이 되지 않기 때문에 입력 전류의 파형에 불연속 구간이 생기게 된다.

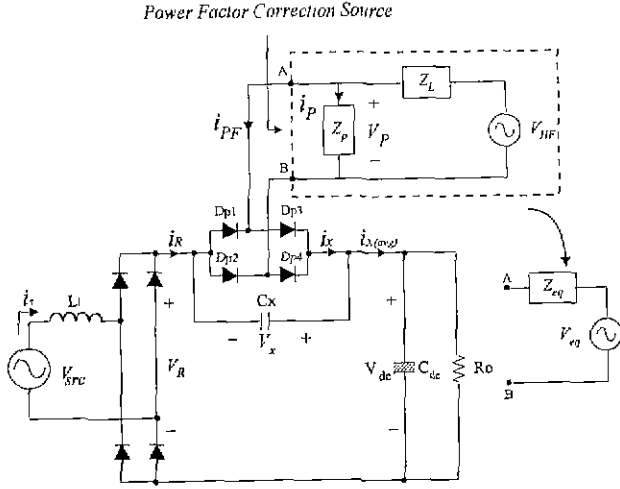


그림 1. 제안된 역률개선회로의 등가회로

또한 만일 V_{dc} 가 $V_{R(peak)}$ 보다 작다면, 입력전원으로 부터 다이오드 $D_{M1} \sim D_{M4}$ 를 통해 직류 링크 커패시터를 충전하기 위한 펄스성의 전류가 흐르게 된다. 하지만 이는 임피던스 Z_{eq} 의 크기를 조정함으로써 어느 정도 해결할 수가 있다.

그림 1의 등가회로에서 수식적인 역률 개선 조건을 유도하기 위해서 임피던스 Z_L , Z_P , V_{HF} 를 식 (2)로 가정한다

$$Z_L = R_L + jX_L, \quad Z_P = R_P + jX_P, \quad V_{HF} = K \cdot V_{dc} \angle \theta \quad (2)$$

이때, Z_P 를 간단히 커패시터만 이용한다면 $R_P = 0, X_P < 0$ 가 된다. 이를 이용하여 등가 전압 V_{eq} 과 등가 임피던스 Z_{eq} 을 구하면 다음과 같다.

$$Z_{eq} = Z_L // Z_P \cong \frac{X_P \cdot X_L}{X_P + X_L} \angle \left(-\frac{\pi}{2} + \phi \right) \quad (3)$$

$$V_{eq} = \frac{X_P}{\sqrt{R_L^2 + (X_L + X_P)^2}} K V_{dc} \angle \left(-\frac{\pi}{2} - \alpha \right) \quad (4)$$

역률 개선에 필요조건인 식(1)의 조건과 $X_L \gg R_L$ 을 만족한다고 가정을 한다면, X_P 와 X_L 의 관계를 수식 (5)와 같이 구할 수가 있다. 식 (5)에서 보면 X_L 의 값이 고정되었다고 가정할 때, 고주파 전압원 V_{HF} 의 크기가 커질수록 X_P 의 값은 작아짐을 알 수가 있다. 이는 전압원 V_{HF} 의 크기가 커질수록 입력 전류의 역률은 큰 값의 커패시터를

X_P 의 위치에 삽입함으로써 조정이 가능함을 의미한다.

$$\frac{X_P}{X_L} = \frac{K-1}{K^2-1}, X_P > 0, X_L > 0, K > 0 \quad (5)$$

만일 직류 링크 커패시터의 전압 V_{dc} 가 입력전압의 최고치와 동일한 크기라면, 입력 전압이 거의 최고치에 달했을 때 입력 전류의 피크값은 전류 i_{PF} 를 통해 다음과 같이 구할 수가 있다.

$$|i_{PF}| = \left| \frac{V_{eq}}{Z_{eq}} \right| = \frac{(X_L + X_P) \cdot K \cdot V_{dc}}{X_L \cdot \sqrt{R_L^2 + (X_L + X_P)^2}} \cong \frac{K \cdot V_{dc}}{X_L} \quad (6)$$

$$i_{s(peak)} = i_{x(avg)(peak)} = \frac{2}{\pi} \cdot i_{PF(peak)} = \frac{2}{\pi} \cdot \frac{K \cdot V_{dc}}{X_L} \quad (7)$$

$$\therefore I_{S(RMS)} = \frac{\sqrt{2}}{\pi} \cdot \frac{K \cdot V_{dc}}{X_L} \quad (8)$$

실제로 X_P 는 커패시터로 구성이 될 수 있으므로 커패시턴스 값을 출력 전력과 연계시켜 다음과 같이 구할 수가 있다. 이때 전체 효율을 η 로 가정하면 다음과 같다.

$$C_P = \left(\frac{K^2-1}{K-1} \right) \cdot \frac{\pi \cdot P_{out}}{\eta \cdot \omega_{HF} \cdot V_{s(peak)} \cdot K \cdot V_{dc}} \quad (9)$$

한편, 식 (9)에서 제시한 역률 조정용 커패시터의 값은 입력 전압의 피크값과 직류 링크 전압이 같다고 가정한 상태에서 얻은 것이다. 하지만 실제로 입력으로부터 직접 커패시터를 충전하는 경로가 발생하여 직류 링크 전압을 높일 필요가 있기 때문에 식 (10)에서처럼 식 (9)에서 얻은 CP의 값보다는 작게 설계하고 실험으로 결정하는 것이 타당하다.

$$C_P \leq \left(\frac{K^2-1}{K-1} \right) \cdot \frac{\pi \cdot P_{out}}{\eta \cdot \omega_{HF} \cdot V_{s(peak)} \cdot K \cdot V_{dc}} \quad (10)$$

3. 제안된 전자식 안정기의 구성

앞 절에서 제시한 설계 방법에 따라 구체적으로 형광등용 전자식 안정기를 구성한다면 그림 2와 같이 구성할 수가 있다. 본 절에서는 구체적으로 역률 개선회로의 회로 정수와 전력 트랜스포머의 권선비와의 관계들을 정해서 설계에 응용하고자 한다. 그림 1의 임피던스 Z_L 은 부하 램프(lamp1, lamp2), 안정용 커패시터(C_{b1}, C_{b2}), 초기기동 및 필라멘트 예열용 커패시터(C_{s11}, C_{s12})로 구성이 되어 있다. 임피던스 Z_P 는 작은 커패시터 C_P 로 구성이

되어 있다. 앞절에서 V_{HF} 는 직류 링크 전압 V_{dc} 의 K 배로 가정을 하였는데 이는 식 (11)에서처럼 전력 트랜스포머의 1차와 2차의 권선비로 결정을 할 수가 있다

$$V_{HF} = \frac{n_2}{n_1} \cdot \frac{\pi}{2} \cdot V_{dc} = \frac{\pi}{2} \cdot n \cdot V_{dc} \quad (11)$$

따라서 K 값은 식 (12)와 같이 결정될 수 있다.

$$K = \frac{n_2}{n_1} \cdot \frac{\pi}{2} = \frac{n \cdot \pi}{2} \quad (12)$$

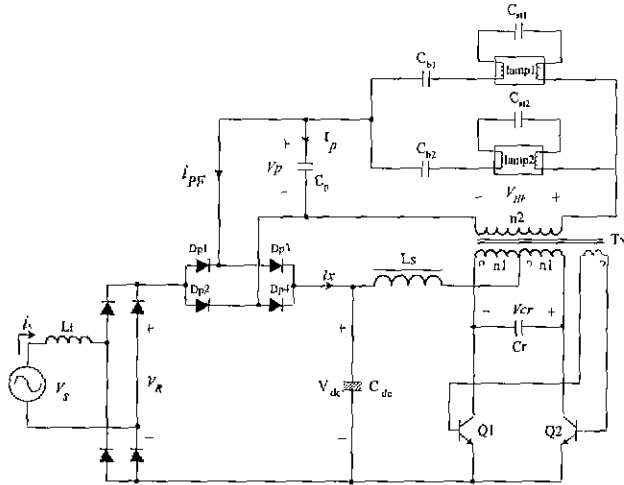


그림 2. 제안된 역률 개선 회로

식 (5)는 식 (12)에 의해 다음과 같이 변환될 수 있다.

$$\frac{X_P}{X_L} = \frac{2}{n\pi + 2}, (n > 1, X_P > 0, X_L > 0) \quad (12)$$

Z_L 은 여러개의 소자들로 구성이 되어 있으므로 이를 간단히 $R_L + jX_L$ 의 형태로 변환하여 이를 식 (12)와 연결해서 수식적으로 풀어보면, 다음과 같이 C_P 와 Z_L 의 각 커패시터와의 관계를 구할 수가 있다.

$$C_P = (n\pi + 2) \cdot \frac{C_b \cdot C_{st}}{C_b + C_{st}} \quad (13)$$

이때 C_b 와 C_{st} 는 각각 C_{b1}, C_{b2} 와 C_{st1}, C_{st2} 를 의미한다.

4. 실험 및 고찰

본 논문에서 제시된 전자식 안정기를 간단한 시제품 형태로 구성하여 실험을 하였다. 40W 일반 형광등 2개를 구동하였으며 동작 주파수는 약 25kHz, 입력 전원은 120VAC, 입력 전력은 약 75W로 동작을 시켰다. 실험에 사용되어진 회로정수는 다음과 같다.

표 1. 실험에 사용된 회로 정수

C_{b1}, C_{b2}	3.3nF/400V	C_{st1}, C_{st2}	1nF/1600V
C_r	15nF/1600V	C_p	8.2nF/400V
L_s	10mH (EI2519 120T)	L_r	5mH (EI2519 85T)
T_x	EI40 ($n_1 : n_2 = 1 : 3.5$)		

그림 3은 입력 전압과 입력 전류의 실험 파형을 제시한 것이다. 실험에서 얻어진 입력에서의 역률(PF)과 총 고조파 왜율(THD)는 각각 0.994와 8%이다. 입력 전류 파형에서 최고치 부분에서 약간의 펄스성 전류 모양이 보이는 것은 직류 링크 전압이 입력 전압의 최고치에 비해 충분히 크지 못하기 때문에 나타나는 것으로 C_p 의 값을 조절하거나, 전력 트랜스포머의 권선비, 입력 필터를 적절히 조절하면 제거할 수가 있다.

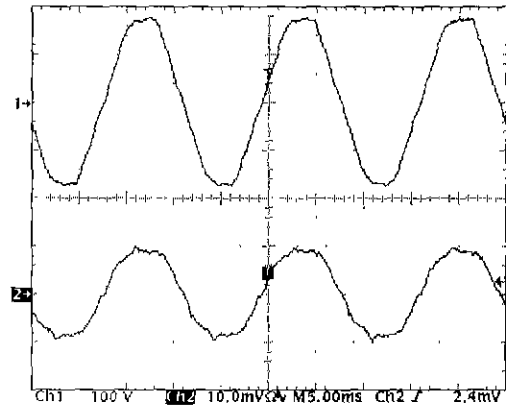


그림 3. 입력 전압과 전류 파형
(Top: 100V/div, bottom: 1A/div)

그림 4는 여러 주기동안에 살펴본 램프 전압과 램프 전류를 제시한 것이다. 파형을 통해 측정된 램프 전류의 crest factor (CF)는 약 1.62이다. 램프 전압과 전류의 실효치는 각각 110V와 280mA로 측정되었다.

그림 5는 확대하여 관측된 램프 전압과 램프 전류이다. 이 그림에서 램프 전류의 파형에서 전류의 계단형 파형이 부분적으로 나타나고 있는데 이는 전력 트랜스포머의 일차측에서 나타나는 스위칭 작

참고 문헌

- [1] Arun Ganesh and Bryce Hesterman " An electronic ballast with a novel low-cost power factor correction circuit ", IEEE IAS98 Record, pp. 2025-2031.
- [2] J. Qian, F. C. Lee and T. Yamauchi " A new continuous input current charge pump power factor correction electronic ballast" , IEEE IAS97 Record, pp. 2299-2306.
- [3] Jorge A. Sierra and Walter Kaiser, " Comparison of fluorescent lamp stabilization methods in the current-fed push-pull inverter" , IEEE IAS98 Record, pp. 2099-2104.
- [4] Y.R. Yang and C.L. Chen, "A self-excited half-bridge series-resonant ballast with automatic input current shaping", IEEE PESC96 Record, pp.881 -886, 1996.
- [5] J. Spangler, B. Hussain, and A.K. Behera, " Electronic ballast using power factor correction techniques for loads greater than 300Watts", IEEE APEC91 Record, pp.393 - 399, 1991.
- [6] W. J. Roche and H. W. Milke, Fluorescent lamp starting aids how and why they work, *J. Illuminating Engineering Society*, pp. 29-37, Oct. 1974.
- [7] M. H. Kheraluwala and S. A. El-Hamamsy, Modified Valley Fill High Power Factor Electronic Ballast for Compact Fluorescent Lamps, in *IEEE PESC*, 1995, pp. 10-14.

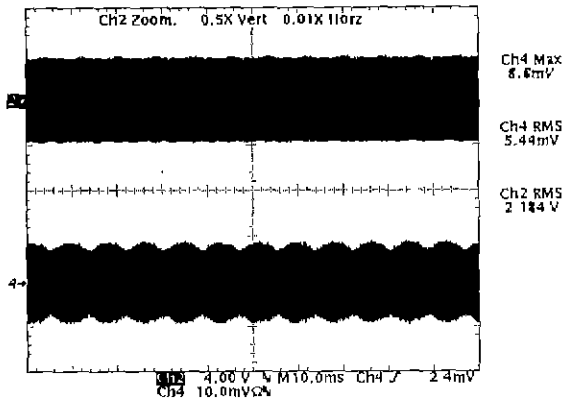


그림 4. 여러 입력 전원 주기 동안의 램프 전압과 전류 파형

(Top: 200V/div, Bottom: 0.5A/div)

용에 의해 전류의 방향이 일시적으로 바뀌는 과정에서 발생하는 것이다. 이러한 현상은 램프전류의 CF에 나쁜 영향을 끼치게 되는데 이를 막기 위해서 전력 트랜스포머와 부하 임피던스 Z_L 의 적절한 선정을 해주어야 한다.

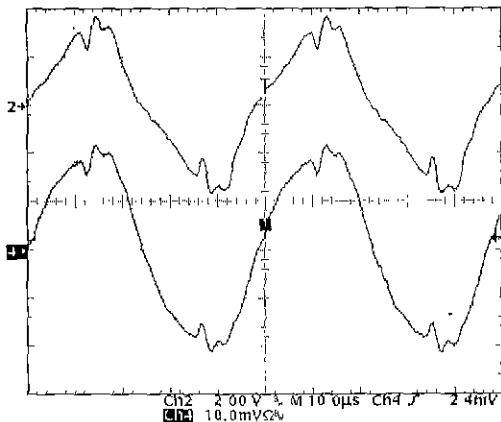


그림 5. 램프 전압과 전류의 확대 관측한 파형
(Top: 100V/div, Bottom: 0.1A/div)

5. 결론

본 논문에서는 새로운 형태의 저비용 고효율 전자식 안정기를 제시하였다. 제안된 역률 개선 회로는 저전압 입력에 유리한 전류원 방식의 푸시-풀 공진형 컨버터의 전력 트랜스포머의 2차측에 부가된 부하 회로와 입력 정류단 사이에 간단한 커패시터를 첨가함으로써 저비용의 단일단으로 구성된 것이다. 역률 개선의 원리를 수식적으로 표현하여 역률 개선용 커패시터의 적절한 값을 유도하였으며 실험을 통하여 제안된 전자식 안정기의 동작을 확인하였다.