

칩 동기 에러와 위상 에러가 존재하는 환경에서 부분 다단 간섭제거기를 채용하는 DS-CDMA 시스템의 성능 개선 분석

⁰ 김 봉 철, ^{*} 강 근 정, ^{*} 오 창 현, ^{**} 조 성 준

^{*} 한국항공대학교 대학원 항공통신정보공학과
^{**} 한국기술교육대학교 정보통신공학과

Performance Improvement Analysis of DS-CDMA Systems Employing a Partial Multistage Interference Canceller with Timing and Phase Errors

⁰ Bong-Cheol Kim, ^{*} Geun-Jung Kang, ^{*} Chang-Heon Oh, ^{**} Sung-Joon Cho

^{*} Dept. of Telecomm. & Inform. Eng., Graduate School of Hankuk Aviation Univ.
^{**} Dept. of Inform. & Comm. Eng., Korea University of Tech. & Edu.

요 약

본 논문에서는 불완전 동기(Imperfect Synchronization)로 인한 칩 동기 에러(timing errors)와 위상 에러(phase errors)를 고려하여 비동기(Asynchronous) DS-CDMA 시스템의 성능을 이론적으로 분석하였다. 성능 개선 기법으로는 다단 간섭제거기(Multistage PIC)와 부분 다단 간섭제거기(Partial Multistage PIC)를 채용하였고 칩 동기 에러와 위상 에러가 두 간섭제거기의 간섭제거능력에 미치는 영향의 정도를 정량적으로 분석하였다. 성능분석 결과로부터 칩 동기 에러와 위상 에러로 인한 1단(no cancellation)에서의 성능 열화가 각 단의 상관기 출력(decision statistic)에 영향을 줄으로써 다단 간섭제거기와 부분 다단 간섭제거기의 성능 개선폭을 감소시켰다. 그렇지만, 불완전 동기에도 불구하고 단(stage) 수가 증가할수록 두 간섭제거기 모두 강한 간섭제거능력을 보였다. 실제 시스템에서는 성능 개선과 구현상의 복잡도를 동시에 고려해야하므로 다단 간섭제거기 보다 구조가 간단하고 계산량이 적은 부분 다단 간섭제거기의 활용도가 높아질 것이 예상된다.

I. 서 론

IMT-2000(International Mobile Telecommunications system 2000)서비스와 같이 다수의 사용자에게 고품질의 서비스를 제공하기 위해서는 시스템의 성능 개선이 뛰어난 수신기 구조가 필요하다. 따라서, 최근에 성능 개선 기법으로 다중 사용자 검파(MUD : Multi-User Detection)방식을 근거로 한 다중접속간섭(MAI : Multiple Access Interference) 제거기에 대한 연구가 활발히 진행되고 있다[1],[2].

간섭제거기중에 비선형 검파 방식으로는 직렬 간섭제거기(SIC: Serial Interference Canceller), 병렬 간섭제거기(PIC: Parallel Interference Canceller) 및 다단 간섭제거기(Multistage PIC)등이 있다. 그러나, 이러한 시스템을 구현하는 데는 하드웨어 구성이 복잡하고 고속의 신호 처리가 요구되는 문제점이 있다.

대부분 간섭제거기에 대한 연구에서는 완벽한 칩 동기와 위상 동기 획득이 이루어진다고 가정한다. 그렇지만, 실제 시스템에서는 완벽한 칩 동기와 위상 동기 획득이 거의 불가능하기 때문에 불완전 동기(Imperfect Synchronization)로 인한 칩 동기 에러(Timing errors)와 위상 에러(Phase errors)가 고려된다. 이러한 에러들은 희망 사용자의 상관기 출력에 영향을 주어 신호 전력을 감소시키고 실제 제거될 간섭 신호와 추정된 간섭 신호의 차

이로 인해 간섭제거과정을 불완전하게 한다[3],[4].

본 논문에서는 불완전 동기(Imperfect Synchronization)로 인한 칩 동기 에러(timing errors)와 위상 에러(phase errors)를 고려하여 비동기(Asynchronous) DS-CDMA 시스템의 성능을 이론적으로 분석한다. 성능 개선 기법으로는 다단 간섭제거기(Multistage PIC)와 부분 다단 간섭제거기(Partial Multistage PIC)를 채용하고 칩 동기 에러와 위상 에러가 두 간섭제거기의 간섭제거능력에 미치는 영향의 정도를 정량적으로 분석한다.

II. 간섭제거기

2.1. 다단 간섭제거기

그림 1에 나타낸 다단 간섭제거기의 수신 신호 $r(t)$ 는 첫번째 단(1stage)에서 상관기(matched filter)를 통과하여 MAI와 AWGN이 포함된 상관기 출력 $Z_k^{(1)}$ 이 된다. 두번째 단계에서는 첫번째 단의 상관기 출력 $Z_k^{(1)}$ 을 이용하여 각 사용자의 재생성(regeneration) 신호 $\hat{s}_k(t - \tau_k)$ 를 출력한다. 이 때 희망 사용자 신호를 제외한 나머지 사용자의 재생성 신호의 합인 $\sum_{k=2}^K \hat{s}_k^{(1)}(t - \tau_k)$ 가 수신 신호 $r(t)$ 에서 제거된다. 세번째

단부터는 두번째 단에서 제거되지 못한 잔여 MAI를 포함한 각 사용자 신호 $r_k^{(1)}(t)$ 가 입력되어 두번째 단의 간섭제거과정과 동일한 과정을 반복하면서 다단으로 간섭제거를 수행한다[5].

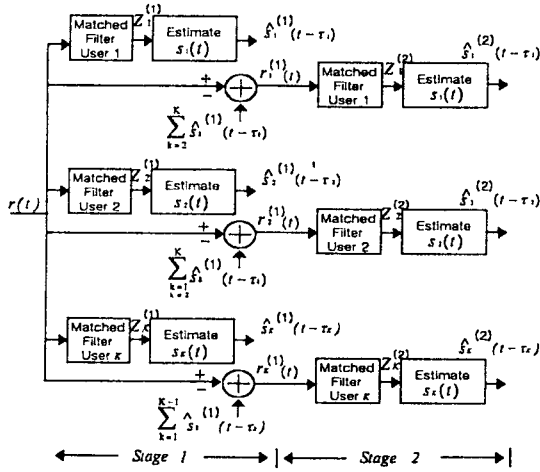


그림 1. 다단 간섭제거기

2.2. 부분 다단 간섭제거기

부분 다단 간섭 제거기는 첫번째 단의 상관기 출력에 부분제거계수(Partial Cancellation Factor : $0 \leq C_k \leq 1$)를 이용해 MAI를 제거하는 기법으로서 계산량이 다단 간섭 제거기 보다 상당히 줄어드는 구조이다. 부분 다단 간섭제거기를 나타내는 그림 2에서 수신 신호 $r(t)$ 는 첫번째 단에서 각 사용자의 상관기(matched filter)를 통과하여 상관기 출력 $Z_k^{(1)}$ 이 되고 두번째 단에서 $Z_k^{(1)}$ 에 부분제거계수($C_k=0.5$: 완벽한 전력제어시)가 곱해져 각 사용자의 재생성 신호가 출력된다. 수신신호 $r(t)$ 에서 간섭 사용자의 재생성 신호의 합이 제거된 신호 $\hat{r}(t)$ 는 다시 상관기에 입력된다. 상관기를 통과 후 부분제거계수가 더해져 원래의 희망신호 전력은 복원이 되고 MAI는 줄어든다[6].

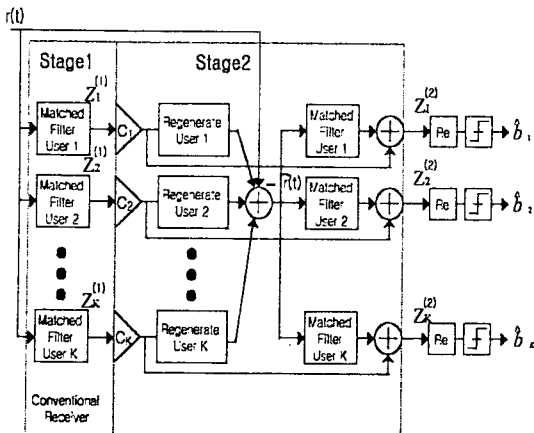


그림 2: 부분 다단 간섭제거기

III. 칩 동기 에러를 고려할 경우의 성능 분석

실제 시스템에서는 완벽한 칩 동기 획득은 거의 불가능하기 때문에 칩 동기 에러가 다단 간섭제거기와 부분 다단 간섭제거기의 간섭제거능력에 미치는 영향의 정도를 정량적으로 분석한다. 칩 동기 에러를 고려할 경우 첫 단(s=1)에서의 상관기 출력은 다음과 같다.

$$Z_{k,1}^{(1)} = \int_{T+\tau_k-\epsilon}^{(i+1)T+\tau_k-\epsilon} r(t) a_k(t - \tau_k + \epsilon) \cos(\omega_c t + \phi_k) dt. \quad (1)$$

여기서, ϵ 은 칩 동기 에러 ($0 \leq \epsilon < T_c$)이다. 또한, s단에서의 상관기 출력의 분산은 다음과 같다.

$$\text{var}(Z_k^{(s)}) = \frac{N_o T}{4} + \frac{NT^2}{3} \left[\alpha \sum_{i=k}^K P_i + \gamma \sum_{i=k}^K \text{var}(Z_i^{(s-1)}) \right]. \quad (2)$$

단, $s \geq 2$

위 식에서 두번째 항은 현재 단에서의 MAI를 나타내고 세번째 항은 이전 단에서의 상관기 출력의 분산이 현재 단에 미치는 MAI를 나타낸다. 또한, α 와 γ 는 칩 동기 에러계수로 $\alpha = -\frac{1}{2} + \frac{\epsilon}{T_c} + \frac{1}{2} \left(1 - \frac{\epsilon}{T_c}\right)^2 \left(1 + \frac{3\epsilon^2}{T_c^2}\right)$ 와 $\gamma = \left(1 + \frac{3\epsilon^2}{T_c^2}\right) / T^2$ 로 나타내지고 칩 동기 에러를 고려하지 않은 경우 $\alpha=0$ 이 되고 $\gamma=1$ 이 되어 두번째 항은 0이 된다.

3.1. 다단 간섭제거기를 채용하는 경우의 오율

칩 동기 에러를 고려하고 다단 간섭제거기를 채용하는 경우 s단에서 k번째 사용자에 대한 DS-CDMA 시스템의 오율식(BER)은 다음과 같이 구해진다[7].

$$P_k^{(s)} = Q \left\{ \left[\frac{1}{2E_b/N_o \epsilon_o} \left[\frac{1 - \left(\frac{\gamma_o(K-1)}{3N}\right)^s}{1 - \left(\frac{\gamma_o(K-1)}{3N}\right)} \right] \right]^2 + \frac{2\alpha}{K\gamma_o \epsilon_o} \left[\frac{1 - \left(\frac{\gamma_o(K-1)}{3N}\right)^s}{1 - \left(\frac{\gamma_o(K-1)}{3N}\right)} - \frac{1 - \left(\frac{\gamma_o}{3N}\right)^s}{1 + \left(\frac{\gamma_o}{3N}\right)} \right] \sum_{i=1}^K P_i + \frac{2\alpha}{\gamma_o \epsilon_o} \left[\frac{-\frac{\gamma_o}{3N} - \left(\frac{\gamma_o}{3N}\right)^s}{1 + \frac{\gamma_o}{3N}} + \frac{1}{\gamma_o \epsilon_o} \left(\frac{\gamma_o(K-1)}{3N}\right)^s \right]^{-1/2} \right\}. \quad (3)$$

단, E_b : 비트 에너지,

N_o : 잡음의 전력 스펙트럼 밀도,

K : 사용자 수,

N : 처리 이득,

s : 단(stage) 수,

$$\epsilon_o : 1 - \frac{\epsilon}{T_c}, \quad \gamma_o : \gamma T^2,$$

식(3)에서 Q함수내의 MAI성분은 단(stage) 수가 증가할수록 감소하지만 칩 동기 에러 ϵ 가 커짐에 따라서 증가한다.

3.2. 부분 다단 간섭제거기를 채용하는 경우의 오율

칩 동기 에러를 고려하고 부분 다단 간섭제거기를 채용하는 경우 s단에서 k번째 사용자에 대한 DS-CDMA 시스템의 오율식은 다음과 같이 나타내진다[6],[7].

s=1인 경우,

간섭제거과정이 없는 경우로 식(3)에서 s=1인 경우와 같다.

s ≥ 2인 경우,

$$P_k^{(s)} = Q \left\{ \left[\frac{1}{2E_b/N_o \epsilon_o} \left[\frac{1 - C_k \left(\frac{\gamma_o(K-1)}{3N} \right)^{(s-1)}}{1 - C_k \left(\frac{\gamma_o(K-1)}{3N} \right)} \right] \right. \right. \quad (4)$$

$$+ \frac{2\alpha}{K\gamma_o \epsilon_o} \left[\frac{1 - C_k \left(\frac{\gamma_o(K-1)}{3N} \right)^{(s-1)}}{1 - C_k \left(\frac{\gamma_o(K-1)}{3N} \right)} - \frac{1 - \left(\frac{\gamma_o}{3N} \right)^{(s-1)}}{1 + \left(\frac{\gamma_o}{3N} \right)} \right] \sum_{i=1}^K P_i$$

$$\left. + \frac{2\alpha}{\gamma_o \epsilon_o} \left[\frac{-\frac{\gamma_o}{3N} - \left(\frac{\gamma_o}{3N} \right)^{(s-1)}}{1 + \frac{\gamma_o}{3N}} \right] + \frac{C_k}{\gamma_o \epsilon_o} \left(\frac{\gamma_o(K-1)}{3N} \right)^{(s-1)} \right]^{-1/2} \right\}$$

단, C_k : 부분제거계수.

식(4)에서 s ≥ 2인 경우부터 간섭제거과정이 부분제거계수 C_k에 의해 수행되어 Q함수내의 MAI성분은 단(stage) 수가 증가할수록 감소하지만 다단 간섭제거기의 경우와 같이 칩 동기 에러 ε의 영향을 받는다.

IV. 위상 에러를 고려할 경우의 성능 분석

실제 시스템에서는 칩 동기 에러와 같이 위상 에러도 항상 존재한다. 이러한 위상 에러는 다단 간섭제거기와 부분 다단 간섭제거기의 간섭제거능력을 감소시킨다. 위상 에러를 고려할 경우 첫 단(s=1)에서의 상관기 출력은 다음과 같다.

$$Z_{k,i}^{(1)} = \int_{iT+r_k}^{(i+1)T+r_k} r(t)a_k(t - r_k) \cos(\omega_c t + \phi_k + \psi) dt \quad (5)$$

여기서, ψ는 위상 에러이다. 또한, s단에서의 상관기 출력의 분산은 다음과 같다.

$$\text{var}(Z_{k,i}^{(s)}) = \frac{N_o T}{4} + \sum_{i=1}^K \left[\frac{NT^2 P_i}{6} (1 - \cos^2(\psi)) + \frac{1}{3N} \text{var}(Z_i^{(s-1)}) \right] \quad (6)$$

위 식에서 두번째 항은 현재 단에서의 MAI를 나타내고 세번째 항은 이전 단에서의 상관기 출력의 분산이 현재 단에 미치는 MAI를 나타낸다. 또한, 위상 에러를 고려하지 않은 경우 cos ψ = 1이 되어 두번째 항은 0이 된다.

4.1. 다단 간섭제거기를 채용하는 경우의 오율

위상 에러를 고려하고 다단 간섭제거기를 채용하는 경우 s단에서 k번째 사용자에게 대한 DS-CDMA 시스템의 오율식은 다음과 같이 구해진다[7].

$$P_k^{(s)} = Q \left\{ \left[\frac{1}{2E_b/N_o \cos^2(\psi)} \left[\frac{1 - \left(\frac{K-1}{3N} \right)^s}{1 - \left(\frac{K-1}{3N} \right)} \right] \right. \right. \quad (7)$$

$$+ \frac{1 - \cos^2(\psi)}{\cos^2(\psi)} \left[\frac{1 - \left(\frac{K-1}{3N} \right)^s}{1 - \left(\frac{K-1}{3N} \right)} - \frac{1 - \left(\frac{1}{3N} \right)^s}{1 + \left(\frac{1}{3N} \right)} \right] \sum_{i=1}^K P_i$$

$$\left. - \frac{1 - \cos^2(\psi)}{\cos^2(\psi)} \left[\frac{-\frac{1}{3N} - \left(\frac{1}{3N} \right)^s}{1 + \frac{1}{3N}} \right] + \left(\frac{K-1}{3N} \right)^s \right]^{-1/2} \right\}$$

식(7)에서 Q함수내의 MAI성분은 위상 에러 ψ에 영향을 받는다.

4.2. 부분 다단 간섭제거기를 채용하는 경우의 오율

위상 에러를 고려하고 부분 다단 간섭제거기를 채용하는 경우

s단에서 k번째 사용자에게 대한 DS-CDMA 시스템의 오율식은 다음과 같이 나타내진다[6],[7].

s=1인 경우,

간섭제거과정이 없는 경우로 식(7)에서 s=1인 경우와 같다.

s ≥ 2인 경우,

$$P_k^{(s)} = Q \left\{ \left[\frac{1}{2E_b/N_o \cos^2(\psi)} \left[\frac{1 - C_k \left(\frac{K-1}{3N} \right)^{(s-1)}}{1 - C_k \left(\frac{K-1}{3N} \right)} \right] \right. \right. \quad (8)$$

$$+ \frac{1 - \cos^2(\psi)}{\cos^2(\psi)} \left[\frac{1 - C_k \left(\frac{K-1}{3N} \right)^{(s-1)}}{1 - C_k \left(\frac{K-1}{3N} \right)} - \frac{1 - \left(\frac{1}{3N} \right)^{(s-1)}}{1 + \left(\frac{1}{3N} \right)} \right] \sum_{i=1}^K P_i$$

$$\left. - \frac{1 - \cos^2(\psi)}{\cos^2(\psi)} \left[\frac{-\frac{1}{3N} - \left(\frac{1}{3N} \right)^{(s-1)}}{1 + \frac{1}{3N}} \right] + C_k \left(\frac{K-1}{3N} \right)^{(s-1)} \right]^{-1/2} \right\}$$

식(8)에서 s ≥ 2인 경우부터 간섭제거과정이 부분제거계수 C_k에 의해 수행되고 MAI성분은 위상 에러 ψ에 영향을 받는다.

V. 수치계산 및 시뮬레이션 결과 분석

본 논문에서는 불완전 동기(Imperfect Synchronization)로 인한 칩 동기 에러(timing errors)와 위상 에러(phase errors)를 고려하여 비동기(Asynchronous) DS-CDMA 시스템의 성능을 이론적으로 분석하였다. 성능 개선 기법으로는 3단 간섭제거기(Multistage PIC)와 부분 3단 간섭제거기(Partial Multistage PIC)를 채용하였고 칩 동기 에러와 위상 에러가 두 간섭제거기의 간섭제거능력에 미치는 영향의 정도를 정량적으로 분석하였다. 그림 3과 4는 칩 동기 에러와 위상 에러를 고려한 경우 3단 간섭제거기와 부분 3단 간섭제거기를 채용하는 비동기 DS-CDMA 시스템의 성능 개선을 나타낸다. 성능 개선폭을 정량적으로 나타내기 위하여 표2와 표3에 BER = 10⁻³을 달성하는데 요구되는 각 단(stage)의 상관기 후단의 E_b/N_o를 나타내었다.

표 2. 칩 동기 에러를 고려한 경우의 BER = 10⁻³을 달성하는데 요구되는 E_b/N_o

종류	Multistage Interference Canceller	Partial Multistage Interference Canceller
s(stage 수)		
s=1(no cancellation)	12.5 dB	12.5 dB
s=1 (e=0.2T _c)	15 dB 이상	15 dB 이상
s=2	7.4 dB	8.7 dB
s=2 (e=0.2T _c)	9 dB	10.3 dB
s=3	7.2 dB	7.1 dB
s=2 (e=0.2T _c)	8.7 dB	8.3 dB

표 3. 위상 에러를 고려한 경우의 BER = 10⁻³을 달성하는데 요구되는 E_b/N_o

종류	Multistage Interference Canceller	Partial Multistage Interference Canceller
s(stage 수)		
s=1(no cancellation)	12.5 dB	12.5 dB
s=1 (phase=20°)	13 dB	13 dB
s=2	7.4 dB	8.7 dB
s=2 (phase=20°)	8.3 dB	9.3 dB
s=3	7.2 dB	7.1 dB
s=3 (phase=20°)	8.1 dB	7.7 dB

표 2에서 칩 동기 에러를 고려한 경우의 성능 개선폭은 1단을 기준으로 3단 간섭제거기는 약 6.3dB이상이고 부분 3단 간섭제거기는 약 6.7dB이상으로 칩 동기 에러를 고려하지 않은 경우와 같이 큰 폭의 성능 개선을 달성하였다. 또한, 표 3에서 위상 에러를 고려한 경우의 성능 개선폭도 1단을 기준으로 3단 간섭제거기는 약 4.9dB이고 부분 3단 간섭제거기는 5.3dB로 위상 에러를 고려하지 않은 경우의 성능 개선폭과 거의 동일함을 알 수 있었다.

그림 5과 6은 사용자 수에 따른 E_b/N_0 를 나타낸 것으로서 이에 대한 정량적인 용량 개선폭을 표 4와 5에 나타내었다.

표 4. 칩 동기 에러를 고려한 경우 BER = 10^{-3} 을 달성할 때의 사용자 수

종류 s(stage 수)	Multistage	Partial Multistage
	Interference Canceller	Interference Canceller
s=1(no cancellation)	10명	10명
s=1 ($e=0.2T_c$)	5명 이하	5명 이하
s=2	49명	22명
s=2 ($e=0.2T_c$)	10명	5명
s=3	60명 이상	60명 이상
s=3 ($e=0.2T_c$)	10명	14명

표 5. 위상 에러를 고려한 경우 BER = 10^{-3} 을 달성할 때의 사용자 수

종류 s(stage 수)	Multistage	Partial Multistage
	Interference Canceller	Interference Canceller
s=1(no cancellation)	10명	10명
s=1 (phase= 20°)	7명	7명
s=2	49명	22명
s=2 (phase= 20°)	22명	12명
s=3	60명 이상	60명 이상
s=3 (phase= 20°)	24명	36명

표 4에서 칩 동기 에러를 고려한 경우의 용량 개선폭은 1단을 기준으로 3단 간섭제거기는 5명 이상으로 약 200% 이상이고 부분 3단 간섭제거기는 9명 이상으로 약 300%의 용량 개선을 달성하였다. 또한, 표 5에서 위상 에러를 고려한 경우의 용량 개선폭은 1단을 기준으로 3단 간섭제거기는 17명으로 약 343%이고, 부분 3단 간섭제거기는 29명으로 약 514%로 위상 에러를 고려하지 않은 경우와 같이 큰 폭의 용량 개선을 달성하였다. 표 2에서 표 5의 정량적 분석결과로부터 칩 동기 에러와 위상 에러를 고려한 경우 1단(no cancellation)을 기준으로 시스템의 성능 열화를 보이지만 단(stage) 수가 증가할수록 두 간섭제거기 모두 큰 폭의 성능 개선을 달성하였다.

VI. 결론

본 논문에서는 불완전 동기(Imperfect Synchronization)로 인한 칩 동기 에러(timing errors)와 위상 에러(phase errors)를 고려하여 비동기(Asynchronous) DS-CDMA 시스템의 성능을 이론적으로 분석하였다. 성능 개선 기법으로는 다단 간섭제거기(Multistage PIC)와 부분 다단 간섭제거기(Partial Multistage PIC)를 채용하였고 칩 동기 에러와 위상 에러가

두 간섭제거기의 간섭제거능력에 미치는 영향의 정도를 정량적으로 분석하였다.

불완전 동기로 인한 칩 동기 에러와 위상 동기 에러는 희망 사용자의 상관기 출력에 영향을 주어 신호 전력을 감소시키고 실제 제거될 간섭 신호와 추정된 간섭 신호의 차이로 인해 간섭 제거과정을 불완전하게 한다. 따라서, 칩 동기 에러와 위상 에러로 인한 1단(no cancellation)에서의 성능 열화가 각 단의 상관기 출력(decision statistic)에 영향을 줌으로써 다단 간섭제거기와 부분 다단 간섭제거기의 성능 개선폭을 감소시켰다. 그렇지만, 불완전 동기에도 불구하고 단(stage) 수가 증가할수록 두 간섭제거기 모두 강한 간섭제거능력을 보였다. 실제 시스템에서는 성능 개선과 구현상의 복잡도를 동시에 고려해야하므로 다단 간섭제거기 보다 구조가 간단하고 계산량이 적은 부분 다단 간섭제거기의 활용도가 높아질 것으로 예상된다.

참고 문헌

- [1] K. S. Gilhousen, I. M. Jacobs, R. Padovani, A. J. Viterbi, L. A. Weaver, Jr., and C. E. Wheatley III, "On the capacity of a cellular CDMA system," *IEEE Trans. Veh. Technol.*, vol. 40, no. 2, pp. 303-312, May 1991.
- [2] S. Moshavi, "Multi-user detection for DS-CDMA communications," *IEEE Communications Mag.* pp. 124-136, Oct. 1996.
- [3] F.-C. Cheng and J. M. Holtzman, "Effect of tracking error on DS/CDMA successive interference cancellation," in *Proc. GLOBECOM'94 Commun. Theory Mini-Conf.*, San Francisco, CA, Dec. 1994, pp. 166-170.
- [4] A. Kaul and B. D. Woerner, "Analytic limits on the performance of adaptive multistage interference cancellation for CDMA," *IEE Electron. Lett.*, Dec. 8, 1994.
- [5] A. Kaul and B. D. Woerner, "An analysis of adaptive multistage interference cancellation for CDMA," *IEEE 45th Veh. Technol. Conf.*, vol. 1, pp. 82-86, July 1995.
- [6] N. S. Correal, R. M. Buehrer, and B. D. Woerner, "A DSP-based DS-CDMA multiuser receiver employing partial parallel interference cancellation," *IEEE Journal. Select. Areas Commun.*, vol. 17, no. 4, pp. 613-630, April 1999.
- [7] R. M. Buehrer, A. Kaul, S. Striglis, and B. D. Woerner, "Analysis of DS-CDMA parallel interference cancellation with phase and timing errors," *IEEE J. Select. Areas Commun.*, vol. 14, pp. 1522-1535, Oct. 1996.

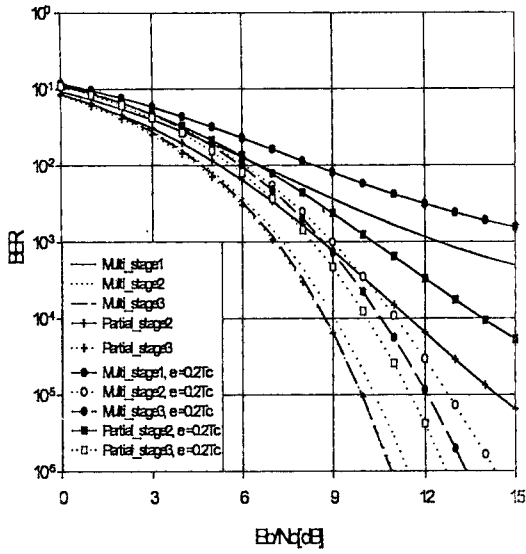


그림 3. 칩 동기 에러가 존재하는 환경에서 3단 간섭제거기와 부분 3단 간섭제거기를 채용했을 때 E_b/N_0 에 따른 BER 성능의 비교(사용자 수=30, PN=127, $C_k=0.5$)

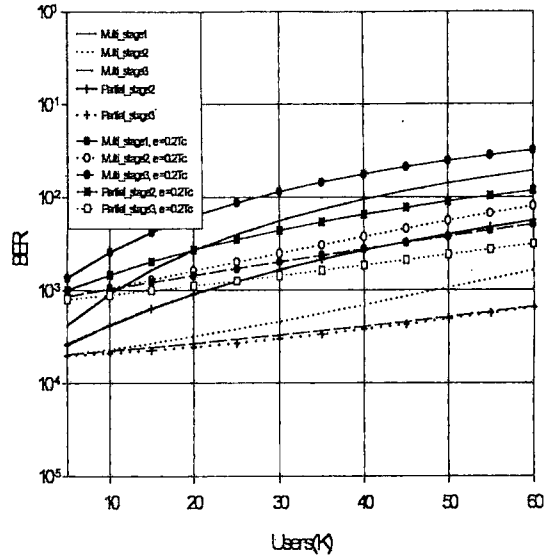


그림 5. 칩 동기 에러가 존재하는 환경에서 3단 간섭 제거기와 부분 3단 간섭제거기를 채용했을 때 사용자 수에 따른 BER 성능의 비교(사용자 수=30, PN=127, $C_k=0.5$)

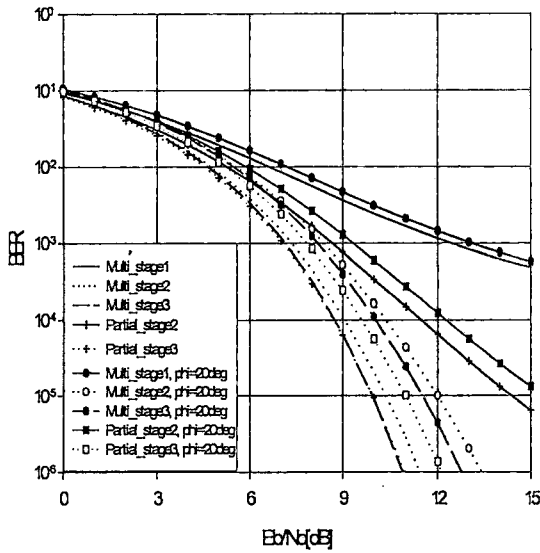


그림 4. 위상 에러가 존재하는 환경에서 3단 간섭 제거기와 부분 3단 간섭제거기를 채용했을 때 E_b/N_0 에 따른 BER 성능의 비교(사용자 수=30, PN=127, $C_k=0.5$)

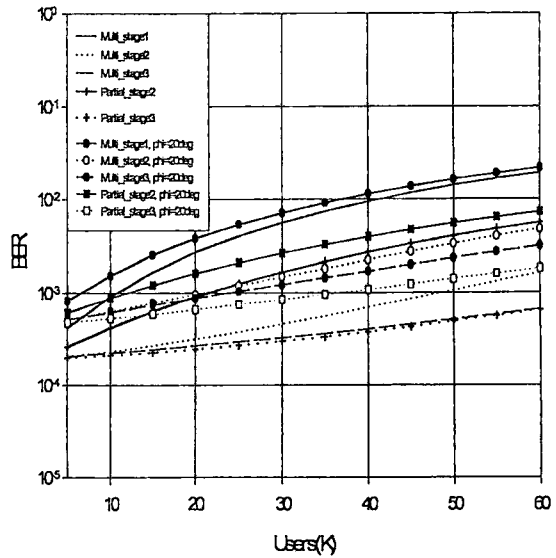


그림 6. 위상 에러가 존재하는 환경에서 3단 간섭 제거기와 부분 3단 간섭제거기를 채용했을 때 사용자 수에 따른 BER 성능의 비교(사용자 수=30, PN=127, $C_k=0.5$)