

초고주파 집적 회로를 위한 새로운 실리콘

MEMS 패키지

권영수*, 이해영*, 박재영**, 부종욱**

*아주대학교 전자공학부

**LG 전자기술원 소재재료연구소

전화 : 0331) 219-2415 / Fax : 0331) 212-9531

THE NOVEL SILICON MEMS PACKAGE FOR MMICs

Young-Soo Kwon*, Hai-Young Lee*, Jae-Young Park**, Jong-Uk Bu**

*Department of Electronics Engineering, Ajou Univ.

**LG-Elite Devices and Materials Lab.

E-mail : hylee@madang.ajou.ac.kr

Abstract

In this paper, we characterized a novel MEMS package using high resistivity silicon for microwave and millimeter-wave devices. The manufactured MEMS package shows -20dB of S_{11} and -0.4dB of S_{21} up to 20GHz . The new package can be a low cost and high performance solution due to process compatibility with on-chip devices and very small and precise dimensions by semiconductor technology.

I. 서론

최근 무선 통신산업의 발달로 상용화에 적합한 저가격 고성능의 소자 개발의 중요성이 증가하고 있다. 그러나 초고주파용 부품의 경우 일반적으로 사용되는 GaAs나 Alumina는 기판 가격 자체가 비싸고 가공이 어려운 단점들이 있다. Silicon 기판의 경우 가격이 상대적으로 싸고 가공이 쉽다는 이점이 있다. 그러나 일반 Silicon 기판의 경우 Resistivity가 수 내지 수십 $\Omega \cdot \text{cm}$ 로 초고주파용 기판으로 사용할 경우 기판 손실에 의해 사용이 거의 불가능하다. 그러나 일반 Silicon 기판보다 Doping 농도를 현저히 낮춘 High Resistivity Silicon(HRS) 기판의 경우 GaAs에 비견할 만한 기판 손실 특성을 가지며 초고주파 및 밀리미터파 대역에서의 사용이 가능하다[1].

이러한 HRS 기판을 반도체 공정을 이용한 MEMS(Micro Electro Mechanical System) 기술을 통해 초고주파 소자 제작에 적용하고자 하는 연구들이 현재 활발히 진행되고 있다. 그 결과 신뢰성과 경제성을 갖춘 다양한 MEMS 공정들이 개발되고 있으며 이를 바탕으로 초고주파 및 밀리미터파용 소자 및 회로들이 개발되고 있다.

최근에는 MEMS 기술을 이용하여 초고주파 소자뿐만 아니라 Package의 제작에까지 연구가 진행되고 있다. 이는 Package가 초고주파용 회로에 있어 회로를 지지하며 외부 환경으로부터 보호함과 동시에 Chip과 시스템 사이의 전기적, 열적인 통로로써의 기능을 한다[2]. 그러나 초고주파 집적회로의 발달은 빠른 속도로 진행되어 왔으나 Package는 회로의 개발과는 별개로 이루어지고 있으며 Package의 성능에 의해 회로 전체의 성능을 저하시키는 결과물 초래하였다[3]. 이러한 결과는 Package의 전기적 특성이 소자에 미치는 영향은 절대적이며 따라서 Package의 개발과 동시에 특성 해석 및 추출과정이 필수적이다. 그러나 이런 개발 과정과 특성 추출과정은 높은 비용으로 연결되어 저가의 고성능 초고주파 소자의 개발을 어렵게 하고 있다. 이에 Silicon을 이용하여 저가격 고성능의 Package를 개발하게 되었다.

Silicon은 Package를 위한 물질로써 제작을 위한 가공이 쉬우며 물질적 특성이 우수하다. 특히 Silicon은 현재 Package 재료로 많이 사용되어지고 있는 Ceramic에 비해 열전도성(Thermal Conductivity)이 좋아서 열방출(Heat Transfer)에 있어 우수한 특성을 보인다. 또한 손실 측면에서도 Silicon을 사용한 Package

가 Alumina Package에 비해 더 좋은 손실 특성을 보여 준다[4]. 그러나 이미 제안되어 있는 Silicon Package의 경우 MEMS 기술을 이용하여 제작되었으나 그 제작 공정이 너무 복잡하고 어렵다. 따라서 본 논문에서는 간단한 구조의 그림 1과 같은 새로운 형태의 Package를 제안하고자 하였다. 새로운 Silicon Package의 경우 두 장의 HRS 기판만을 사용하여 제작이 가능하므로 제작 공정이 쉬우며 가격 면에서 이점을 지닌다. 해석 결과에서도 전체적인 특성이 고주파에서 사용하기에 적합한 특성을 보여주었다. 새롭게 설계된 Silicon Package를 사용할 경우 저가격의 Package를 구현함과 동시에 고가의 Ceramic Package를 구입하지 않고도 회로의 Package 특성을 확인하기 위한 연구 수준의 소량 Test Package로 이용할 수 있을 것이다.

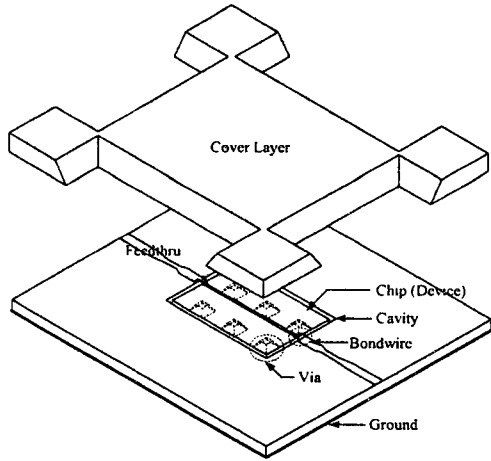


그림 1. 새로운 Silicon Package 구조

III. 구조 및 공정

1. 구조(Structure)

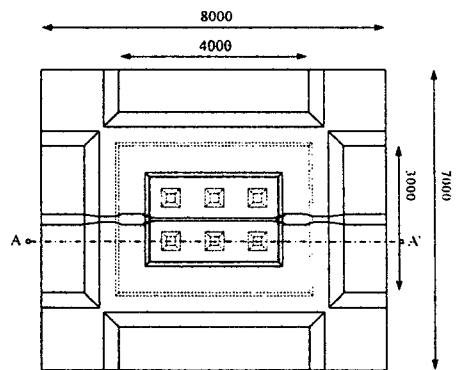
일반적인 패키지의 경우에는 여러 개의 층을 가지고 있으나 본 논문에서는 Silicon의 우수한 가공성을 이용하여 Package의 구조를 두 장의 Silicon 기판만을 사용하여 구현하였다. 두 장의 기판 중에서 위 기판은 패키지의 Cover와 패키지를 외부와 차단하기 위한 Seal Frame 역할을 하도록 구조를 설계하였으며 아래 기판에는 Feedthru와 칩의 실장을 위한 Cavity를 형성하였다. 내부의 Cavity는 GaAs 기판을 이용한 초고주

파용 칩의 실장을 위해 100~120 μm 내외의 깊이를 가지도록 하였으며 밑면에 칩의 Ground를 패키지 전체의 Ground와 하나로 연결시켜 주기 위해서 기판의 아래면으로부터 형성시킨 Via를 통해 하나의 Ground로 연결하였다.

그림 2의 (a)와 (b)는 Silicon Package의 평면도와 측면도를 나타내었다. 보통의 초고주파용 칩의 크기를 2 mm×3 mm라고 하였을 때 Package 전체는 7 mm×8 mm의 크기를 가지도록 설계하였으며 위 기판의 Seal Frame을 위한 내부의 Cavity는 3 mm×4 mm로 하였다. 패키지의 Feedthru와 칩의 연결을 위한 내부 접속선은 이중본딩와이어 구조를 갖도록 하였다.

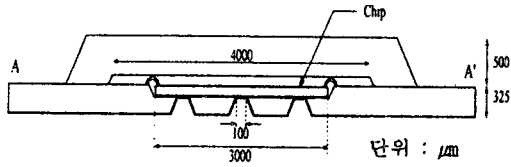
기판은 기판 손실을 줄이기 위해서는 일정 이상의 비저항을 가져야 하므로 4.5 k Ω ·cm 정도의 비저항을 갖는 HRS를 사용하였다. 위 기판은 패키지 전체의 Cover와 Seal Frame의 역할을 하도록 일정 이상의 두께를 가져야 하므로 약 500 μm 정도로 하였다. 아래 기판에 경우에는 기판 두께가 너무 두꺼울 경우에는 특성 임피던스를 50 Ω 로 맞추기 위한 Microstrip의 선폭이 너무 두꺼워짐으로써 구현하기에 적합하지가 않다. 따라서 아래의 기판은 약 325 μm 정도의 두께의 기판을 사용함으로써 적당한 선폭의 Feedthru가 되도록 하였다[4].

칩의 Ground와 패키지의 Ground를 하나로 연결하여 주기 위한 Via는 아래기판 밑면에서부터 형성시켰으며 Via의 윗면의 크기가 100 μm ×100 μm 가 되도록 하였다. Via의 개수는 Chip의 크기에 따른 Cavity의 크기마다 다르나 위에서 설명한 구조에 대해서는 Wet(Isotropic) Etching을 통해 6개의 Via를 가지도록 하였다.



(a) 평면도

단위 : μm



(b) 측면도

그림 2. Silicon Package의 단면도

Microstrip Feedthru의 경우에는 그림 3과 같이 ϵ_{eff} 의 변화에 따라 Feedthru의 Z_0 를 50Ω Matching시켜주기 위해 Tapering을 시켜줌으로써 반사에 의한 손실이 최소화되도록 설계하였다.

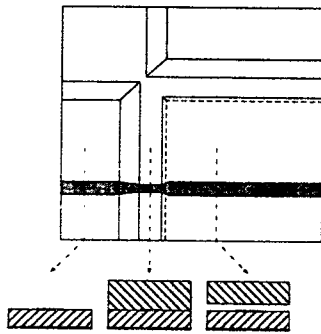


그림 3. Tapered Feedthru의 구조

2. 공정

위 Cover Layer는 먼저 기판 윗면에서 아래 면 쪽으로 완전히 Etching 시켜주어 Package의 Frame을 만들어 준다. Etching은 Wet Etching을 하게 되므로 Package의 Cover는 약 54°의 경사를 가지게 된다. 이렇게 만들어진 Cover Layer는 안쪽 면에 Chip을 실장한 후 RF I/O와 DC Bias등을 본딩와이어로 연결시에 필요한 Cavity를 형성시킨다. Cavity의 크기는 본딩와이어 연결선등을 고려하여 충분한 크기로 Etching되도록 한다. 본 논문에서는 2 mm×3 mm의 크기를 갖는 Chip에 대해 3 mm×4 mm, 깊이 100 μm의 Cavity로 설계하였다. 아래 기판에는 Chip을 실장하기 위한 공간을 위해 Chip 크기보다 수십 μm정도 넓고 깊이는 120 μm정도의 Cavity를 형성한 후 Feedthru와 Chip의 Ground를 만든다. 다음으로는 아래 면으로부터 Package의 Ground와 Chip의 Ground를 연결하기 위한 Vias를 Wet Etching을 통해 Chip의 Ground까지 완전

히 뚫어서 연결시켜 준다. 끝으로 아래 면을 Gold Plating을 통해 Ground를 형성시키면서 Chip과 Package의 Ground가 연결되게 된다. 끝으로 제작되어진 위 기판과 아래 기판을 Bonding 해줌으로써 Package를 완성하게 된다.

II. 제작 구조 및 측정 결과

1. 제작 구조

실제 제작에 있어서는 Package에 대한 Feedthru의 특성을 확인하기 위하여 간략화된 Package 구조를 제작하였다. 그림 4의 간략화된 Package 구조는 모든 수치가 제안된 Package의 구조와 같으며 Chip의 실장을 위한 Cavity와 Vias만이 생략되었다. 제작은 그림 4에서 위 기판의 내부 Cavity의 크기만을 변화하여 제작하였다.

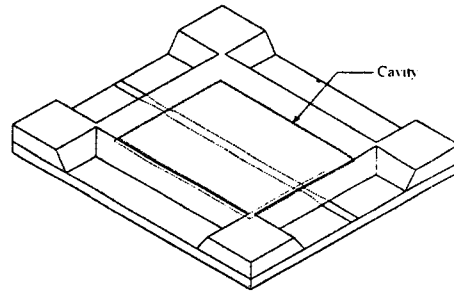
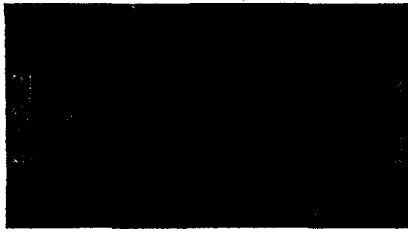
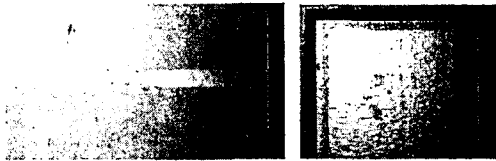


그림 4. 간략화된 Package 구조

그림 5 (a)는 실제 제작된 Package의 전체 구조를 찍은 사진이다. 그림 5 (b)는 아래 기판 위에 형성된 Feedthru의 사진과 위 기판의 안쪽 면에 Etching 되어진 사진이다. Feedthru의 끝 쪽에 CPW-to-Microstrip Transition이 있음을 볼 수 있는데 이는 On-wafer 측정을 위한 측정 Pattern을 형성한 것이다. 다음으로 위 기판과의 bonding 되는 부분이 Tapering 된 것을 확인할 수 있다. 위 기판의 안쪽 면은 Wet Etching을 통해 형성되어 Etching된 면이 다소 균일하지 않음을 볼 수 있다.



(a) 제작된 Package 구조



(b) Feedthru와 Etching된 윗면 기판의 내부
그림 5. 제작된 Package 사진

2. 측정 결과

그림 6과 그림 7은 패키지의 위쪽 Cover를 붙이기 이전에 아래 Feedthru Pattern만을 측정한 결과이다. 그림 6의 S_{11} 특성을 살펴보면 Feedthru의 길이가 긴 Cavity Size가 3 mm × 4 mm의 경우에 공진이 15 GHz에서 발생한 반면에 3 mm × 3 mm의 구조에서는 20 GHz에서 공진이 발생한 것을 확인할 수가 있다. 이는 패키지의 Pattern에서의 Tapering된 부분 사이의 길이에 따라 공진이 발생하는 주파수가 변화하는 것으로 3 mm × 3 mm의 구조가 Feedthru의 길이가 1 mm 짧기 때문이다. 그림 7의 S_{21} 특성을 살펴보면 Feedthru만의 특성에 있어서는 15 GHz 정도이후에서는 특성이 많이 나빠지는 것을 확인할 수가 있다.

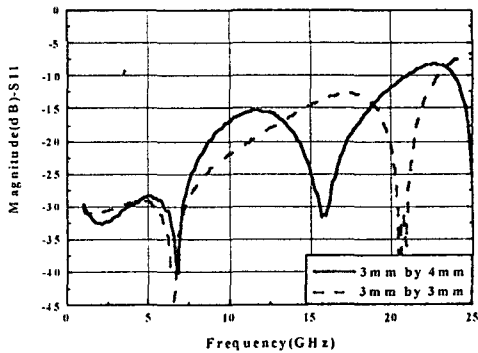


그림 6. Feedthru만의 S_{11} 측정 결과

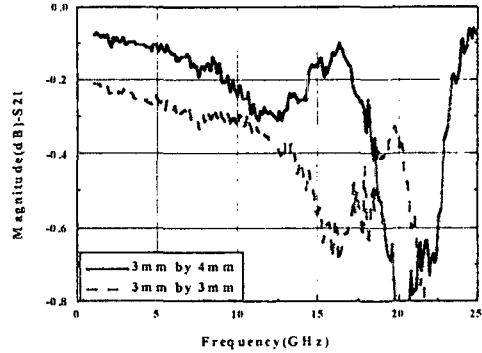


그림 7. Feedthru만의 S_{21} 측정 결과

그림 8의 측정 결과는 아래 기판과 위 기판을 붙인 완성된 형태의 패키지의 특성을 확인한 결과이다. 측정 결과를 살펴보면 앞에서 Feedthru의 특성만을 본 결과에 비해 S_{11} 특성이 20 GHz에서 약 20 dB정도로 약 5 dB정도가 개선되는 것을 확인하였다. 이것은 아래 기판과 위 기판이 접합되는 부분에서의 ϵ_{eff} 값 변화에 따라 Tapering을 통해 임피던스 정합을 시켜줌으로써 반사에 의한 손실이 줄어들었기 때문이다. 또한 접합이 됨으로써 S_{11} 에서의 공진이 줄어든 것을 볼 수가 있다. S_{21} 특성은 위 기판을 붙인 경우에 있어서 손실이 줄어들어 특성이 개선되었으며 측정 결과에 있어 S_{21} 변화가 상대적으로 안정된 결과를 확인할 수가 있다.

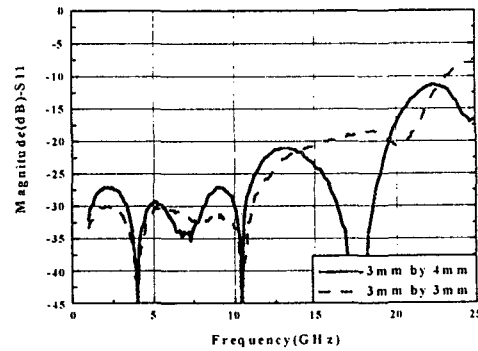


그림 8. 제작된 Package의 S_{11} 측정 결과

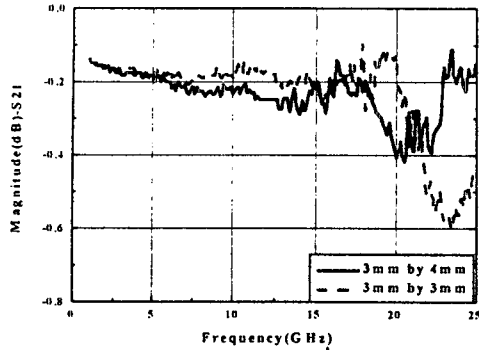


그림 9. 제작된 Package의 S₂₁ 측정 결과

[4] R. M. Henderson, and L. P. B. Katchi, "Silicon-Based Micromachined Packages for High Frequency Applications," IEEE Trans. Microwave Theory Tech., vol. 47, pp. 1563-1569 Aug. 1999

IV. 결론

본 논문에서는 MEMS 공정과 HRS 기판을 이용하여 기존의 Ceramic Package를 바탕으로 새롭고 간단한 구조의 Package를 제작하고 측정하였다. 제작된 Silicon MEMS Package는 특성이 20 GHz 근처에서 S₁₁ 특성이 -20 dB 이하이고 S₂₁ 특성이 -0.4 dB 내외로 실제 사용하기에 적합한 특성을 나타내었다. 따라서 제작된 Silicon Package는 저가격으로 연구 수준의 소량의 제작이 가능하며 회로 및 소자의 Test를 위한 Package로 사용될 수 있으리라 기대된다.

Acknowledgements - 본 연구는 BK(Brain Korea) 21 프로젝트와 산업자원부의 선도기술 개발사업의 정보통신용 초소형 RF MEMS 부품개발과제의 연구비 지원을 받아 수행되었습니다.

참고 문헌

- [1] A. C. Reyes, S. M. El-Ghazaly, and S. Dorn et. al, "Silicon As A Microwave Substrate," IEEE MTT-S Int. Symp. Dig., 1994 pp. 1759-1762
- [2] D. S. Wein, "Advanced Ceramic Packaging For Microwave And Millimeter Wave Applications," IEEE Trans. Antennas Propagat., vol. 43, Sept. 1995 pp. 940-948
- [3] Y. C. Shih, K. Kasel and L. Fong et. al, "A High Performance Quartz Package For Millimeter-wave Applications," IEEE MTT-S Int. Symp. Dig., 1991 pp. 1063-1066