

## 부성저항을 이용한 능동 대역 통과 여파기

신상문<sup>o</sup>, 권태운, 최재하  
울산대학교 전기전자 및 자동화 공학부  
mit2000@hanmail.net

### An Active Bandpass Filter Using Negative Resistance Circuits

Shin sang-moon, Kwon tae-woon, Choi jae-ha  
School of Electrical Engineering and Automation, Univ. of Ulsan

#### ABSTRACT

In this study, An active band pass filter for 2.14GHz have been designed with MMIC using negative resistance circuit. The negative resistance element was realized with a common-drain FET with series inductive feedback. The designed active filter showed an insertion loss of 0dB at 2.14GHz and a 3-dB bandwidth of 125MHz.

#### 1. 서론

이동 통신 부품기술의 발달과 함께 대역 통과 여파기등의 off-chip 부품을 on-chip화하기 위한 노력이 최근 십 수년 사이에 있었다. 송수신단을 완전한 칩으로 만들기 위해서는 대역통과 여파기가 칩안으로 들어갈 필요가 있다. MMIC 능동 공진기는 이러한 요구를 만족시키기 위한 적절한 구조가 될 수 있다.

대부분의 능동여파기는 다음과 같이 다섯 가지의 종류로 분류될 수 있다. (a) 횡단-재환(transversal-recursive) 구조, (b) 능동 인덕터를 이용하는 구조, (c) 수동 필터와 증폭기를 직렬로 붙인 구조, (d) 부성저항을 이용한 구조, (e) 수동필터와 능동정합 회로를 사용한 구조등이 그러하다.

능동인덕터는 작은 크기로 회로를 구성할 수 있으며, 증폭기, 혼합기, 발진기 등과 쉽게 집적화 할 수 있고, 전기적으로 중심주파수의 조정이 가능하다.

반면, 잡음특성, 선형성이 좋지 않으며, 발진의 위험성이 있고, 바이어스 회로가 복잡하며, DC 전력의 소모가 크다는 단점이 있다[1]. 본 연구를 통해 바이어스 회로를 칩 안에 넣어 주어 칩 밖에서 제공되어야 할 복잡한 회로를 단순화 시켜주었으며, 기존에 발표된 능동 대역통과 여파기와 같은 기준(바이어스 회로를 off-chip한 상태로 비교)으로 비교할 때 DC 전력 소모가 가장 작은 것으로 나타났다(3.4mW). 단, 바이어스 회로를 on-chip화 해 주었을 때는 24mW이다.

본 논문에서는 부성저항을 이용한 능동 여파기의 설계를 다룬다. 대부분의 여파기의 손실은 인덕터의 손실에 의한 것이므로 Q값은 인덕터의 Q값과 같아지게 된다. 부성저항은 spiral inductor등에 의한 손실을 보상해 주기 위해 사용한다.

## 2. 회로의 설계

### 1. 여파기의 설계

부성저항성분을 만들기 위해 아래와 같은 2가지 구조가 주로 이용되었다. 즉, 직렬 유도성 재귀회로를 사용한 공동-드레인 FET(a common-drain FET with series inductive feedback)와 직렬 용량성 재귀회로를 사용한 공동-소스 FET(a common-source FET with series capacitive feedback)의 두 가지이다. 여기서는 첫 번째 회로를 사용했다. 회로의 구조는 그림1과 같다[2],[3],[4].

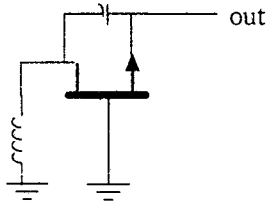


그림 1. 직렬 유도성 재귀회로를 사용한 공동-드레인

설계한 필터회로를 구성하는 공진기를 그림2에 나타내었다.

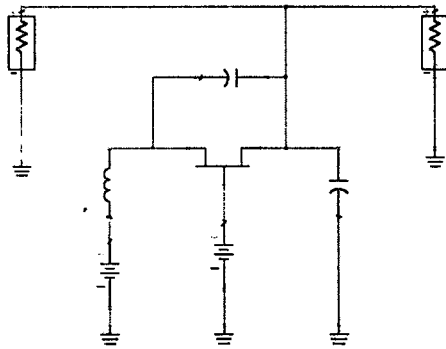


그림 2(a). 1단 공진기

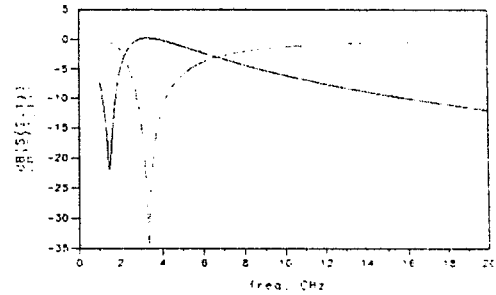


그림 2(b). 공진기의 주파수 특성

완성된 필터는 그림 2의 공진기를 병렬로 4개를 이어 만들었다. 공진기를 4개 이었을 때 여파기의 특성이 더욱 잘 나타났다. 기존에 발표된 회로는 높은 Q값을 가진 공진기를 여럿이 이어주어 사용하였으며, 본 논문의 회로 또한 비슷한 과정을 따라서 설계했다.

완성된 능동여파기의 회로도도 그림 3과 같다.

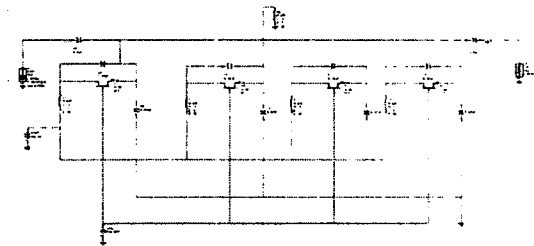


그림 3(a). 4개의 공진기를 병렬로 이어준 구조

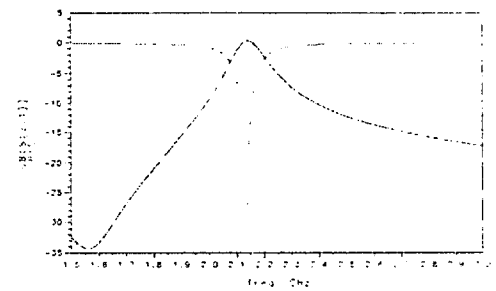


그림 3(b). 1.5GHz에서 3GHz사이의 주파수 특성

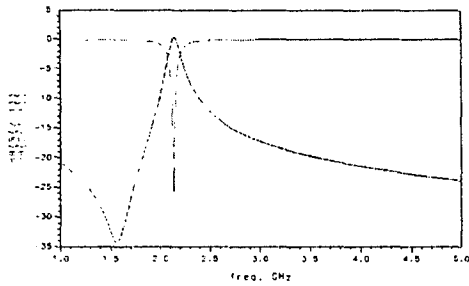


그림 3(c). 1GHz에서 5GHz사이의 주파수 특성

이 회로는 전원전압을 1V로, 조정 전압을 0.22V로 인가했다. 중심 주파수 2.14GHz일 때 3dB 대역폭이 약 125MHz이며, DC 전력 소모가 약 3.4mW로 현재 까지 제안된 능동인덕터 중 가장 작은 전력소모 값을 가지고 있다. 단, 다음에서 설명할 바이어스 보상 회로를 사용한 경우, DC 전력소모가 커지게 된다 (24mW).

2. 바이어스 보상회로

설계된 능동 여파기는 조정전압의 값이 변함에 따라 여파기의 특성이 민감하게 변하므로 칩 외부에서 조정 전압을 맞추어 줄 경우 여파기의 본래의 특성을 갖기가 어려워지게 된다. 그림 4에서 보는 바와 같이 조정전압을 0.1V에서 0.3V로 바꾸어 주었을 때의 주파수 특성의 변화가 매우 크다는 것을 알 수 있다.

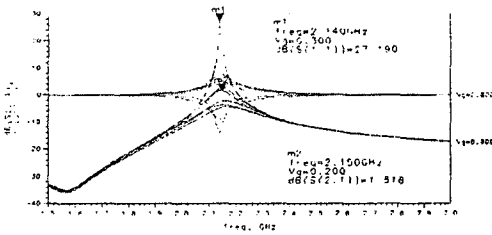


그림 4. 조정전압(Vgs)의 값에 따른 주파수 특성

또한 MMIC 제작 중 발생할 수 있는 오차를 해결해 줄 필요가 있다. 공정상 발생할 수 있는 오차 값을 라이브러리 상에서 NOM, MIN, MAX로 주었으며, 그 값에 따라 민감하게 변하는 여파기의 특성을 보상해 주기 위해 바이어스 보상회로를 사용해 주었다. 그림 5에 바이어스 회로를 사용한 것과 사용하지 않는 것을 비교해 주었다.

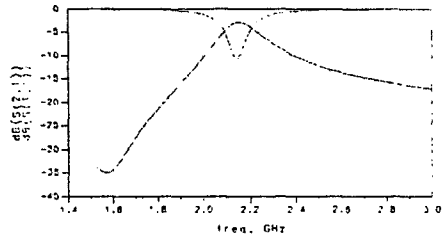


그림 5(a). 바이어스 보상회로를 사용하여 efet\_max을 선택해 준 경우

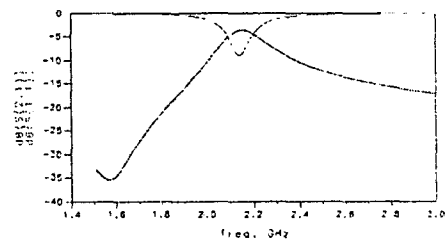


그림 5(b). 바이어스 보상회로를 사용하지 않을 때 efet\_max을 선택해 준 경우

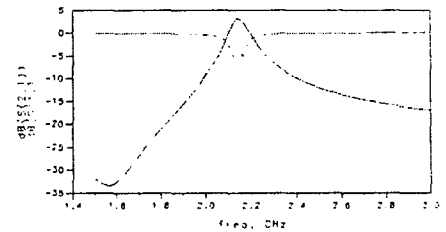


그림 5(c). 바이어스 보상회로를 사용하여 efet\_min을 선택해 준 경우

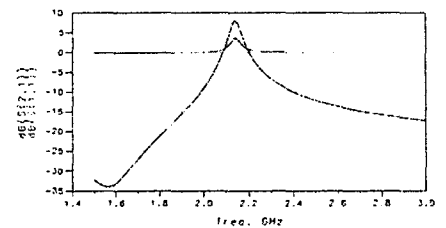


그림 5(d). 바이어스 보상회로를 사용하지 않을 때 efet\_min을 선택해 준 경우

위 결과의 S21을 표1로 나타내 주었다.

보상회로	EFET_NOM	EFET_MAX	EFET_MIN
사용	-0.164dB	-2.9dB	3.077dB
사용 않음	0.08dB	-3.738dB	7.99dB

표 1 바이어스 보상회로를 사용했을 때와 사용하지 않았을 때의 비교

위 표의 결과에 의해 공정상 나타날 수 있는 오차에 대한 보상이 이루어짐을 알 수 있다. 특히 EFET\_MIN을 사용해 주었을 때 보상회로의 필요성이 강조된다. 바이어스 회로를 구동시키기 위해 Vdd를 3V로 올려 주었으며, 이 때의 DC 전력 소모량은 24mW가 나왔다.

이 바이어스 보상 회로를 사용해 회로를 완성했다.

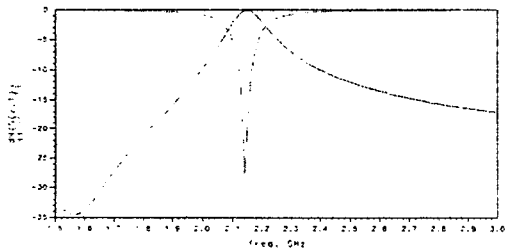


그림 6. 완성된 회로의 주파수 특성

그림 6에서 볼 수 있는 바와 같이 중심 주파수는 2.14GHz이며, 3dB 대역폭은 125MHz이다. 능동 공진기를 더 많이 사용하면 Q값이 더욱 높아지며, 이때의 손실 성분들은 조정 전압 값을 바꾸어 주면서 보정할 수 있다.

### 3. 레이아웃

위 회로를 Mentor를 사용하여 layout 작업하여  $1.0 \times 0.9mm^2$ 의 면적으로 설계했다(그림7).

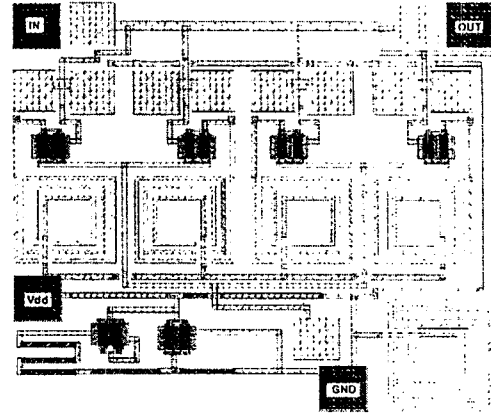


그림 7. layout  $1.0 \times 0.9mm^2$

### 4. 결론

부성저항을 이용하여 능동 대역 통과 여파기를 설계하였다. 바이어스 보상회로를 한 칩상에 구현하여 공정상 발생할 수 있는 오차의 범위를 줄여주어 기존 능동 대역 통과 여파기의 단점으로 지적되어 왔던 문제의 하나인 바이어스 회로를 해결해 주었으며, 바이어스 회로를 off-chip으로 설계한 조건으로 비교를 한 결과, 기존의 것에 비해 DC 전력 소모가 가장 작은 회로임을 알 수 있었다(3mW). 단, 바이어스 회로를 칩안으로 넣어 줄 경우 24mW의 DC전력 소모 값을 가지게 된다.

중심주파수가 2.14GHz 일 때 3dB 대역폭이 125MHz가 나오도록 설계했으며, 설계된 칩의 면적은  $1.0 \times 0.9mm^2$ 이다.

### 참고문헌

- [1] I. D. Robertson, "MMIC Design", IEE, 1995
- [2] B. P. Hopf, I. Wolff, and M. Guglielmi, "Coplanar MMIC Active Bandpass Filters Using Negative Resistance Circuits", IEEE Trans. Microwave Theory Tech. Vol. 42, No. 12, December 1994
- [3] Yong-Ho Cho, Song-Cheol Hong, Young-Se Kwon, "A Low-Power Monolithic GaAs FET Bandpass Filter Based on Negative Resistance Technique", IEEE Microwave and Guided Wave letters, Vol. 8, No. 4, April, 1998
- [4] Ulun Karacagolu, Ian D. Robertson, "MMIC Active Bandpass Filters Using Varactor-Tuned Negative Resistance Elements", IEEE MTT Trans. Vol. 43, No. 12, December 1995