

신호 통합성 시뮬레이션을 지원하기 위한 입출력 버퍼 정보형식의 모델링에 관한 연구

°김현호*, 이용희**, 이철휘**

도립충북과학대학*, 청주대학교**

(우:373-807) 충북 옥천군.읍 금구리 40 Tel : 043-730-6371, Fax : 043-730-6379

E-mail : kinhh@ctech.ac.kr

(우:360-764) 청주시 상당구 내덕동 36 Tel : 0431-229-8448, Fax : 0431-213-6392

E-mail : yicheon@chongju.ac.kr

A study on the Modeling of I/O Buffer Information Specification to supply Signal Integrity Simulation

°Kim, Hyeon-ho*, Lee, Yong-hui**, Yi, Cheon-hee**

Chungbuk Provincial Univ. of Science & Technology*, Cheongju Univ.**

요약

본 논문에서는 디지털 IC회로의 입출력과 입출력 버퍼에 대한 입출력 버퍼정보 형식 모델링을 조사하였고 입출력 버퍼의 전기적 특성을 표현하는 방법 등을 나타냈다. 또한 본 논문에서 도출한 입출력 버퍼 모델링은 CMOS와 TTL IC를 모델링 하는데 사용할 수 있는데 CMOS와 TTL IC 그리고 ROM과 RAM 메모리에 대한 입출력 버퍼 모델을 128개 정도 만들었다. 이러한 입출력 버퍼 모델은 정확한 행동(behavioral) 모델을 구성하기 위해 그리고 고속 회로의 PCB 디자인 시뮬레이션에 사용될 것이다.

1. 서론

PCB 디자인에서 고속신호 디지털회로는 전기적 보드 분석틀을 사용하여 설계가 이루어지고 있으며[1], 많은 설계 자동화 틀(tool)공급자들이 신호 통합성과 타이밍이 서로 다른 디자인 문제를 처리할 수 있는 틀들을 공급하고 있다. 이러한 틀들은 보드 부품을 처리하기 위하여 전기적인 모델을 요구하며 일반적으로 입출력 버퍼정보 형식은 전기적인 디지털 인터페이스 데이터의 형식처럼[2] 전자회로 설계 틀 공급자 및 반도체 설계 틀

공급자와 시스템 설계자들 사이에서 넓은 범위에 걸쳐 사용된다. SPICE 모델은 종종 이러한 목적에 부합되는 틀이나 반도체 설계 틀 공급자는 입출력 버퍼정보 형식의 모델에 더 많은 고객의 인터페이스 요구사항을 수용해야 한다. 따라서 본 논문에서는 디지털 IC회로의 입출력과 입출력 버퍼에 대한 입출력 버퍼정보 형식 모델링을 조사하였고 입출력 버퍼의 전기적 특성을 표현하는 방법 등을 나타냈다. 또한 본 논문에서 도출한 입출력 버퍼 모델링은 CMOS와 TTL IC를 모델링 하는데 사용할 수 있는데 CMOS와 TTL IC 그리고 ROM과

RAM 메모리에 대한 입출력 버퍼 모델을 128 개 정도 만들었다. 이러한 입출력 버퍼 모델은 정확한 행동(behavioral) 모델을 구성하기 위해 그리고 고속 회로의 PCB 디자인 시물레이션에 사용될 것이다.

II. 입출력 버퍼 모델의 구성

입출력 버퍼 모델을 사용하기 위해서 모델이 생성되어야 만 하는데 그림 1은 입출력 버퍼 모델의 여러 가지 블록을 표현했고 입출력 버퍼 구조의 행동 블록도를 나타냈다. 입출력 블록의 모델은 버퍼 특성(thresholds, ramp-up과 ramp-down, 그리고 pull-up과 pull-down 성능)에 대한 패키지 요소로부터 클램프 요소까지의 범위를 갖는 많은 요소가 존재한다. 그림 1에서 회로의 입력과 출력 단원의 행동 묘사는 입출력 버퍼 모델을 생성하기 위한 기능들을 포함한 향으로 정의된다.

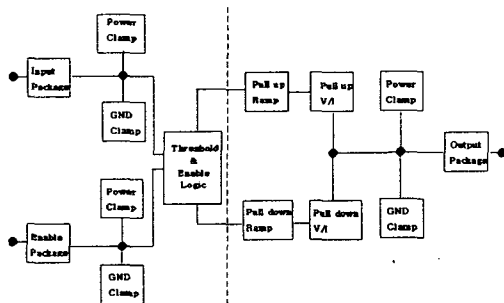


그림 1. 입출력 버퍼의 행동 블록도

패키지 캐패시턴스, 레지스턴스, 인덕턴스등 사용된 파라미터, 그리고 입력 신호(그림 2 입력 모델 구조)에 영향을 미치는 입출력 패드 캐패시턴스는 전송라인(transmission line) 모델에 나타나는 입력 구조를 모델링하기 위해 필요한데 C_{pkg} , R_{pkg} , 그리고 L_{pkg} 는 패키지 파라미터이다. Power_clamp와 GND_clamp는 C_{comp} 가 입력 핀의 입력 캐패시턴스가 되는 동안 입력에 전원 클램프 구조를 정의하며 전류/전압 커브 데이터는 이러한 클램프 구조를 정의한다. 출력이 표현되지 않으므로 입력 모델은 그림 3에서 블록 1, 2, 그리

고 4를 포함하지 않는다. 따라서 입력에 대한 정보는 단지 다이오드에 대한 전류/전압 커브만 필요하고 램프 시간은 필요하지 않다. 이러한 입력 모델 구조는 그림 2에 나타났다.

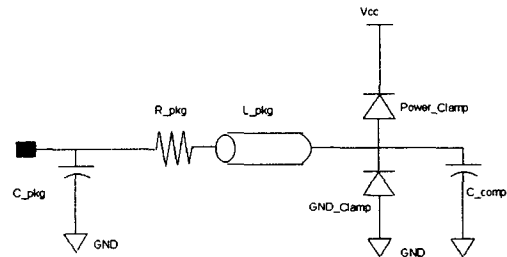


그림 2. 입출력 버퍼의 입력 모델 구조

출력 구조를 모델링하기 위해 필요한 데이터는 입력 구조의 반대 개념(그림 3 출력 모델 구조)으로 유사한 구조를 갖는다. Pullup은 V_{oh}/I_{oh} 로 정의되고 pulldown은 V_{ol}/I_{ol} 로 정의된다. 그리고 램프는 소자의 dV/dt 로 정의된다. Pullup과 pulldown 데이터는 전류/전압 커브로부터 생성된다.

Pullup과 power_clamp 데이터는 전압이 GND가 아닌 Vcc에 기준이 되는 것을 의미한다. 관련된 Vcc 데이터는 pullup 구조가 출력과 GND 핀 사이의 전압이 아니고 출력과 Vcc 사이의 전압에 관계된 것이므로 시물레이션에 필요하다.

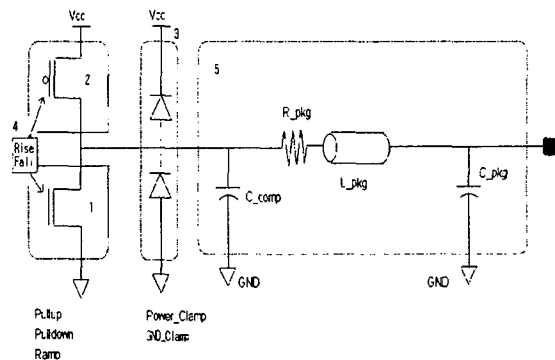


그림 3. 정적 입출력 버퍼의 출력 모델 구조
출력 모델 구조의 파라미터를 살펴보면, 그림 3은 입출력 버퍼 모델링 구조에 포함되는 5개의 기본 요소를 나타냈는데 블록 1은 pulldown 전압에 대한 최소와 최대 전류를 포함하기 위해 pulldown

정보를 나타낸다. [pulldown] 데이터는 $-V_{cc}$ 에서 $2 \times V_{cc}$ 까지의 전압인데 표 1에 나타냈으며 출력 전압($-V_{cc} \sim 2 \times V_{cc}$)에 대한 전압 범위는 시물레이터의 정밀도를 개선하기 위해 제공되며 대부분의 시물레이터는 모델링에서 이러한 특성을 포함한다.

표 1. pulldown 데이터

[pulldown]			
Voltage	I(typ)	I(min)	I(max)
-5.00V	-65.55mA	-51.11mA	-85.99mA
-4.50V	-65.55mA	-50.67mA	-85.66mA
-4.00V	-65.55mA	-50.20mA	-85.18mA
... (생략)			
0.00V	-106.55mA	-4.99mA	-99.23mA
... (생략)			
4.90V	65.48mA	51.02mA	-85.94mA
5.00V	65.55mA	51.11mA	-85.99mA
10.00V	69.54mA	55.38mA	-85.29mA

블록 2는 high 상태로 구동할 때 버퍼의 특성을 모델링하기 위하여 pullup 정보를 포함하며 [pullup]과 [power_clamp] 테이블은 V_{cc} 이고 다음 식으로 유도되는데 pullup 데이터는 표 2에 나타냈다.

$$V_{table} = V_{cc} - V_{output}$$

블록 3은 Power_clamp와 GND_clamp 정보를 포함하는데 이러한 다이오드 데이터는 표 3과 4에 나타냈다.

출력 버퍼가 고-임피던스 상태일 때 다이오드 특성을 안전하게 하기 위하여 클램프 다이오드 특성은 블록 1과 2(pulldown과 pullup)에 병렬로 구동해서 모델링한다.

표 2. pullup 데이터

[pullup]			
Voltage	I(typ)	I(min)	I(max)
-5.00V	68.15mA	52.44mA	90.50mA
-4.50V	66.52mA	51.20mA	88.31mA
-4.00V	64.48mA	49.64mA	85.57mA
... (생략)			
0.00V	94.71pA	4.44nA	88.21pA
... (생략)			
4.90V	-67.86mA	-52.21mA	-90.11mA
5.00V	-68.15mA	-52.44mA	-90.50mA
10.00V	-83.59mA	-67.88mA	-105.95mA

표 3. Ppower_clamp 데이터

[Power_clamp]			
Voltage	I(typ)	I(min)	I(max)
-5.00V	1.44A	NA	NA
-1.10V	70.70mA	NA	NA
-1.00V	35.60mA	NA	NA
... (생략)			
-10.00mV	0.00pA	NA	NA
0.00V	0.00pA	NA	NA

표 4. GND_clamp 데이터

[GND_clamp]			
Voltage	I(typ)	I(min)	I(max)
-5.00V	-2.92A	NA	NA
-1.10V	-155.00mA	NA	NA
-1.00V	-84.00mA	NA	NA
... (생략)			
0.00V	0.00pA	NA	NA
5.00V	0.00pA	NA	NA

블록 4는 모델에서 정확한 AC 동작을 하기 위하여 pullup과 pulldown 구성에 대하여 램프 시간을 포함하는데 표 5에 데이터를 나타냈다.

"min" 열은 가장 긴 상승/하강 시간을 표현하고 "max" 열은 가장 짧은 시간을 나타내는데 종종 이러한 값들은 패키지과 부하를

표 5. Ramp 데이터

[Ramp]			
	typ	min	max
dV/dt_r	1.58/309p	1.34/435p	1.86/206p
dV/dt_f	1.74/428p	1.48/696p	2.04/234p

제거한 트랜지스터의 고유 값이기 때문에 매우 적게 나타난다.

블록 5는 모델의 고유 캐패시턴스를 포함하기 위하여 부품과 패키지 특성을 나타내는데 패키지는 R_pkg, L_pkg, C_pkg 파라미터에 의해서 모델된다. 이러한 패키지 데이터는 표 6에 나타냈다.

표 6. 패키지 데이터

[Package]			
	typ	min	max
R_pkg	193.0m	125.0m	262.0m
L_pkg	8.95nH	6.11nH	11.80nH
C_pkg	1.60pF	1.30pF	1.90pF

입출력 버퍼 데이터를 이용하여 인터페이스 엔지니어는 빠른 모델과 느린 모델에 대한 소자 특성을 모델링 할 수 있는데 느린 모델은 신호의 전달 시간을 제한하기 위하여 사용될 수 있고 빠른 모델은 overshoot, undershoot, 그리고 crosstalk를 연구하기 위하여 사용될 수 있다. 느린 모델은 최대 램프 시간과 최대 패키지 특성을 가지고 최소 전류를 조합함으로써 생성될 수 있으며 또한 빠른 모델은 큰 전류, 빠른 램프, 그리고 최소 패키지 정보를 가지고 생성할 수 있다. 최소, 최대 데이터는 온도와 공정 변수를 포함할 수 있으며 전압 변수는 시물레이션 틀에서 일반적으로 조정되거나 요구하는 전압 오차에 의해서 전류·전압 데이터를 시프트 시키면서 변수를 근사적으로 얻을 수 있다.

III. 결 론

입출력 버퍼 모델은 전류/전압 특성을 이용하여

기존의 SPICE에 의한 트랜지스터 레벨의 시물레이션에 의존하던 소자간 상호 연결 시물레이션을 간단히 한 행동(behavioral) 방법을 이용하여 보다 정확하고 빠른 시물레이션을 수행 할 수 있도록 제공된다[3]. 트랜지스터 레벨의 SPICE 시물레이션은 많은 트랜지스터 및 이에 의한 노드수의 증가로 PCB 레벨의 시물레이션은 매우 어렵다. 이러한 상황을 극복하기 위한 것으로 실제 IC의 데이터를 이용한 행동 방식을 적용한 시물레이션이 필요하게 된다[4].

따라서 본 논문에서는 CMOS와 TTL IC 그리고 ROM과 RAM 메모리에 대한 입출력 버퍼 모델을 128 개정도 만들었다. 이러한 입출력 버퍼 모델은 정확한 행동(behavioral) 모델을 구성하기 위해 그리고 고속 회로의 PCB 디자인 시물레이션에 사용될 것이다. 추후 과제는 더 많은 종류의 모델을 만들고 새롭게 제작되는 IC의 모델을 만들어야 할 것이다.

참고 문헌

- [1] H. Johnson and M. Graham, "Reprinted by permission from High Speed Digital Design", Englewood Cliffs, N.J.:PRT Prentice Hall, 1993.
- [2] Syed B. Huq, Bob Ross and Jon Powell, "IBIS Models for Signal Integrity Applications", Electrical Engineering Times, ACMP Publication September2, 1996.
- [3] Syed B. Huq, "Ease System Simulation with IBIS Device Models", Electronic Design 2nd, Dec 1996.
- [4] R. du Cloux, G. P. J. F. M. Maas and A. J. H. Wachters, "Quasi-static Boundary Element Method for Electromagnetic Simulation of PCBs", Philips Journal of Research, 48: pp. 117-14, 1994.