

이중이종접합을 이용한 채널도핑된 GaAs계 전력FET의 선형성 증가

김우석, 김상섭, 정윤하
 포항공과대학교 전자전기공학과
 Tel:(0562)279-2897 FAX: (0562)279-2903

Linearity Enhancement of Doped Channel GaAs-based Power FETs Using Double Heterostructure

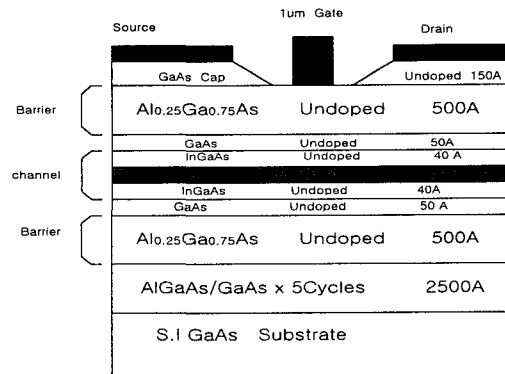
Woo Seok Kim, Sang Seob Kim, Yoon Ha Jeong
 Pohang University of Science and Technology, Dept. of Electrical Engineering
 jdbpkum@postech.ac.kr

Abstract- To increase the device linearities and the breakdown-voltages of FETs, $Al_{0.25}Ga_{0.75}As / In_{0.25}Ga_{0.75}As / Al_{0.25}Ga_{0.75}As$ partially doped channel FET(DCFET) structures are proposed. The metal-insulator-semiconductor (MIS) like structures show the high gate-drain breakdown voltage(-20 V) and high linearities. The devices showed the small ripple of the current cut-off frequency and the power cut-off frequency over the wide bias range.

(quantum well)내에 전자를 보다 더 많이 모음 (confinement)으로써 단일이종접합 (single hetero-structure) 채널도핑 구조에 비교하여 그 선형성의 향상을 기대할 수 있다. 종래의 채널층이 균일하게 도핑된 FET구조에서는 불순물 산란 (impurity scattering)에 의한 전하이동도(electron mobility)의 저하가 문제가 되기 때문에, 본 연구에서는 그 선형성을 향상시키고 도핑된 채널층에서의 불순물산란(impurity scattering)현상을 줄이기 위하여 부분도핑된(partially doped channel) 채널구조를 사용하였다. 본 연구에서는 이중이종접합 (double heterostructure) $Al_{0.25}Ga_{0.75}As / In_{0.25}Ga_{0.75}As / Al_{0.25}Ga_{0.75}As$ 에 부분 Si 채널도핑된(partially Si-doped channel) 양자우물 (quantum well) 구조를 이용하여, FET 소자를 제작하고 그 선형성 및 항복전압 증가에 관하여 조사하였다.

1.서론

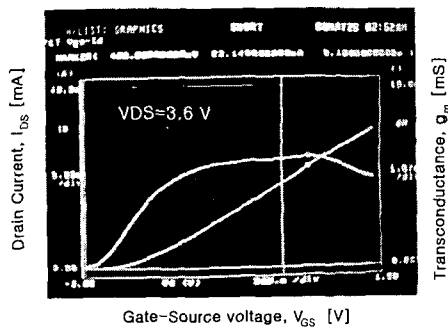
종래의 변조(modulation) 도핑된 채널구조를 이용한 high electron mobility transistor (HEMT) 구조에서는 게이트 전압이 증가함에 따라 게이트 누설전류(gate leakage current)의 증가와 도핑된 도너(donor) 공급층에서의 기생전도 현상 등에 의하여 선형성이 나빠지는 단점이 있다. 이러한 단점 때문에 HEMT 구조를 고도의 선형성이 요구되는 시스템에서 이용하기 위해서는 그 선형성을 개선할 필요성이 있다 [1]. 전력용 doped channel field effect transistor (DCFET)의 경우 도핑되지 않은 AlGaAs 층은 게이트의 쇼트키(Schottky) 접촉을 좋게 하여 게이트 누설전류를 줄이고, 기생전도현상 (parallel conduction)을 방지하여 그 선형성 향상에 기여한다 [2],[3]. 본 연구에서 제안한 $Al_{0.25}Ga_{0.75}As / In_{0.25}Ga_{0.75}As / Al_{0.25}Ga_{0.75}As$ 이중이종접합 (double heterostructure) 채널도핑 구조는 양자우물



<Fig.1> The proposed $Al_{0.25}Ga_{0.75}As/In_{0.25}Ga_{0.75}As/Al_{0.25}Ga_{0.75}As$ partially doped channel FET

2. 실험결과 및 논의

본 연구에서 제안한 $Al_{0.25}Ga_{0.75}As / In_{0.25}Ga_{0.75}As / Al_{0.25}Ga_{0.75}As$ 이중이종접합 (double hetero-structure) 구조에 부분 Si 채널 도핑된 FET의 구조는 Fig.1 과 같다. 에피 결정성장층은 MOVPE(metal organic vapor phase epitaxy) 법을 이용하여 (100) GaAs 반절연성 (semi-insulating) 기판 위에 성장시킨 것이다. 부분 Si-도핑된 110Å의 InGaAs채널의 아래위 양쪽으로 도핑되지 않은 AlGaAs/GaAs(500Å/50Å)층을 성장시켜 이중장벽(double barrier)구조를 형성하여 캐리어모음 (carrier confinement) 을 향상 시켰다. 좋은 오믹특성을 유지하기 위하여 도핑되지 않은 AlGaAs 층 위에 금지대역폭(band gap)이 작은 GaAs 캡(cap) 층을 성장 시켰다. 항복 전압의 향상을 위하여 GaAs 캡 (cap)층도 도핑 하지 않았다. FET소자의 제작공정은 먼저 $H_3PO_4/H_2O/H_2O_2$ 용액을 이용하여 메사 패턴을 식각한 후, AuGe/Ni/Au를 증착하였다. 그 후 Furnace를 이용 질소 분위기에서 Alloying을 하여 Ohmic을 형성한다. $1\mu m$ 게이트 패턴을 만든 후 90%까지 식각한 후 Ti/Au를 증착하여 FET소자를 완성하였다. 제작된 FET 소자의 DC측정은 HP4155A 반도체 파라미터 분석기를 사용하였고, 초고주파특성은 HP8510 Network Analyzer를 사용하여 바이어스 조건을 바꾸며 S-파라미터를 측정된 후 각각의 바이어스에 대한 차단 주파수를 계산하였다. Fig.2 는 드레인 전류(I_{DS})-전달컨덕턴스(g_m)특성곡선을 보이고 있다.



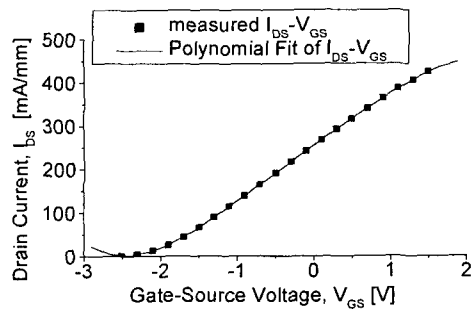
<Fig.2> Extrinsic transconductance and drain current versus gate bias voltage of the proposed AlGaAs/InGaAs /AlGaAs partially doped channel FET with a gate dimension of $1.0\mu m \times 85\mu m$ at 300K.

제작된 FET 소자는 넓은 게이트 바이어스 전압

범위에 대하여 일정한 전달컨덕턴스 값을 나타내고 있다. 게이트 전압 -1.4 V에서 1.0 V까지의 게이트 전압범위에 대하여 최대값(110mS/mm)으로부터 10% 미만의 변화를 보였다. 기존의 HEMT 구조와 비교하여 향상된 선형성을 관찰 할 수 있다. 소자의 선형성을 좀더 확실히 조사하기 위하여 다항근사(polynomial fitting)기술을 사용하였다. 드레인 전류(I_{DS})를 게이트 전압(V_{GS})의 함수로 6차항 까지 나타내면 다음과 같이 쓸 수 있다.

$$I_{DS} = b_0 + b_1 * V_{GS}^1 + b_2 * V_{GS}^2 + b_3 * V_{GS}^3 + b_4 * V_{GS}^4 + b_5 * V_{GS}^5 + b_6 * V_{GS}^6 \text{ -----(1)}$$

식.1 에서 $b_n(n \geq 2)$ 가 영(zero)인 디바이스는 이상적인 선형소자 이며 2차이상의 계수가 작을수록 선형성은 좋아진다. 그림.3은 다항근사 (polynomial fitting)기술을 이용하여 근사화된 $I_{DS}-V_{GS}$ 곡선이고, Table.1은 고차항의 계수들의 크기를 보이고 있다. Table.1은 기존에 발표된 단일이종접합 균일채널도핑 구조의 FET[2]와 본 논문에서 제작한 이중이종접합을 이용한 부분채널도핑구조의 FET의 다항근사(polynomial fitting) 결과를 비교 한 것이다.



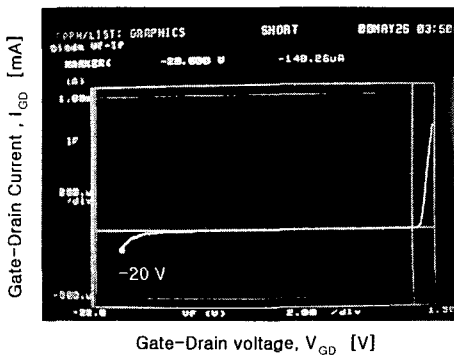
<Fig.3> Polynomial fitted $I_{DS}-V_{GS}$ curve

Table.1로부터 채널 도핑된 구조(sample #1, #2)는 변조도핑된 구조(sample #3)와 비교하여 탁월한 선형성을 보이고 있음을 관찰할 수 있다. Sample #1 과 #2의 1차계수(b_1)와 3차계수(b_3)의 비 (b_3/b_1), 즉 3rd IMD항 (3-rd order inter-modulation term) 을 비교해본 결과 본 논문에서 제안된 부분채널 도핑된소자(sample #1)가 1/30배 정도의 작은 값을 나타내었다. 이러한 결과로부터 본 실험에서 제안한 이중이종접합 부분도핑채널 구조를 이용할 경우 선형성을 향상시켜 제3고조파 상호변조현상 (third harmonic inter-

modulation) 을 크게 줄일 수 있음을 알 수 있다.

bn/b1	Sample #1 부분도핑 채널구조 <Our work>	Sample #2 균일도핑 채널구조 <Ref. 2>	Sample #3 변조도핑 채널구조 <Ref. 2>
b2/b1	-0.032	-0.014	-0.068
b3/b1	-0.00003	-0.001	-0.601
b4/b1	0.002	0.046	0.415
b5/b1	-0.008	-0.037	0.199
b6/b1	-0.001	-0.018	-0.247

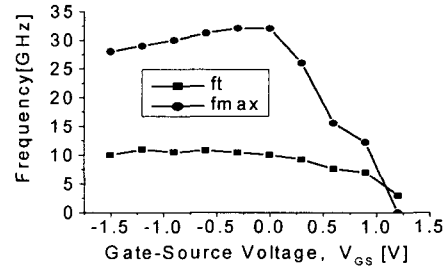
<Table.1>Comparisons of harmonic distortion factors



<Fig.4> Gate-Drain breakdown voltage

본 논문에서 제안된 FET 소자는 AlGaAs층 뿐만 아니라 GaAs 캡(Cap)층도 도핑하지 않음으로써 -20 V의 큰 항복전압을 얻었다(Fig.4). 향상된 항복 특성은 출력전압 동작 범위를 증가시켜 준다. 넓은 출력전압 동작 범위를 갖는 소자는 고전력 소자로서 동작 가능하다. FET소자는 드레인 전류-전압 특성을 측정 해본 결과 드레인 전압이 12 V까지 안정적인 동작 특성을 보였다. 이러한 항복 특성은 기존에 발표된 채널 도핑구조 소자와 비교해도 손색이 없는 값이다[2]

Fig.5 는 드레인 전압을 3.6 V로 고정시키고 게이트 전압을 -1.5 V부터 1.2 V까지 변화시키면서 각각의 게이트 바이어스 조건에 대한 f_T (전류차단주파수) 와 f_{MAX} (전력차단주파수) 값을 보이고 있다. 넓은 게이트 바이어스 변화에 대하여 작은 변화를 보여 선형적인 주파수 특성 보였다. 이동 단말기의 동작전압 3.6 V에서 주파수 특성을 측정 한 결과 최대 11 GHz의 전류차단주파수(current cut-off frequency)와 32 GHz의 전력차단주파수(power cut-off frequency) 값을 보였다.



<Fig.5> Calculated f_T and f_{MAX} as a function of gate-source voltage(V_{GS}) at the $V_{DS}=3.6$ V

3. 결론

본 논문에서는 이중이종접합 $Al_{0.25}Ga_{0.75}As/In_{0.25}Ga_{0.75}As/Al_{0.25}Ga_{0.75}As$ 에 부분 Si 채널도핑된(partially Si-doped channel) FET 구조를 제안하였고, 이를 이용하여 전력용 GaAs계 FET를 제작하고, 그 특성을 분석하였다. 그 결과 제작된 FET소자는 -20 V의 큰 게이트-드레인 항복전압을 보였고 넓은 게이트 전압변동범위(-1.4 V ~ 1.0 V)에 대하여 10% 미만의 작은 전달컨덕턴스(g_m) 값의 변화를 보였다. 드레인전류(I_{DS})-게이트 전압(V_{GS}) 특성곡선을 다항근사(polynomial fitting) 기술을 이용하여 분석해본 결과, 본 연구에서 제안된 소자는 종래의 균일도핑된 채널구조를 갖는 단일이종접합 FET (uniformly doped channel single heterostructure FET) 보다 우수한 선형성을 보였다.

[참고문헌]

[1] P. Roblin, L. Rice, S. B. Bibyk, and H. Morkoc, " Nonlinear parasitics in MODFET's and MODFET I-V Characteristics", IEEE Trans. Electron Devices, Vol. 35, p. 1207, 1988.
 [2] Y. J. Chan and M. T. Yang, "Device Linearity Improvement by AlGaAs / InGaAs Heterostructure Doped - Channel FET's", IEEE Electron Device Lett", Vol 16, No. 1, p. 33-35, January 1995.
 [3] M. T. Yang and Y. J. Chan, "Device Linearity Comparisons Between Doped Channel and Modulation Doped Design in Pseudomorphic AlGaAs / InGaAs Heterostructure", IEEE Trans. Electron Devices, Vol. 43, No. 8, p. 1174-1180, 1996.
 [4] J. Dickmann, C. Woelk, A. Schurr, E. Kohn, and P. Narozny, "Determination of the optimum condition to Introduce the Doping in the Channel of High Speed Doped Channel AlGaAs/InGaAs HFET's", High Speed Semiconductor Devices and Circuits, 1991., Proceedings IEEE/Cornell Conference on Advanced Concepts , p. 208 -217, 1991.