

차세대 sub-0.1 μ m급 MOSFET소자용 고유전율 게이트 박막

황 현 상

광주과학기술원 신소재공학과

전화 : (062) 970-2314 / 팩스 : (062) 970-2304

High-k Gate Dielectric for sub-0.1 μ m MOSFET

Hyunsang Hwang

Dept. of Materials Science, Kwangju Institute of Science and Technology

E-mail : hwanghs@kjist.ac.kr

Abstract

We have investigated a process for the preparation of high-quality tantalum oxynitride (TaO_xN_y) via the NH_3 annealing of Ta_2O_5 , for use in gate dielectric applications. Compared with tantalum oxide (Ta_2O_5), a significant improvement in the dielectric constant was obtained by the NH_3 treatment. In addition, light reoxidation in a wet ambient at $450^\circ C$ resulted in a significantly reduced leakage current. We confirmed nitrogen incorporation in the tantalum oxynitride (TaO_xN_y) by Auger Electron Spectroscopy. By optimizing the nitridation and reoxidation process, we obtained an equivalent oxide thickness as thin as 1.6nm and a leakage current of less than $10mA/cm^2$ at 1.5V.

I. 서 론

급격한 현대사회의 정보·통신화는 더 많은 정보를 더욱 빠르게 처리하기 위해, 트랜지스터의 초고속화, 초고집적화 및 초절전화가 요구되고 있다. 1999년 발표된 International Technology Roadmap for Semiconductor에 근거할 때 게이트 절연막의 두께는 각 세대마다 약 0.7배 정도씩 감소하여 2005년경에 생산이 예상되는 100nm급 로직소자의 경우 게이트 절연막의

두께가 1~1.5nm가 요구된다 [1]. Scaling rule에 따라 gate oxide의 두께를 줄여주면, Gate 전압에 의해 Channel Potential을 효과적으로 조절함으로써 인하여 short-channel 효과를 줄여주어 Gate length의 scaling을 가능하게 하며, 구동 전류의 증가로 인하여 집적회로의 속도를 개선할 수 있는 장점이 있다. 탁월한 계면특성 및 절연막 특성으로 지난 30여년 간 주로 SiO_2 의 두께 scaling을 통해 MOS 소자의 scaling이 가능하였다. 그러나 게이트 길이가 100 nm 이하인 경우 절연막의 두께도 1.5 nm 이하로 scaling됨으로 인해 SiO_2 를 사용할 경우, dopant에 의한 소자의 문턱전압 변화, Native oxide 및 SiO_x layer의 영향에 의한 defect density의 증가, 게이트 절연막의 터널링에 의한 허용치 이상의 누설 전류 발생 등 여러 가지의 물리적 한계에 직면하게 되어 현존하는 기술의 혁신 없이는 100 nm 이하 세대의 트랜지스터 개발은 불가능하다.

상기에서 열거한 SiO_2 절연막의 극박막화에 따른 물리적/제조공정상의 한계를 극복하기 위해 기존의 DRAM capacitor 절연막으로 많이 연구된 고유전율 재료들인 Si_3N_4 , TiO_2 , Ta_2O_5 , Y_2O_3 , Al_2O_3 , BaSrTiO등을 게이트 절연막으로 연구하고 있다 [2-6]. 그러나 이러한 재료들도, gate 절연막으로 적용하기에는 많은 문제점이 있다. 그예로, Band-gap 및 barrier height가 낮아서 누설전류 특성이 SiO_2 에 비해 현저히 크고, 열처리과정에서 SiO_2 가 계면에 성장되어 유효 유전상수가 상대적으로 낮아지거나, silicon 과 반응하여 MSi_x 를 형성하는 문제가 발생하며, Silicon 기판과의 Interface state density가 높아서 Carrier 이동도가 낮아지고 이로 인해

구동전류가 현저히 낮아진다. 그러므로 위에서 언급한 고유전율 박막 재료를 차세대 MOS 소자의 Gate 절연막으로 사용하기 위해서는 고유전율 절연막의 특성 개선과 동시에 계면 특성에 대한 연구가 필수적이다. 본 논문에서는 본 연구그룹에서 처음 시도한 TaO_xN_y 게이트 절연막에 관한 연구결과에 대해서 보고하고자 한다.

II. 실험 방법

p-형 wafer를 cleaning하고 plasma oxidation으로 10Å의 SiO₂를 증착한 후 Ta(OC₂H₅)₅를 O₂의 분위기에서 Ar을 carrier gas로써 공정압력 0.45torr, 435°C에서 MOCVD로 80Å의 두께의 Ta₂O₅를 증착하였다. 비교를 위해 Ta(OC₂H₅)₅+NH₃를 이용하여 400°C에서 MOCVD로 80Å의 두께의 TaO_xN_y를 증착하였다. TaO_xN_y를 형성하는 새로운 방법으로 Ta(OC₂H₅)₅를 O₂의 분위기에서 80Å의 두께의 Ta₂O₅를 증착한후, 이를 NH₃ 및 ND₃를 이용하여 nitridation하고, wet oxidation을 이용하여 reoxidation하여 절연막을 형성하였다. 비교를 위해 다양한 nitridation 및 reoxidation 온도조건을 적용하였다. Gate 전극으로 Al을 sputtering으로 증착하여 MOS capacitor를 제작하였다. 이들의 전기적 특성을 알아보기 위해 C-V 및 I-V를 측정하였다. 또한 여러 온도에서 O₂ 분위기로 30초 동안 RTA (Rapid Thermal Annealing)을 실시한 후, AFM (Atomic Force Microscopy)을 이용하여 온도 증가가 surface roughness에 미치는 영향을 평가하였다.

III. 실험 결과

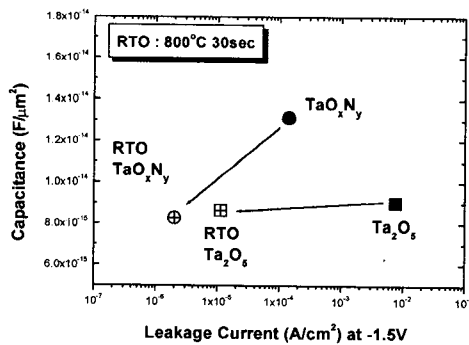


그림 1 TaO_xN_y과 Ta₂O₅시편에 대한 -1.5V에서 leakage current vs accumulation 영역에서의 capacitance

Fig. 1 Leakage vs. Capacitance characteristics of TaO_xN_y and Ta₂O₅

그림 1은 TaO_xN_y과 Ta₂O₅시편에 대한 -1.5V에서 누설전류 vs. accumulation 영역에서의 capacitance값을 나타낸다. As deposited 시편의 경우는 TaO_xN_y시편이 Ta₂O₅시편보다 높은 값의 capacitance값과 낮은 값의 누설전류값을 나타낸다. MOCVD에 의해서 증착된 Ta₂O₅는 oxygen vacancy와 carbon contamination이 문제가 되며, 이러한 종류의 결함은 높은 누설전류를 야기시킬 수 있다. 그러므로 Ta₂O₅ 증착 후, oxygen vacancy를 줄여 누설전류의 특성을 좋게 하기 위해서 본 연구에서는 O₂분위기에서 RTA(rapid thermal annealing)를 800°C 30초 동안 실시하였다. 그 결과 accumulation영역에서의 capacitance값의 degradation이 그다지 크지 않은 범위에서 누설전류가 감소됨이 관찰되었다. 그러나, TaO_xN_y경우에는 현저한 capacitance의 감소가 관찰되었으며, Ta₂O₅와 비교할 때, 전기적 특성의 개선이 거의 없었다.

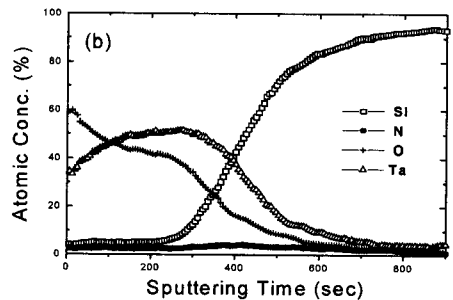
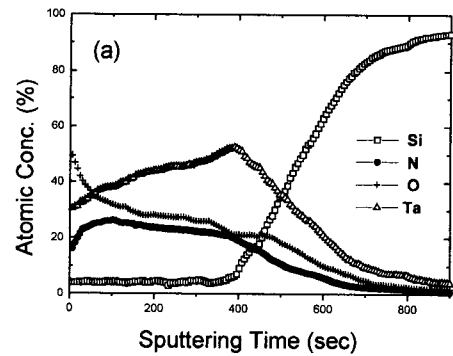


그림 2 RTO처리 전후의 TaO_xN_y시편의AES depth profile (a) as deposited TaO_xN_y, (b) RTO처리 후의 TaO_xN_y

Fig. 2 AES depth profile (a) as deposited TaO_xN_y, (b) After RTO of TaO_xN_y

그림 2는 RTO처리 전후의 TaO_xN_y시편의 AES depth profile을 각각 나타낸다. RTO처리를 하기전인 as deposited TaO_xN_y의 경우인 (a)의 depth profile에서는 nitrogen이 관찰되었다. 하지만 RTO처리를 행한 후인 (b)의 depth profile의 경우는 Nitrogen이 관찰되지 않았다. 즉 RTO로 인해 Nitrogen이 빠져나감이 관찰되었고, 이로 인해 전기적 특성의 변화가 설명된다.

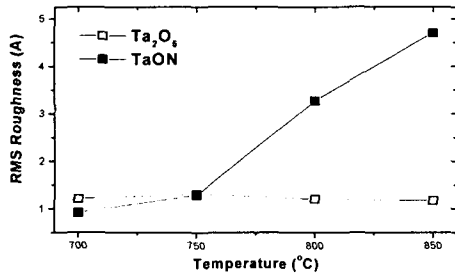
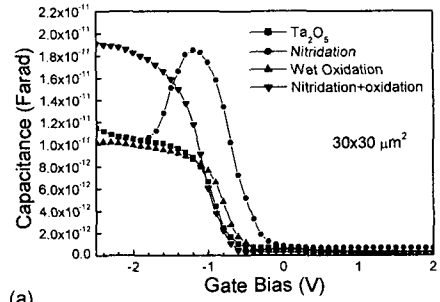


그림 3 Ta₂O₅와 TaO_xN_y 시편의 여러 온도에서 10초간 RTA를 실시하여 그로 인한 RMS roughness변화
Fig. 3 RMS roughness as a function of annealing temperature.

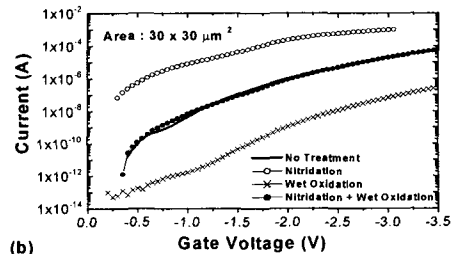
그림3은 Ta₂O₅와 TaO_xN_y 시편의 여러 온도에서 10초간 RTA를 실시하여 그로 인한 RMS roughness변화를 나타낸 것이다. TaO_xN_y의 경우는 annealing 온도가 750°C 이상으로 증가함에 따라 roughness가 현저히 증가함을 볼 수 있는데 이는 온도변화에 취약한 단점을 가지는 것으로 추정된다.

이러한 온도의존성의 취약성을 해결하기위해 본 연구에서는 새로운 방법으로 TaO_xN_y을 제작하였다. 즉 Ta₂O₅를 증착한 후, 이를 NH₃를 이용하여 nitridation하고, wet oxidation을 이용하여 reoxidation하여 절연막을 형성하였다. 비교를 위해 다양한 nitridation 및 reoxidation 온도조건을 적용하였다. 그림 4에서 보이듯이 nitridation을 실시하면 현저한 capacitance의 증가를 가져오고 동시에 누설전류가 증가한다. 이로 인해 높은 gate 전압에서 nitridation만 실시한 경우, abnormal한 C-V 모양의 변화를 보여준다. 이는 I-V상의 누설전류 결과에 근거할 때 설명이 가능하다. 반대로 wet oxidation만을 실시한 경우, 누설전류는 현저히 감소하지만, 반대로 유효절연막의 두께를 결정하는 accumulation capacitance값은 거의 변화하지 않는다. 즉 절연막의 두께 변화없이 일부 trap-site를 줄여주는 것으로 이해할 수 있다. 본 연구에서는 nitridation의 장점인 높은

capacitance값은 유지하고 단점인 높은 누설전류를 보완하기 위해서 nitridation후 wet-oxidation을 동시에 실시하였다. 그림에서 보듯이 높은 capacitance와 낮은 누설전류 특성을 확보할 수 있었다.



(a)



(b)

그림 4 CV 및 IV특성파 공정조건에 상관 관계
Fig. 4 CV and IV characteristics of TaO_xN_y.

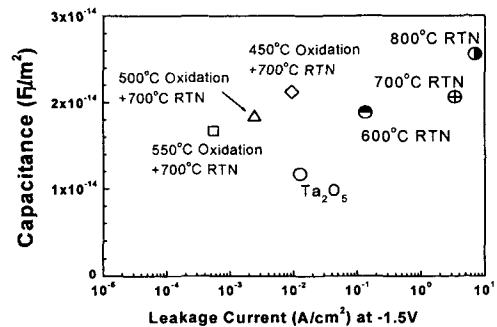


그림5 Capacitance vs 누설전류의 상관 관계를 다양한 nitridation 및 Reoxidation공정에 대한 비교 결과
Fig. 5 Capacitance vs. leakage current

그림 5는 다양한 열처리 조건에서 누설전류와 유효 절연막의 두께를 비교한 것이다. NH₃-nitridation의 온도를 올릴수록 현저한 capacitance의 증가와 동시에 누설전류의 증가가 관찰되었다. Wet oxidation 특히 450°C 10min의 경우, 누설전류가 약 1/100로 감소하였으나, 상

대적으로 capacitance의 감소는 무시할 정도로 작았다. 기존의 Ta₂O₅와 비교할 때, 본 연구에서는 확보한 TaO_xN_y은 동일한 누설전류인 경우 유효유전상수가 약 2배 가까이 증가하였다.

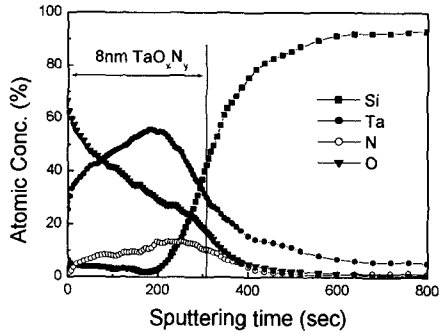


그림 6 Auger Electron Spectroscopy를 이용한 TaON의 질소 depth profile

Fig. 6 Auger nitrogen depth profile

그림.6은 TaO_xN_y의 질소 doping profile이다. nitridation에 의해 현저한 양의 질소함유가 관찰되었으며, 개선된 절연막의 유전상수 특성은 nitrogen의 함유로 설명될 수 있다.

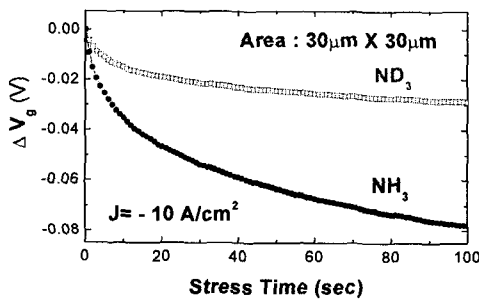


그림 7. NH₃ 와 ND₃로 nitrided된 TaO_xN_y의 일정한 전류 stress하에서의 charge trapping 특성

Fig. 7. Charge trapping characteristics of NH₃ and ND₃ nitrided TaO_xN_y.

그림. 7은 NH₃와 ND₃로 nitridation된 TaO_xN_y를 일정한 전류 stress를 인가하여 gate 전압의 변화를 측정하여 charge trapping 특성을 비교한 것이다. NH₃와 비교할 때, ND₃ nitridation 된 sample의 경우 상대적으로 charge trapping의 정도가 감소하였다.

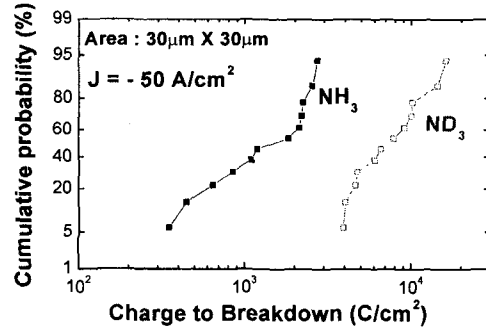


그림 8. NH₃ 와 ND₃로 nitrided된 TaO_xN_y의 일정한 전류 stress하에서의 신뢰성특성

Fig. 8. Reliability characteristics of NH₃ and ND₃ nitrided TaO_xN_y.

그림. 8은 NH₃와 ND₃로 nitridation된 TaO_xN_y을 일정한 전류 stress를 인가하여 소자의 신뢰성을 비교한 것이다. ND₃ nitridation된 sample의 경우 현저히 개선된 신뢰성 특성을 확보하였다.

IV. 결론

High-k 절연막으로 reoxidized nitrided로 형성한 TaO_xN_y의 경우, 기존의 Ta₂O₅와 비교할 때 현저히 개선된 유전특성과 누설전류 특성을 확보하였다. Nitridation과 wet reoxidation을 최적화하여 유효두께 1.6nm급의 낮은 누설전류를 가지는 우수한 절연막을 형성할 수 있었다. 또한 ND₃로 nitridation된 TaO_xN_y의 경우 현저히 개선된 신뢰성을 확보하였다.

참고문헌

- [1] Semiconductor Industry Association, The national technology roadmap for semiconductors, (1999)
- [2] G. B. Alers, et al. Appl. Phys. Lett., **72**, 1308 (1998).
- [3] X. Guo, X. Wang, Z. Luo, T. P. Ma and T. Tamagawa, IEEE Proc. Internatioal Electron Device Meeting, 137 (1999)
- [4] B. Lee, L. Kang, W. J. Qi, R. Nieh, Y. Jeon, K. Onishi and J. Lee, IEEE Proc. Internatioal Electron Device Meeting, 133 (1999)
- [5] M. Copel, M. Gribelyuk, and E. Gusev, Appl. Phys. Lett. **76**, 436 (2000)
- [6] G. D. Wilk, R. M. Wallace, and J. M. Anthony, J. Appl. Phys. **87**, 484 (2000)