

새로운 convergence 방법을 이용한 플래시 메모리의 개서 특성 개선

김한기, 천종렬, 이재기*, 유종근, 박종태

인천대학교 전자공학과

*가천길대학교 전자통신과

전화: (032) 770-8445 / 팩스: (032) 764-2371

New convergence scheme to improve the endurance characteristics in flash memory

H.K. Kim, J.Y. Chun, J.K. Lee*, C.G. Yu, J.T. Park

Univ. of Incheon, Electronic Eng., 177 Dohwa-dong, Namgu, 402-749, Korea

*Gachon Gil College, Dept. of Electronic Communication

E-mail : g981711@lion.incheon.ac.kr

Abstract

The electrons and holes trapped in the tunneling oxide and interface-states generated in the Si/SiO₂ interface during program/erase (P/E) operations are known to cause reliability problems which can deteriorate the cell performance and cause the V_{th} window close. This deterioration is caused by the accumulation of electrons and holes trapped in the oxide near the drain and source side after each P/E cycle.

we propose three new erase schemes to improve the cell's endurance characteristics: (1)adding a Reverse soft program cycle after the source erase operation, (2)adding a detrapping cycle after the source erase operation, (3)adding a convergence cycle after the source erase operation. (3) is the most effective performance among the three erase schemes have been implemented and shown to significantly reduce the V_{th} window close problem. And we are able to design the reliable periperal circuit of flash memory by using the (3).

I. 서론

대표적인 비휘발성 메모리소자인 플래시 메모리는 기존의 EPROM보다 프로그램, 소거, 읽기가 용이하고 고집적화가 가능하기 때문에 다양한 메모리 셀의 구조와 공정이 개발 연구되고 있다^[1]. 플래시 메모리의 프로그램 방식으로는 드레인 근처에서 발생한 hot electron을 부유게이트로 주입하여 셀의 문턱전압을 높이는 CHE(channel hot electron injection)방식을 선택하고, 소거 방식으로는 소스에 높은 양의 전압을 인가하고 제어게이트를 접지해서 소스와 부유게이트간의 FNT(Fowler-Nordheim Tunneling)을 이용하여 부유게이트에 모여있는 전자들을 방출함으로써 셀의 문턱전압을 감소시키는 방식을 이용하고 있다^[2]. 이와 같은 프로그램과 소거방식은 소자의 열화 현상을 이용하기 때문에 메모리의 사용 횟수가 증가함에 따라 문턱전압 변화로 인한 window close, data retention, 메모리 셀에서의 여러 가지 disturb등의 다양한 문제점을 갖게되어 메모리의 장시간 사용 시 신뢰도가 떨어지는 심각한 문제점을 갖게된다는 연구 보고가 있다^[3]. 이러한 신뢰도를 개선하기 위한 방법들로 많은 사람들로 부터 다양한 메모리 셀의 구조와 새로운 프로그램과 소거 방법들이 제시되었다^[4]. 하지만 이런 방법들은 신뢰도는 개선시킬 수 있었지만 복잡한 구조를 사용하기 때문에 공정이 복잡하고 새로운 전압조건들이 필요함으로 주변회로 설계가 어렵다는 문제점을 가지고 있다.

본 연구에서는 일반 bulk-MOS 트랜지스터를 이용하

여 프로그램과 소거동작 후 셀의 문턱전압 측정을 통해 산화막에 트랩(trap)된 전자와 홀이 셀 열화 현상에 미치는 영향에 대하여 연구하였다. 연구 결과 산화막에 트랩된 홀이 셀의 열화현상에 가장 큰 원인이 됨을 알 수 있었다. 이러한 트랩된 홀을 제거하기 위한 방법으로 1)soft program 2)convergence 3)detrap 방식 등을 연구한 결과 detrap방식과 convergence방식이 열화현상을 줄일 수 있는 좋은 방식임을 알 수 있었다. 이 방법 중에서 읽기 동작과 같은 낮은 전압조건을 사용하기 때문에 메모리 주변회로 설계가 용이한 convergence 방법을 이용하여 셀의 개서 특성을 측정하였으며 현저하게 개서 특성이 개선됨을 확인 할 수 있었다. 또한 이러한 convergence 방식을 이용하여 플래시 메모리의 주변회로를 설계함으로써 개서 특성을 개선할 수 있는 one-chip화된 플래시 메모리 설계가 용이할 것이라 생각된다.

II. 소자 및 측정

본 연구에 사용된 테스트 소자는 현대의 $0.65\mu\text{m}$ 표준 CMOS공정으로 제작되었다. 게이트 산화층의 두께는 145Å, 채널의 길이는 $0.7\mu\text{m}$ 이며 폭은 $6.5\mu\text{m}$ 이다. 또한 제어 게이트에 인가된 전압 중 부유 게이트에 인가되는 전압은 용량성 정합률에 의해 결정되는데, 본 테스트 소자에서는 약 0.8이 되도록 설계하였다. 그림1)은 일반적인 적층 게이트 구조와 플래시 메모리의 단면도를 보여주고 있다.

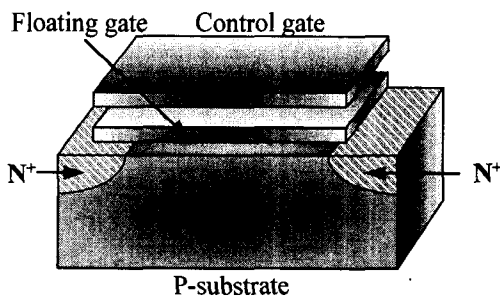


그림 1. 일반적인 플래시 메모리의 단면도
Fig. 1 A cross section of conventional flash memory

III. 소자의 열화 특성

플래시 메모리는 프로그램과 소거방식이 소자의 열

화현상을 이용하기 때문에 메모리의 사용횟수가 증가하게 되면 산화막에 트랩된 전자나 홀의 양도 따라 증가하게 된다. 이런 영향으로 소자의 문턱전압 변화가 더욱 심해져서 심각한 신뢰성 문제가 발생하게 된다. 이러한 소자 열화 현상을 분석하기 위해 플래시 메모리와 동일한 특성을 갖는 일반 bulk MOS 트랜지스터를 이용하여 프로그램과 소거에 따른 문턱전압 변화를 측정하였다.

그림2에서는 프로그램 시 산화막에 트랩된 전자가 다음 번 소거 시 산화막에 남게 되는 홀의 양에 미치는 영향을 문턱전압 변화를 통해서 보여주고 있다. 그림2의 (1)은 산화막에 트랩된 전자가 없을 때 소거횟수에 따른 문턱전압 변화를 보여주고 있다. 소거시간을 1000sec로 하였을 때 문턱전압 변화를 측정하였다. 약 16mV정도의 문턱전압 변화를 볼 수 있었다. (2)는 먼저 일정시간(100sec)의 프로그램 동작으로 산화막에 전자를 트랩시킨 후에 (1)과 같은 소거 동작을 통해 문턱전압의 변화를 측정하였다. 약 28mV정도의 문턱전압 변화를 볼 수 있었다.

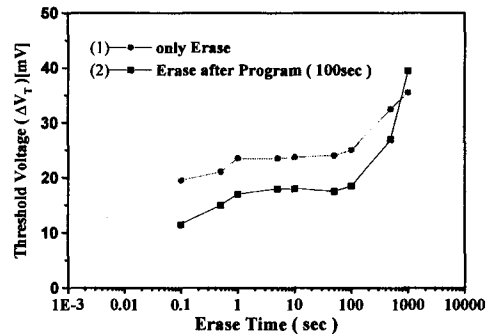


그림 2. 소거동작 시 문턱전압 변화
Fig 2 Variation of the threshold voltage in erasing

그림3에서는 소거 시 소스근처의 산화막에 트랩된 홀이 다음 번 프로그램 시 산화막에 남게 되는 전자의 양에 미치는 영향을 문턱전압 변화를 통해서 보여주고 있다. 그림3에서 (1)은 산화막에 트랩된 홀이 없을 때 프로그램 시간에 따른 문턱전압 변화를 보여주고 있다. 프로그램 시간을 100sec로 하였을 때 문턱전압 변화를 측정하였다. 약 14.5mV정도의 문턱전압 변화를 볼 수 있었다.(2)는 먼저 일정시간(100sec)의 소거동작으로 산화막에 홀을 트랩시킨 후에 (1)과 같은 프로그램 동작을 통해 문턱전압의 변화를 측정하였다. 약 989mV정도의 문턱전압 변화를 볼 수 있었다.

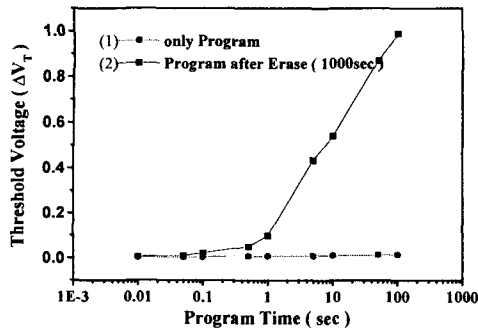


그림 3. 프로그램 동작 시 문턱전압 변화
Fig 3 Variation of the threshold voltage in programming

위 결과 프로그램 시 산화막에 남게 되는 전자는 다음 번 소거 시 소스근처에 트랩 되는 홀의 양의 변화에 적은 영향을 주는 반면에 소거 시 소스근처의 산화막에 남게 되는 홀은 다음 번 프로그램 시 트랩 되는 전자의 양에 매우 큰 영향을 주게 됨을 알 수 있었다. 다음과 같은 측정 결과로 소자 열화 현상의 큰 원인은 산화막에 트랩 된 홀에 있음을 알 수 있다.

그림4는 소거 시 소스근처에 트랩 된 홀의 양에 따른 다음 프로그램 시 산화막에 트랩 되는 전자의 양을 문턱전압 변화를 통해서 보여주고 있다. 측정결과 산화막에 트랩 된 홀의 양에 비례하여 소자 열화 현상이 매우 커지게 됨을 문턱전압의 변화량을 통하여 알 수 있었다.

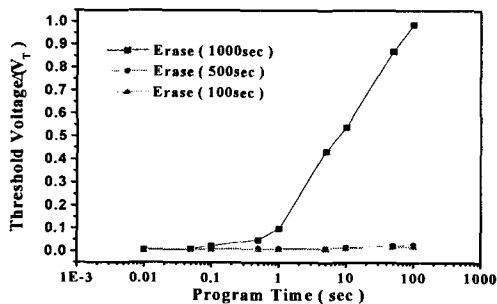


그림 4. 산화막에 트랩 된 홀의 양에 따른 프로그램 동작 시 문턱전압 변화
Fig 4 Program threshold voltage variation with the amount of trapped holes in gate oxide

IV. 소자 열화 현상의 개선 방법

연구 결과 소자 열화 현상의 가장 큰 원인은 소거 시 산화막에 트랩 된 홀에 있음을 알았으며 이러한 열화 현상을 개선하기 위해서는 산화막에 트랩 된 홀을 제

거해야 함을 알 수 있었다. 이를 위한 방법으로 본 연구에서는 그림5)에서와 같이 (2)역 방향으로 약간의 전자를 산화막에 올려 홀을 중성화시키는 방식(soft RPro.)과 (3)드레인은 floating시키고 읽기 시의 낮은 전압을 게이트에 인가하여 문턱전압을 일정하게 하는 방식(convergence), 그리고 (4)드레인은 floating시키고 게이트에 높은 전계를 인가하여 trap된 홀을 detrapping 방식 등을 이용하였다. 그 결과 그림5)에서 나타난 결과와 같이 detrapping 방식과 convergence 방식이 문턱전압 변화를 줄일 수 있는 좋은 방식임을 알 수 있었다.

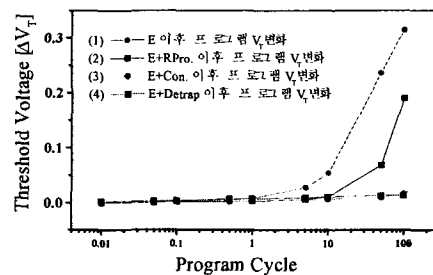


그림 5. 산화막에 트랩 된 홀을 제거하기 위한 다양한 방법
Fig. 5 Various schemes to remove the trapped holes in the gate oxide

그림6)은 50Å의 얇은 산화막을 갖는 일반 bulk MOS 트랜지스터를 이용하여 드레인은 floating시키고 게이트 전압을 변화시켜 게이트 전류(I_g)를 측정할 것이다.

(1)은 초기 상태일 때 셀의 게이트 전압에 따른 I_g 를 측정할 것이며 (2)는 일정 시간의 소거 동작을 통해 산화막에 홀을 트랩 시킨 후에 게이트 전압에 따른 I_g 를 측정할 것이다. 그림6)의 측정을 통해 산화막에 트랩 된 홀이 게이트와 소스 사이의 전계가 약 9MV/cm 일 때 쉽게 산화막에 트랩 된 홀을 제거할 수 있음을 알 수 있었다.^[5] detrapping 방식은 게이트와 소스 사이의 전계가 약 11MV/cm 정도가 되도록 게이트에 높은 전압을 인가하여 짧은 시간에 트랩 된 홀을 제거시키는 방법으로 짧은 시간에 트랩 된 홀 제거가 가능하다는 장점을 갖지만 메모리 주변회로 설계가 복잡하며, detrapping 시간을 넘게되면 오히려 전자가 부유게이트에 주입되는 현상이 발생하게 되어 적절한 시간을 조절하기가 어렵다는 단점을 가지고 있다. 하지만, convergence 방식은 게이트와 소스 사이의 전계가 약 5MV/cm 정도의 낮은 전압을 게이트에 인가하여 트랩 된 홀을 제거하는 방법으로 홀을 제거하는데 detrapping 방식보다 많은 시간이 요구된다는 단점은 있으나 읽기 시의 낮은 전압조건을 사용하기 때문에 메모리 주변회로 설계가 간단하며 플래시 메모리의 문턱전압 변화를

크게 완화시킬 수 있어 메모리의 열화 특성을 개선할 수 있는 방식으로 가장 이상적이다.

V. 결론

본 연구에서는 일반 bulk-MOS 트랜지스터를 이용하여 프로그램과 소거 동작 후 문턱전압 변화를 통한 다양한 특성분석으로 플래시 메모리의 열화현상의 가장 큰 원인이 소거 시 산화막에 트랩 된 홀에 있음을 알았다. 열화현상을 줄이기 위한 새로운 방법으로 산화막에 트랩 된 홀을 제거하기 위해 (1)soft program (2)detrapp (3)con vergence 방식들을 연구한 결과 트랩 된 홀을 제거하는데 많은 시간이 요구된다는 단점은 있으나 읽기 시의 낮은 전압조건을 사용하기 때문에 메모리의 주변회로 설계가 간단하고 문턱전압 변화를 크게 완화시킬 수 있는 convergence 방식이 가장 이상적임을 알았다. 또한 convergence 방식을 이용하여 플래시 메모리의 개서 특성을 측정할 결과 개서 특성이 현저하게 개선됨을 알 수 있었다. 이러한 convergence 방식을 이용한 플래시 메모리의 주변회로를 설계함으로써 개서 특성을 개선할 수 있는 one-chip화된 플래시 메모리 설계가 용이할 것이라 생각된다.

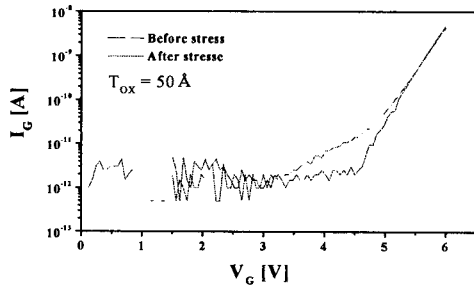


그림 6. 소거 스트레스 이후와 이전의 게이트 전류
Fig 6 Gate current before and after erase stress

본 연구에서 설계·제작한 플래시 메모리를 이용하여 새로운 convergence 방식과 일반적인 소거 방식을 이용한 개서 특성을 측정하여 그림7)에 나타내었다. 측정 결과 개서 특성이 현저하게 개선되었음을 알 수 있었다.

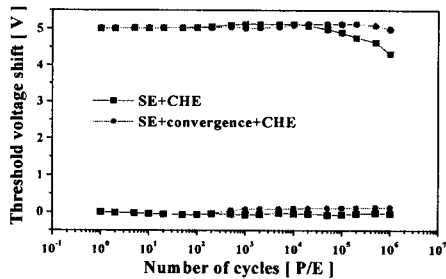


그림 7. 프로그램/소거 동작 이후의 개서 특성
Fig 7 Endurance characteristic after P/E cycle

본 연구에서 제시한 새로운 convergence 방식을 이용하여 그림8)에서와 같은 신뢰성 있는 플래시 메모리의 주변회로 설계가 가능 할 것이다.

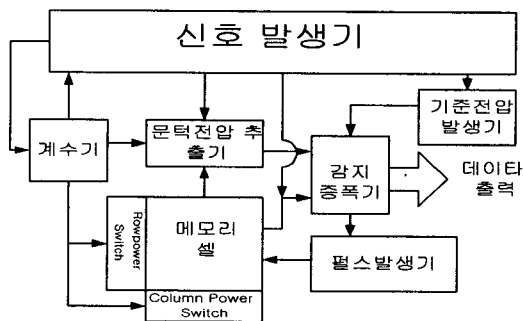


그림 8. 새로운 플래시 메모리의 주변회로 블럭도
Fig 8 Block diagram of the new fresh memory peripheral circuit

참고 문헌

- [1] 황현상, 박근형, "플래시 메모리 기술", 성지출판사, 1995
- [2] Chun Chen, et al., "Direct Lateral Profiling of Hot-Carrier-Induced Oxide Charge and Interface Traps in Thin Gate MOSFET's", *IEEE Trans. Electron Device*, | vol.45, No.2, pp.512-520, 1998
- [3] Tetsuo Endoh, Member, IEEE, et al., "A New Write/Erase Method to Improve the Read Disturb Characteristics Based on the Decay Phenomena of Stress Leakage Current for Flash Memories" *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL, 45, NO, 1, JANUARY 1998
- [4] Kuo-Ching Huang et al, "Effect of Substrate Bias on the Performance and Reliability of the Split- Gate Source-Side Injected Flash Memory", *IEEE ELECTRON LETTERS*, VOL.20, NO. 8, AUGUST 1999
- [5] CHICHANG, SAMEER HADDAD, BALAJI SWAMINATHAN, AND JIH LIEN, "Drain-Avalanche and Hole-Trapping Induced Gate Leakage in Thin-Oxide MOS Dvices", *IEEE ELECTRON DEVICE LETTERS*, VOL.9 NO.11, NOVEMBER 1988