

## DVCR용 2-4-8 DCT/IDCT core의 VSIA 2.2 compliant Soft-IP가공

민경육\*†, 박보윤\*, 이영호\*\*, 정정화\*  
한양대학교 전자공학과 CAD 및 통신회로 연구실\*  
전자 부품 연구원\*\*

서울시 성동구 행당동 산 17 번지

Implementation of VSIA 2.2 compliant Soft-IP about 2-4-8 DCT/IDCT core used for DVCR

Kyeong-yuk Min\*, Bo-yuon Park\*, Young-Ho Lee\*\*, Jong-wha Chong\*  
CAD&Comm. Circuit Lab. Dept. of Electronic Engineering, Hanyang Univ.

†17 San Heangdang-Dong Sungdong-Gu, Seoul, Korea  
Korea Electronic technology Institute

E-mail: kymin@shira.hanyang.ac.kr

### 요 약

본 논문에서는 DVCR용 2-4-8 DCT core의 VSIA(Virtual Socket Interface Alliance) 2.2 compliant IP의 구현에 대하여 기술한다. 본 논문에서 기술한 2-4-8 DCT/IDCT core는 Soft IP이며, VSIA의 deliverable document ver. 2.2에서 정의한 Soft-IP에 대한 72가지의 필수 항목, 조건부 필수 항목, 권고 항목 등의 전달물을 각 DWG(Development Working Group)의 사양에서 정의하고 있는 규격에 맞추어 가공하였다. 또한 본 논문에서는 Soft-IP에 대한 VSIA 권고안 및 VSIA deliverable list에 대하여 기술하고, VSIA compliant IP화를 위한 방법에 대하여 설명하였다.

### 1. 서 론

반도체 공정 기술이 발달함에 따라 보다 뛰어난 성능의 IC를 보다 낮은 가격으로 개발 할 수 있게 되었다. 이러한 변화는 매우 급격한 것으로 다른 어떤 산업보다 빠른 개발을 필요로 하게 되었다. 그러나 현재 설계 기술은 공정 기술의 발전에 따라 가지 못하고 있으며 이는 고밀도의 더 많은 기능을 가진 IC를 더 빠른 개발 주기를 가지고 개발해야 한다는 문제점을 낳았다.

이러한 문제의 해결책 중 하나로 PCB에 IC를 끼워서 회로를 만들듯 미리 설계된 블록을 활용해 회로를 설계하는 방법이 있다. 여기에 쓰이는 블록은 IP(Intellectual Property), 혹은 VC(Virtual Component) 등으로 불리는데 여러 가지 기능을 하나의 IC로 구현시킨 System on Chip (SoC)의 80% 이상의 부분이 이렇게 미리 설계된 블록을 이용하게 된다.

그런데 이러한 블록들을 이용할 때 시스템에 따라 새로운 포맷으로 변환시키거나 인터페이스를 서로 호환시키는 작업을 하게 되면 IP를 이용함으로써 얻을 수 있는 많은 장점들을 잃게 된다. 따라서 System-chip 설계를 위해 여러 업체들이 공동 작업을 원활하게 하려면 업체간의 자료 교환과 데이터의 교환에 관한 표준이 필

요하다.

이러한 IP 표준화를 위해서는 국제적인 기술 표준이 필요한데 그를 위해 1996년 9월에 system-chip 사업체를 위한 통합된 관점과 기술 표준을 정립하기 위한 VSIA(Virtual Socket Interface Alliance)가 조직되어 IP의 표준화 작업을 진행 중이다.

본 논문에서는 DVCR용 2-4-8 DCT core의 VSIA(Virtual Socket Interface Alliance) 2.2 compliant IP의 구현에 대하여 기술하고 Soft-IP에 대한 VSIA 권고안 및 VSIA deliverable list와 VSIA compliant IP화를 위한 방법에 대하여 논하기로 한다.

### 2. VSIA와 표준안

VSIA는 크게 VSIA의 운영을 위한 조직들과 표준안을 만들기 위해 기술적인 문제를 다루는 조직들로 구성되어 있다. 기술적인 문제를 다루는 조직을 DWG(Development Working Group)이라고 하는데 이러한 DWG들은 다음과 같이 8개로 나누어져 있다. 여기에서 제공하는 각각의 DWG 문서는 각 분야에 따라 표준안의 세부 사항을 설명한다.

- Implementation Verification DWG
- Virtual Component Transfer DWG
- Manufacturing Related Test DWG
- Analog Mixed Signal DWG
- On Chip Bus DWG
- System Level Design DWG
- IP Protection DWG
- Verification DWG

#### 2.1 VSIA 표준안 작성

VSIA compliance report는 VSIA에서 제공하는 Deliverable document에 요약된 DWG 문서 목록의 세부사항을 작성함으로써 만들 수 있다. Deliverable list는 필수항목(Mandatory), 조건적 필수항목(Conditional

Mandatory), 권장항목(Recommended), 조건적 권장항목 (Conditional Recommended)로 구분되는데 이 중에서 필수 항목은 반드시 기술해야만 한다.

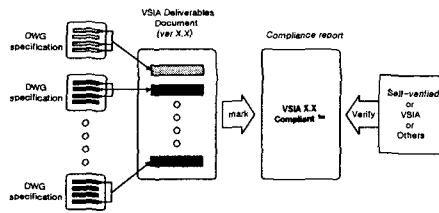


그림 1. VSIA Compliance report의 작성

### 2.2 Soft IP의 표준안

IP는 크게 soft, firm, hard IP의 세 가지로 나누어지는데 각각의 종류마다 기술해야 하는 필수 항목들이 다르다. 표 1은 soft IP에서 기술해야하는 항목을 적은 Deliverable list이다.

No	Section	Deliverable	Soft
VCT(Virtual Component Transfer DWG spec.) 1 2.0			
1	2. 1. 1	Functional Overview	M
2	2. 1. 2	Target Applications	R
3	2. 1. 3	Performance	CM
4	2. 1. 4	Form Information	M
5	2. 1. 5	Test Coverage	CM
6	2. 1. 6	List of Deliverables	M
7	2. 1. 7	Features & Standard Compliance	M
8	2. 2. 1	Functional Description	M
9	2. 2. 2	Structural Diagrams	R
10	2. 2. 3	Interfaces	M
11	2. 2. 4	Integration Requirements	M
12	2. 2. 5	Abstract Model	CM
13	2. 2. 6	System/Logic Test Suite	M
14	2. 3. 2	Integration Requirements	CM
15	2. 3. 3	Implementation Test Suite	M
16	2. 4. 1	Verification of Claims	M
17	2. 4. 2	Tools, Flows & Methodology	M
18	2. 4. 3	ASIC Libraries	CM
19	2. 4. 4	Process Technology	CM
20	2. 4. 5	Naming Convention	M
21	2. 4. 6	Deliverables Documentation	M
22	2. 5. 1	Version History	M
23	2. 5. 2	Known Bugs	M
24	2. 5. 3	Application Notes	R
25	2. 6. 1	Test Strategy	CM
26	2. 6. 2	Test Modules	CM
27	2. 6. 3	Test Modes	M
28	2. 7. 1	VC Provider Contact Information	M
29	2. 7. 2	Transfer Package Information	M
30	2. 7. 3	Standard Terms and Conditions	M
31	2. 7. 4	Third Party Reference	R
SLD(architecture document) 1.0			
32	2. 2. 1	System Evaluation Model	CR
33	2. 3. 1	Verification Test Bench	R
34	2. 3. 2	Behavioral Model	R
35	2. 3. 3	Processor Model	R
36	2. 3. 4	Bus Functional Model	R
37	2. 3. 5	Bonded Out VC/Prototype	R

TST(Manufacturing Related Test DWG spec.) 1 1.0			
38	2. 1. 1	Test Strategy	M
39	2. 1. 2	Test Modules	M
40	2. 1. 3	Test Modes	CM
41	2. 1. 4	Test Vectors & Test Protocol	CM
I/V(Implementation Verification DWG) 1 2.0			
42	2. 1. 1	RTL source	M
43	2. 2. 1	Basic Delay Model	R
44	2. 2. 2	Timing Analysis Model	R
45	2. 2. 3. 1	Black/Gray Box Power Model Requirements	R
46	2. 2. 3. 2	RTL source Power Model Requirement	M
47	2. 4. 1	Timing Constraints	M
48	2. 4. 2	Clock Constraints	CM
49	2. 4. 3	Logic Architecture Constraints	M
50	2. 4. 4	Area Constraints	R
51	2. 4. 5	Physical Implementation Constraints	CM
52	2. 4. 6	Power Constraints	CM
53	2. 4. 7	Test Constraints	M
54	2. 4. 8	Environmental/Operating Constraints	M
OCB(On Chip Bus DWG) 1 1.0			
55	2. 1. 1	Version Number	M
56	2. 1. 2	Revision History	M
57	2. 1. 3	Document conversions	M
58	2. 1. 4	Introduction	M
59	2. 1. 5	Signal Definition	M
60	2. 1. 6	Bus operation	M
61	2. 1. 7	Configuration Space	CM
62	2. 1. 8	Core Isolation	CM
63	2. 1. 9	Glossary	R
64	2. 2	Implementation Specification	R
65	2. 3. 1	Bus Development Tools	R
66	2. 3. 2	Timing Analysis	R
67	2. 3. 3	Simulation Models	CM
68	2. 3. 4	Bus Implementation Tools	R
69	2. 3. 5	Compliance Test Bench	M
70	2. 3. 6	Debug Tools	M
71	2. 4. 1	General Bus Attributes	M
72	2. 4. 2	Un-Cached Transaction Attributes	M
73	2. 4. 3	Cached Transaction Attributes	M
74	2. 4. 4	Interrupts	M
75	2. 4. 5	Additional Transaction Attributes	M

표 1 Soft IP의 Deliverable list

### 3. 2-4-8 DCT core의 VSIA compliant IP가공

본 논문에서 가공한 IP는 Digital VCR의 신호처리에 쓰이는 2-4-8 DCT/IDCT core이다. 2-4-8 DCT core는 분산산출방법을 사용하여 VHDL로 그 동작을 기술하여 구현하였다. 또한 적용한 알고리즘[1]은 Matrix의 decomposition이다. 하나의 pixel값을 처리하기 위한 곱셈의 회수가 적어서, 곱셈에 의해서 생길 수 있는 error의 크기가 작다는 장점이 있다. error가 적은 알고리즘에서는 구현하고자하는 회로의 내부최소치리 bit수가 적어져, 전체적인 회로의 크기가 작아진다. 아래에 8x8 DCT/IDCT의 수학적인 식과 2x4x8 mode의 DCT/IDCT수식을 기술하였다.

8x8 mode DCT/IDCT

DCT:  

$$C_{i,j,k}(h,v) = C(v)C(h) \sum_{x=0}^7 \sum_{y=0}^7 (P_{i,j,k}(x,y) \cos(\frac{\pi v(2y+1)}{16}) \cos(\frac{\pi h(2x+1)}{16}))$$

IDCT:  

$$P_{i,j,k}(x,y) = \sum_{v=0}^7 \sum_{h=0}^7 (C(v)C(h)C_{i,j,k}(h,v) \cos(\frac{\pi v(2y+1)}{16}) \cos(\frac{\pi h(2x+1)}{16}))$$

2x4x8 mode DCT/IDCT

DCT:  

$$C_{i,j,k,l}(h,u) = C(u)C(h) \sum_{x=0}^7 \sum_{z=0}^3 ((P_{i,j,k,l}(x,2z) + P_{i,j,k,l}(x,2z+1))KC)$$

$$C_{i,j,k,l}(h,u+4) = C(u)C(h) \sum_{x=0}^7 \sum_{z=0}^3 ((P_{i,j,k,l}(x,2z) - P_{i,j,k,l}(x,2z+1))KC)$$

IDCT:  

$$C_{i,j,k,l}(x,2z+1) = \sum_{u=0}^3 \sum_{h=0}^7 (C(u)C(h)(C_{i,j,k,l}(h,u) - C_{i,j,k,l}(h,u+4))KC)$$

$$C_{i,j,k,l}(x,2z) = \sum_{u=0}^3 \sum_{h=0}^7 (C(u)C(h)(C_{i,j,k,l}(h,u) + C_{i,j,k,l}(h,u+4))KC)$$

where

$$u = 0, \dots, 3$$

$$z = \text{INT}(y/2)$$

$$KC = \text{COS}(\pi u(2z+1)/8) \text{COS}(\pi h(2x+1)/16)$$

$$C(h) = 0.5/\sqrt{2} \text{ for } h=0$$

$$C(h) = 0.5 \text{ for } h=1 \text{ to } 7$$

$$C(v) = 0.5/\sqrt{2} \text{ for } v=0$$

$$C(v) = 0.5 \text{ for } v=1 \text{ to } 7$$

위의 기능을 갖는 2-4-8 DCT core의 하드웨어 구현은 VHDL로 기술하여 SYNOPSIS사의 논리합성틀과 COMPASS사의 logic Assistance를 이용하여 설계하였다. Gate level simulation까지 완료된 module을 IP로 가공을 수행하였다. IP로 가공한 DCT core의 size는 24500 gate이며 SD digital VCR의 정확도 기준[2]을 만족하여 SD급의 digital VCR에 적용이 가능하다. 아래에 IP로 가공한 2-4-8 DCT core의 사양에 대해 기술하였다.

FEATURE

- gate size: 24500 gates
- latency : 73 clocks
- SRAM: 128 x 20 Asynchronous SRAM
- Maximum frequency: 20.25 MHz

아래 그림 2에 2-4-8 DCT core의 전체적인 블록도를 나타냈다.

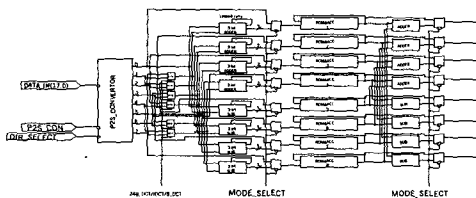


그림 2. 1D/2D DCT core의 블록도

앞서 기술한 DCT core의 설계결과를 바탕으로 IP 가공을 수행하였으며, 표 1에 기술된 VSIA deliverable list

를 바탕으로 기술한 DCT core의 IP의 전달물들에 대한 자세한 내용은 다음과 같다,

VCT (Virtual Component Transfer DWG spec.)[4]

- VC를 선택할 때 그 VC가 어떠한 것인지 알면 이를 쉽게 선택할 수 있다. 이를 위해 필요한 사항들을 기술해주는 곳이다. 따라서 DCT의 기능, 특징, 구현에 관한 개요가 쓰여진다.

- DCT core의 Soft IP구현을 위해 VCT에서 기술되는 주요한 내용들은 다음과 같다.

\* Functional Description

DCT core의 일반적인 기능과 세부적인 동작(기능적인 구조나 작동 모드 등에 관한 설명을 포함하는)에 관한 설명

\* Interfaces

Block boundary에서 VC가 요구하는 사항과 동작에 대한 설명을 System level과 Logical level의 두 관점에서 기술한다.

\* System/Logic Test Suite

DCT의 기능을 확인하기 위해 필요한, VC 제공자가 주는 tool에 대한 정보와 test bench를 활용하는데 필요한 포괄적인 정보 제공한다.

\* Tools, Flows & Methodology

EDA tool 환경, 호환되는 ASIC reference library의 공급 상태, source와 compiler, linker등의 공급 상태 등에 관해 기술

\* Standard terms and Conditions

저작권이나 이용료, 보증, 책임 한계등 VC 제공자의 지적 소유권과 standard term에 관하여 기술한다.

I/V(Implementation/Verification DWG spec.)[5]

- 여기서는 DCT core를 구현하고 검증하는데 필요한 사항들, 즉 RTL source와 constraint, 사용된 모델들을 써준다.

- DCT core의 Soft IP구현을 위해 I/V에서 기술되는 주요한 내용들은 다음과 같다.

\* RTL source

Synthesis 가능한 code로 DCT core의 VHDL code와 chip level verification code를 기술

\* Constraint

Timing, Clock, Logic architecture, Test, Environmental constraint등에 관해 필요한 사항들 기술

TST (Manufacturing Related Test DWG spec.)[6]

- TST에서는 Test data interchange format과 이용된 DFT(Design For Test) guide line에 관한 내용을 기술.

- DCT core의 Soft IP구현을 위해 TST에서 기술되는

주요한 내용들은 다음과 같다.

**\* Test Strategy**

어떠한 DFT가 적용되었는지 (예를 들어 SCAN이나 BIST, IDDQ 같은) 기술하며, 어떠한 parameter들이 test 되었는지 기술

**\* Test modules**

Test module이 언제 어디에 이용되었는지 (예를 들어 Package test, Functional verification, Burn-in test등)에 대한 내용과 이러한 module이 이용된 test mode, 그리고 그에 따른 fault coverage등에 관한 내용 설명

**OCB (On-Chip Bus DWG spec.)[7]**

- DCT core를 구현할 때 적용한 BUS architecture를 기술하며 각 sub module을 연결하기 위해 쓰이는 bus 구성에 관해 필요한 내용을 기술

- DCT core의 Soft IP구현을 위해 OCB에서 기술되는 주요한 내용들은 다음과 같다.

**\* Document Convention**

전체적으로 이용된 naming convention등의 convention에 관한 내용을 설명

**\* Signal Definition**

Signal을 기능에 따라 구분 짓고 그에 대한 기본적인 설명 기술

**\* Bus Operation**

Bus 구조를 기능적인 관점에서 세부적으로 기술

**\* General Bus Attributes**

Bus의 일반적인 속성(예를 들어 이용되는 protocol, address/data에 대한 구분과 특성, priority등)에 대한 설명

**\* Interrupts**

이용하고 있는 interrupt에 대한 설명 및 interrupt acknowledge에 대한 설명

**참고문헌**

[1] CHEN T.C., SUN M.T., GOTTLIEB A.M., "VLSI implementation of a 16×16 discrete cosine transform," Proc. Intl. Conf. on Acoustics Speech and Signal Processing, pp 1973-1976(ICASSP 1988)  
 [2] Specifications of Digital VCR for Consumer-use, HD-Digital VCR Conference  
 [3] VSIA Architecture Document ver. 1.0  
 [4] VSIA Virtual Component Transfer Document Development Working Group Specification 1 ver. 2.0  
 [5] VSIA Implementation/Verification Development Working Group Specification 1 ver. 2.0  
 [6] VSIA Manufacturing Related Test Development Working Group Specification 1 ver. 1.0  
 [7] VSIA On-Chip Bus Development Working Group Specification 1 ver. 1.0

**4. 결 론**

본 논문에서는 DVCR용 2-4-8 DCT core의 VSIA(Virtual Socket Interface Alliance) 2.2 compliant IP의 구현에 대하여 기술하였다. 본 논문에서 기술한 2-4-8 DCT/IDCT core는 Soft IP이며, VSIA의 deliverable document ver. 2.2에서 정의한 Soft-IP에 대한 72가지의 필수 항목, 조건부 필수 항목, 권고 항목 등의 전달물을 각 DWG(Development Working Group)의 사양에서 정의하고 있는 규격에 맞추어 가공하였다. 또한 본 논문에서는 Soft-IP에 대한 VSIA 권고안 및 VSIA deliverable list에 대하여 기술하고, VSIA compliant IP화를 위한 방법에 대하여 설명하였다.