

## 기준입력신호로 인한 Spur 제거용 차지펌프 설계

이준호\*, 김선홍\*, 김영랄\*, 김재영\*\*, 김동용\*\*\*

\*전북대학교 전자정보공학부, \*\*\*전기전자회로합성연구소

\*\*전북기능대학 멀티미디어과

전화 : (0652) 270-3583 / 팩스 : (0652) 270-3699

### Design of Charge pump for Removing Spur by Input Reference

Jun-Ho Lee\*, Sun-Hong Kim\*, Young-Ral Kim\*, Jai-Young Kim\*\*, Dong-Young Kim\*\*\*

\*Faculty of Electronics and Information Engineering, Chonbuk National University

\*\*Department of Multimedia, Jeonbuk Polytechnic College

\*\*\*Electrical Circuits and Systems Research Institute

E-mail : expert\_lee@hanmail.net

#### Abstract

Charge pump based upon a phase locked loop(PLL) is described. This charge pump show that it is possible to overcome the issue of charge pump current mismatch by using a current subtraction circuit. Also, this charge pump can suppress reference spurs and disturbance of the VCO control voltage. HSPICE simulations are performed using 0.25 $\mu$ m CMOS process.

#### I. 서론

차지펌프(Charge pump) PLL은 기존의 선형 PLL에 비해 정적 위상 오차가 매우 적기 때문에 주파수 합성, 클럭 및 데이터 복원 등에 널리 사용된다[1].

VCO(Voltage Controlled Oscillator)와 제어전압을 차지펌프의 출력 전류로서 제어하기 때문에 차지펌프의 두 전류원은 공급전압, 온도 그리고 공정변화에 둔감하도록 설계해야 하며 두 전류의 크기를 정확하게 일치시켜야 한다. PLL의 위상이 동기되면 작은 시간동안 UP과 DN신호가 동시에 1이 되어 차지펌프의 두 전류원이 동작한다. 두 전류량이 같다면 루프필터에 공급되는 순수한 전하량은 없으나 두 전류가 정확하게 일치되지 않으면 두 전류의 차는 VCO의 제어전압을

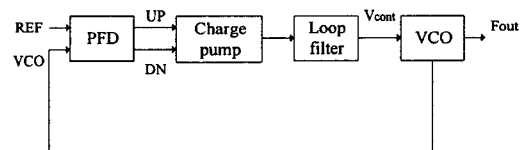


그림 1. 차지펌프 PLL 블록도

Fig. 1. Charge pump PLL block diagram

변화시켜 출력주파수는 왜곡되어 reference spurs와 지터를 발생시킨다[1-3].

본 논문에서는 단락전류에 의한 제어전압의 변동을 막을 수 있고, 전류의 소비를 줄일 수 있으며 reference spurs를 억제할 수 있는 차지펌프를 제안한다.

II절에서는 차지펌프의 기본 개념을 설명하고 III절에서는 제안한 차지펌프의 시뮬레이션 결과를 설명하고 VI절에서는 결론과 추후 연구에 대해 기술하였다.

#### II. 차지펌프 PLL

차지펌프 PLL은 그림 1과 같이 위상주파수검출기(PFD)와 차지펌프, 루프필터, 전압제어발진기(VCO)로 구성된다. 위상검출기로는 시퀀셜 형태의 3상 위상주파수검출기(PFD)가 많이 사용되며 입력신호(REF)와 VCO 출력신호의 위상을 비교하여 그 차이를 UP과 DN(down)신호로 출력한다. 차지펌프는 UP과 DN신호

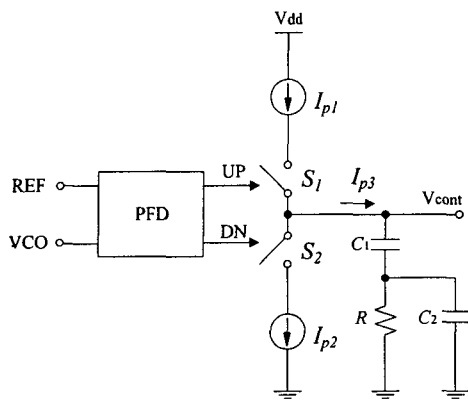


그림 2. 차지펌프의 개념도

Fig. 2. The conceptual diagram of Charge pump

에 따라 루프필터로 전류를 흘려주는 전자적인 스위치의 역할을 한다. 루프필터는 정적위상오차를 없애기 위한 DC 이득이 큰 능동필터와 수동필터가 있으나 그림 2와 같은 수동필터로도 정적위상오차를 제거할 수 있다. 루프필터로 간단하게  $C_1$ 만을 사용하면 루프의 위상마진이 거의 0에 이르러 안정도가 좋지 않으므로  $R$ 을  $C_1$ 과 직렬로 연결함으로써 zero를 만들어준다. 저항을 추가함으로써 VCO의 제어전압에 리플이 발생되는데  $C_2$ 를 병렬로 연결함으로써 억제할 수 있다[4].

차지펌프는 PFD의 UP과 DN신호에 따라 루프필터로 전류를 흘려 보내주는 것으로서 그림 2에 개념도를 보였다. 스위치가  $t_p$ 시간동안 On될 때  $+I_{p1}t_p$  혹은  $-I_{p2}t_p$ 의 전하(charge)를 루프필터에 펌핑(pumping)하므로 이 회로를 차지펌프라고 부르며 차지펌프로 루프를 구성한 차지펌프 PLL의 장점으로는 정적위상오차가 기존의 선형 PLL에 비하여 매우 적다는 것이다.

차지펌프의 동작을 간단히 설명하면 다음과 같다. 위상주파수검출기는 기준신호와 VCO 출력신호의 위상과 주파수를 비교하여 UP과 DN신호를 출력한다. UP과 DN신호에 따라 차지펌프는 UP, DN, N상태를 가지며 UP상태시 스위치  $S_1$ 이 On되어 루프필터를  $I_{p1}$ 의 전류로 충전시키고 DN상태시 스위치  $S_2$ 가 On되어 루프필터를  $I_{p2}$ 의 전류로 방전시킨다. N상태에서는 두 스위치가 Off되어 고임피던스 상태로 되어 전류의 이동은 없게 된다. 문제점은 위상이 동기가 된 후에도 UP과 DN신호가 동시에 1이 되는 경우가 존재한다는 것이다. 이는 차지펌프의 두 스위치를 동시에 On시켜서  $I_{p1}$ ,  $I_{p2}$ 전류가 동시에 흐르게 되고 두 전류량이 같다면 루프필터에 공급되는 순수한 전하량은 없다. 그러나, 두 스위치가 On되면 루프필터의 제어전압은 단락된 회로에 의해서 순간적으로 변하게 되고 리셋에

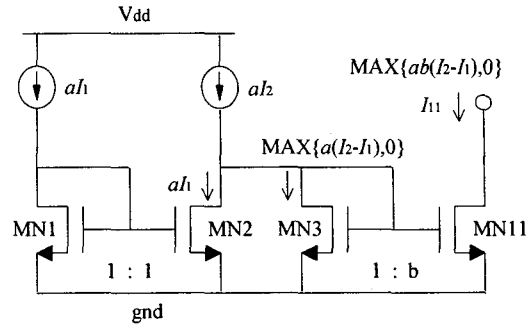


그림 3. 전류 뺄셈 회로

Fig. 3. Current subtraction circuit

필요한 시간동안 왜곡된다. 또한, 차지펌프의 두 전류가 정확하게 일치되지 않으면 두 전류의 차는 VCO의 제어전압을 변화시켜 출력주파수는 왜곡되어 reference spurs와 지터를 발생시킨다. 따라서, 두 전류원은 공급 전압, 온도 그리고 공정변화에 둔감하도록 설계해야 하며 전류의 크기를 정확하게 일치시켜야 한다.

본 논문에서는 UP과 DN신호가 동시에 1이 되는 경우 두 스위치가 OFF되게 하여 단락전류에 의한 제어전압의 변동을 막을 수 있고, 전류 부정합을 개선시키며 전류의 소비를 줄일 수 있는 차지펌프를 제안한다.

### III. 제안한 차지펌프

그림 3은 제안한 차지펌프 회로에 사용되는 전류 뺄셈 회로이다. 동작을 간단히 설명하면 다음과 같다[5].

$I_2 \geq I_1$ 이고 모든 트랜지스터들이 saturation 영역에서 동작할 때, MN1과 MN2의 전류거울 회로 동작에 의해 MN2에는  $aI_1$ 의 전류가 흐르고 MN3에는  $a(I_2 - I_1)$ 의 전류가 흐르게 된다. MN3이 saturation 영역에서 동작하면 MN3과 MN11의 전류거울 회로 동작에 의해 MN11에 흐르는 전류는  $ab(I_2 - I_1)$ 이 된다.

$I_1 \geq I_2$ 인 경우에는 MN1과 MN2의 전류거울 회로에서 MN2가 triode 영역에 들어가게 되어 MN2의 드레인 노드 전위는 gnd에 가까워져서 MN3의  $V_{GS}$ 값이 문턱전압보다 작게 된다. 그리하여  $aI_2$ 전류가 모두 MN2로 흐르게 되고 MN3은 Off되어 MN3에 흐르는 전류는 0이 된다. 따라서, MN3과 MN11의 전류거울 회로 동작에 의해 MN11에 흐르는 전류도 0이 된다.

MN11에 흐르는 전류는 식 (1)로 표시된다.

$$I_{11} = \text{MAX}[ab(I_2 - I_1), 0] \quad \text{식 (1)}$$

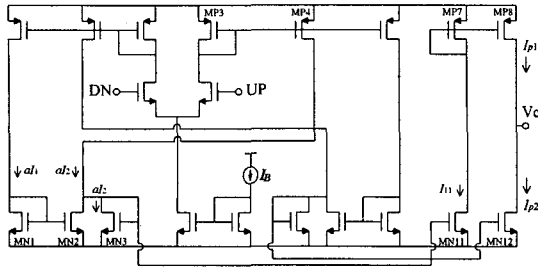


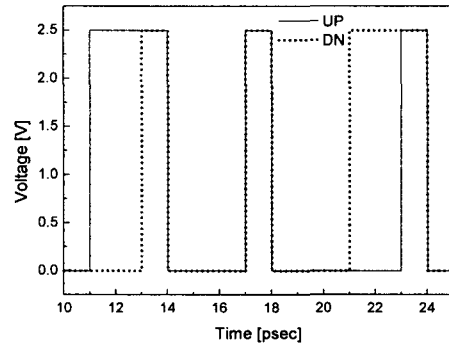
그림 4. 제안한 차지펌프  
Fig. 4. Proposed Charge pump

그림 4는 제안한 차지펌프의 회로를 나타낸 것이다. PFD의 동작에 따른 UP, DN신호의 입력은 세가지로 구분할 수 있다. UP이 1인 상태, UP과 DN이 1인 상태, DN이 1인 상태로 나누어 제안한 차지펌프의 동작을 설명하면 다음과 같다.

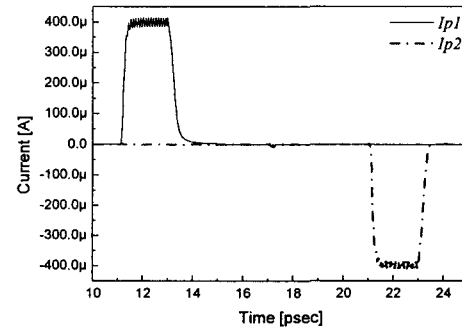
UP이 1이 되면 MP3과 MP4의 전류 거울 회로에 의해 MP4에  $a_2$ 의 전류가 흐르게 된다. DN이 0이므로 MN2에는 전류가 흐르지 않고 MN3에  $a_2$ 의 전류가 흐르게 되어 MN3과 MN11의 전류거울 회로 동작에 의해 MN11에  $I_{11}$ 의 전류가 흐르게 되며, MP7과 MP8의 전류거울 회로 동작에 의해  $I_{p1}$ 의 전류가 루프필터로 흐르게 된다. DN이 1일 때는 위와 대칭적인 동작에 의해  $I_{p2}$ 의 전류가 루프필터로 흐르게 된다. UP과 DN이 1일 경우 MN1에  $a_1$ , MN2에  $a_2$ 의 전류가 흐르게 된다.  $a_1 \geq a_2$ 가 되도록 설계를 하면 MN1과 MN2의 전류거울 회로에서 MN2가 triode 영역에 들어가게 되어 MN2의 드레인 노드 전위는 gnd에 가까워져서 MN3의  $V_{GS}$ 값이 문턱전압보다 작게 된다. 그리하여  $a_2$  전류가 모두 MN2로 흐르게 되고 MN3은 Off되어 MN3에 흐르는 전류는 0이 되며 MN3과 MN11, MP7과 MP8의 전류거울 회로 동작에 의해 MP8에 전류가 흐르지 않게 된다. 또한 MN12에 흐르는 전류도 위와 대칭적인 동작에 의해 전류가 흐르지 않게 된다.

기존의 차지펌프는 두 스위치가 On되면 루프필터의 제어전압은 단락된 회로에 의해서 순간적으로 변하게 되고 리셋에 필요한 시간동안 왜곡되었으며, 두 전류가 정확하게 일치되지 않으면 두 전류의 차는 VCO의 제어전압을 변화시켜 출력주파수는 왜곡되어 지터를 발생시키는 문제점이 있다. 또한, PLL이 락킹되어 두 입력신호의 위상오차가 없더라도 UP과 DN신호가 작은 쪽으로 동시에 1이 되므로 차지펌프의 두 스위치에 의해 feedthrough와 charge injection이 나타나게 되어 VCO의 제어전압을 변동시켜 reference spurs가 생긴다.

제안한 차지펌프는 UP과 DN신호가 동시에 1이 되는 경우 두 스위치가 Off되게 하여 단락전류에 의한



(a) 차지펌프 입력신호



(b) 차지펌프 출력신호

그림 5. 차지펌프의 입출력 파형

Fig. 5. Input/Output waveforms of Charge pump

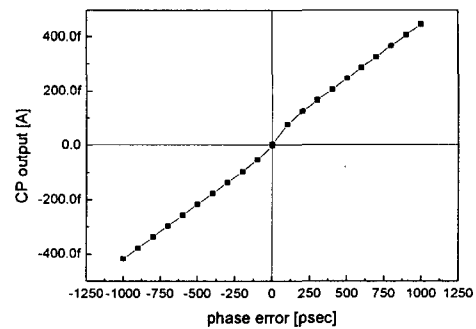


그림 6. 차지펌프의 전달특성

Fig. 6. Transfer characteristic of Charge pump

제어전압의 변동을 막을 수 있고, reference spurs를 억제할 수 있다. 또한, 두 전류가 정확하게 일치되지

않더라도  $aI_1 \geq aI_2$ 가 되도록 설계를 하면 루프필터에 전류가 흐르는 것을 막을 수 있으며 전류의 소비를 줄일 수 있다.

그림 5는 차지펌프 입력신호에 따른 출력을 나타낸 파형이다. 그림 5(a)는 위상차(UP-DN)가 +2psec, 0, -2psec인 파형이며, 각각의 위상차에 대해 차지펌프는 그림 5(b)와 같이 약 2psec, 0, 2psec동안 전류를 출력시킨다. 그림 5로부터 UP과 DN이 동시에 1인 17~18psec동안 두 출력전류는 거의 0이 되는 것을 알 수 있다. 그림 6은  $0 \sim \pm 1000$ psec의 위상차에 대한 dead zone을 측정 한 것으로서 100psec 간격으로 출력을 측정하였다[6].

## VI. 결론 및 추후 연구

본 논문에서는 PLL에 적합한 고성능 차지펌프를 제안하였다. 시뮬레이션 결과 제안된 차지펌프는 UP과 DN신호가 동시에 1이 되는 경우 두 스위치가 Off되게 하여 루프필터에 전류를 흘려주지 않는다는 것을 알 수 있었다. 제안한 차지펌프로 PLL을 구성하면 위상이 동기된 후 단락전류에 의한 VCO 제어전압의 변동을 막을 수 있고, reference spurs와 지터를 억제할 수 있다. 또한, 차지펌프의 두 전류원이 정확하게 일치되지 않더라도  $aI_1 \geq aI_2$ 가 되도록 설계를 하면 루프필터에 전류가 흐르는 것을 막을 수 있으며 전류의 소비를 줄일 수 있다.

제안한 차지펌프는 여러단의 전류거울 회로를 거쳐 출력이 나오므로 동작속도가 느리며 출력저항이 크지 않다는 단점이 있다. 이러한 단점을 보완하기 위한 회로는 현재 연구중에 있다.

## Reference

- [1] Woogeun Rhee, "DESIGN OF HIGH-PERFORMANCE CMOS CHARGE PUMPS IN PHASE-LOCKED LOOPS," Proceedings of the IEEE 1999 International Symposium on Circuits and Systems, 1999, pp. 545-548
- [2] Behzad Razavi, Rf Microelectronics, Prentice Hall Communications Engineering and Emerging Technologies Series, 1997
- [3] 박흥준, CMOS 아날로그 집적회로 설계, 시그마프레스, 1999
- [4] Lizhong Sun, Tad Kwasniewski, "A 1.25GHz 0.35um Monolithic CMOS PLL Clock Generator

for Data Communications," Proceedings of the IEEE 1998 Custom Integrated Circuits conference, pp.265-268

- [5] M.G. Degrauwe, J. Rijmenants, E.A. Vittoz, and H.J. De Man, "Adaptive Biasing CMOS Amplifiers," IEEE J. Solid-State Circuits, vol. SC-17, no. 3, pp.522-528, June. 1982,
- [6] Yoshizawa H, Taniguchi K, Shirahama H, Nakashi K, "A Low Power 622MHz CMOS Phase-Locked Loop with Source Coupled VCO and Dynamic PFD," IEICE Trans. Fundamentals vol. E80-A, no. 6, pp.1015-1020, June. 1997