

## 저전력 MOS 모놀리식 피크 감지기의 설계

박 광 민(朴 光 旻), 백 경 호(白 京 虎)

순천향대학교 정보기술공학부

전화 : (0418) 530-1326 / 팩스 : (0418) 530-1494

### Design of a Low-Power MOS Monolithic Peak Detector

Kwangmin Park, Kyoungho Paik

Division of Information Technology Engineering Soonchunhyang University

E-mail : kmpark@sch.ac.kr, paik@electra.sch.ac.kr

#### Abstract

In this paper, A low-power MOS monolithic peak detector is presented. Designed for monolithic and low-power characteristics, this MOS peak detector can be integrated easily on the same chip as a module of large communication systems. The simulation results of this peak detector which was composed with four NMOSs and two capacitors show the power dissipation of 0.972mW and the good operations for 2GHz operating pulse frequency. Therefore, it may be used as a functional block for various signal processing systems.

#### I. 서론

최근 반도체 제조 및 집적회로 설계 기술이 발전함에 따라 하나의 칩 상에 전체 시스템을 집적하는 것이 가능해지게 되었다. 그동안 수많은 아날로그 시스템이 집적화되었으며, 각종 증폭기, A/D converter 등의 아날로그 회로들이 디지털 회로와 함께 mixed-mode analog/digital IC로 동일 칩 상에 집적되는 것이 가능하게 되었다[1-4].

피크 감지기는 과거 라디오 수신기로부터 최근 광통신 장비에서 사용되는 데이터 수신기, 또는 통신 시스템의 복조기와 같은, 신호처리를 위한 여러 전자 시스템에 널리 사용되는 회로이다[5],[6].

자동이득조정회로를 활성화하거나 통신 링크의 상태를 모니터링하는 데 있어 수신된 신호의 강도에 대한 정보는 필수적이기 때문에 모든 통신 시스템에 있어 피크 감지기는 핵심이 되는 회로 중 하나이다.

신호 레벨은 신호의 순시 크기의 평균값에 비례하는 출력을 생성하거나, 또는 신호의 피크값에 비례하는 출력을 생성함으로써 감지될 수 있다. 이는 요구되는 신호의 파형에 따라 결정된다.

최근까지도 피크 감지기는 비선형 다이오드 특성을 이용한 감지기가 오랫동안 사용되어 왔으나, 다이내믹한 다이오드 turn-on 특성을 정확히 결정하기가 어렵기 때문에 이를 극복하기 위해 정밀한 동작을 위한 비교적 큰 신호 레벨을 요구한다는 단점이 있어왔다. 이러한 큰 신호 레벨은 소비전력을 크게하게 되며 또한 피크 감지 동작의 정확도를 떨어뜨리게 된다.

이를 극복하기 위해 최근에는 고이득 증폭기를 사용한 피크 감지기가 개발되기도 하였으나[6],[7], 증폭기 자체의 주파수 특성 때문에 저주파에서는 좋은 특성을 보이지만, 높은 주파수에서는 사용할 수가 없었으며, 또한 증폭기 자체의 칩 면적 때문에 복잡한 통신 시스템에 함께 집적하기가 곤란하다는 단점이 있었다.

따라서 본 논문에서는 복잡한 통신 시스템과 동일 칩 상에 집적될 수 있도록 최소의 NMOS로써 저전력 특성을 가지며 초고주파에서도 우수한 특성을 갖는 새로운 MOS monolithic 피크 감지기를 설계한다.

## II. 회로설계 및 Simulation

NMOS를 사용하여 설계한 피크 감지기 회로는 다음 그림 1에 나타내었다. +3V의 공급전압은 Vdd 라인을 통해 트랜지스터 M1과 M2의 Drain 단자에 공급되며, 신호전압 Vi는 M1의 Gate에 인가된다. 이때 M1은 비선형 정류소자로서 동작하며, M2는 신호전압 Vi가 zero일 때 dc 전압 Vo가 zero가 되도록 설정된다.

커패시터 C2는 Vdd 라인을 타고 들어오는 잡음(noise)을 방지하기 위한 필터로써 동작하며, 커패시터 C1은 피크전압 Vo의 감소분, 즉 ΔVo가 허용가능한 값의 범위 내에서 유지되도록 해 주는 역할을 한다.

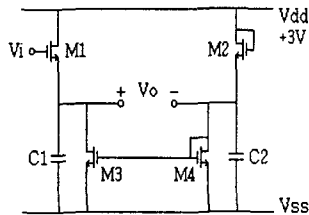


그림 1. 설계된 MOS 피크 감지기 회로

여기서 트랜지스터 M3를 통해 흐르는 전류를 I라 하면 ΔVo는 다음 식(1)에 의해 식(2)와 같이 나타내어진다.

$$\frac{dV_o}{dt} = - \frac{I}{C_1} \quad (1)$$

$$\Delta V_o = - \frac{I}{C_1} \Delta t \quad (2)$$

여기서 Δt를 ac 입력신호의 반주기라 두면, 입력신호의 주파수가 2GHz일 때 Δt=0.25ns가 된다. 만약 ΔVo를 1mV로 하기 위해서는 M3를 통해 흐르는 전류 I는 24 μA, C1은 6pF로 설정하여야 함을 알 수 있다.

트랜지스터 M3와 M4는 NMOS를 이용한 Current Mirror 회로이다. M3를 통해 흐르는 전류 I는 M4에 흐르는 전류가 미러된 값이 흐르게 된다.

따라서 M1을 통해 흐르는 전류는 M3를 통해 흐르는 전류 I와 커패시터 C1으로 흐르는 전류의 합과 같다.

만약 신호전압 Vi가 zero일 때 M1을 통해 흐르는 전류가 I와 같다면 커패시터 C1으로 흐르는 전류는 zero이므로 C1은 충전되지 않는다. 펄스 신호전압 Vi가 인가되면 M1의 Gate-Source 전압 VGS가 증가하게 되어 M1의 전류가 증가하게 된다. 증가된 만큼의 전류는 C1을 충전시켜 피크전압 Vo를 출력시키게 된다. 다음 펄스가 오기 전까지 신호전압 Vi가 zero가 되면 M1의 전류가 M3의 전류 I와 같으므로 커패시터 C1에 충전된 전압은 방전되지 않고 피크전압 Vo를 유지하게 된다. 그러나 실제로는 트랜지스터 M3의 내부저항에 의해 RC 회로가 형성되어 약간의 전압이 방전하게 된다.

이러한 설계 방법에 의해 설계된 각 소자의 규격은 다음 표 1에 나타내었으며, SPICE를 이용한 시뮬레이션 결과는 다음 그림 2에 나타내었다.

표 1. 설계된 소자의 규격

소자명	소자규격 (W/L)
M1	75
M2	100
M3	2.5
M4	5
C1	6pF
C2	6pF

그림 2의 시뮬레이션 결과로부터 감지된 피크전압값은 100mV의 신호전압에 대해 10ns에서 91.432mV, 20ns에서 98.961mV, 200mV의 신호전압에 대해 10ns에서 150.651mV, 20ns에서 165.230mV, 300mV의 신호전압에 대해 10ns에서 218.786mV, 20ns에서 246.601mV, 400mV의 신호전압에 대해 10ns에서 297.203mV, 20ns에서 338.142mV, 500mV의 신호전압에 대해 10ns에서 380.202mV, 20ns에서 431.754mV의 피크전압값을 보였으며, 이때 소비전력은 0.972mW를 보였다.

시뮬레이션에 사용한 NMOS는 0.8 μm 표준 CMOS 제조공정을 적용하였으며, 시뮬레이션 결과는 100mV의 작은 신호 레벨로부터 500mV의 비교적 큰 신호 레벨까지 2GHz의 높은 펄스 신호 주파수에 대해서도 우수한 특성을 보여 주었다.

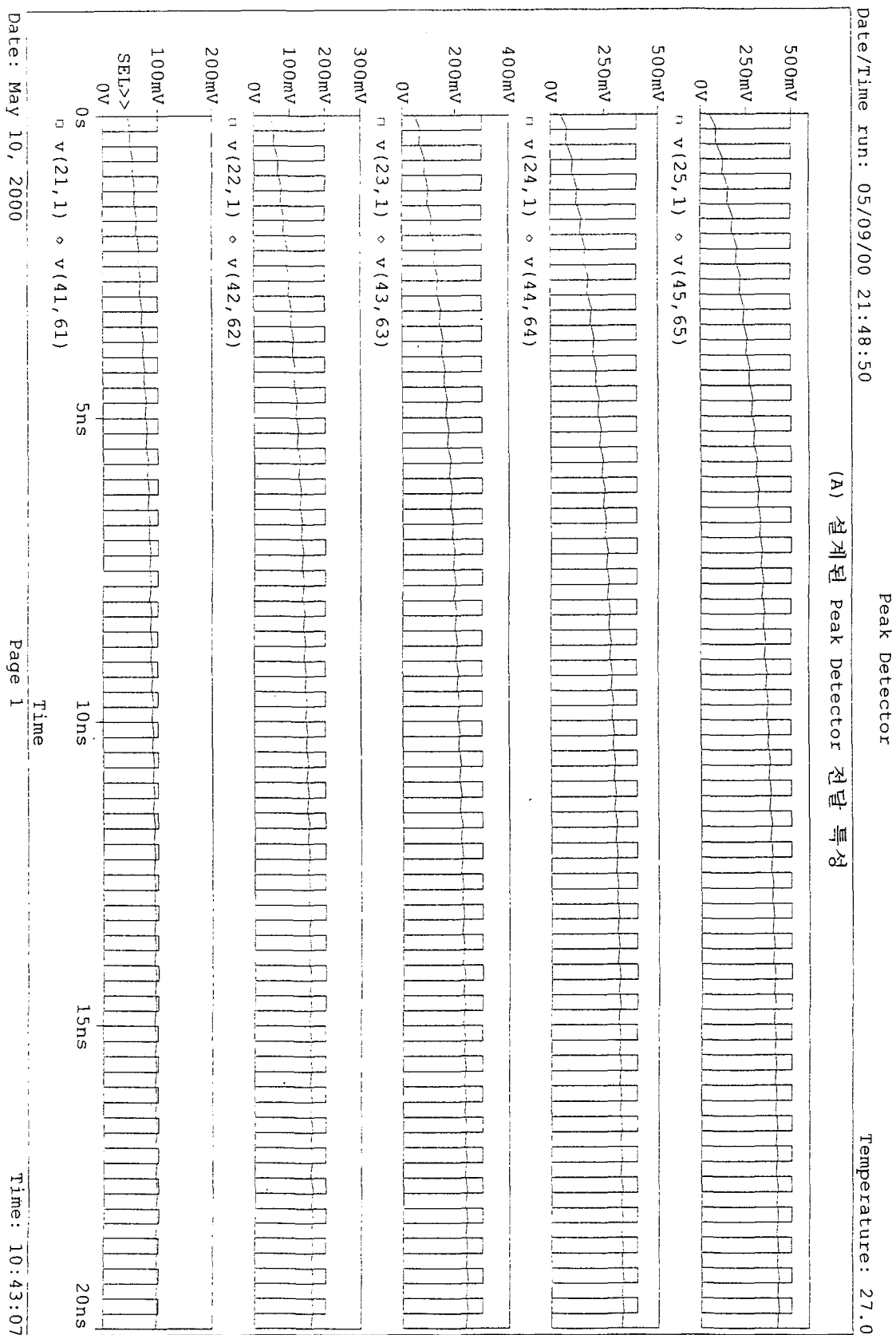


그림 2. 설계된 피크 감지기 회로의 전달 특성

### III. 결론

본 논문에서는 저전력 특성을 갖는 MOS 모놀리식 피크 감지기를 설계하였다.  $0.8\mu\text{m}$  표준 CMOS 제조공정을 적용하여 4개의 NMOS와 2개의 커패시터로 설계된 본 논문의 피크 감지기는 3V의 공급전압으로 100mV에서 500mV의 신호 레벨에 대해 2GHz의 높은 주파수에서도 우수한 피크 전압 감지 특성을 보였으며, 소비전력도 0.972mW의 매우 작은 값을 보였다.

따라서 본 논문에서 제시된 저전력 MOS 모놀리식 피크 감지기는 매우 작은 칩 면적으로 큰 통신 시스템과 함께 동일 칩 상에 한 모듈로서 집적이 가능하며, 또한 여러 신호 처리용 시스템에 효율적인 피크 감지기로써 사용될 수 있을 것이다.

[7]. D. A. Johns and K. Martin, Analog Integrated Circuit Design, New York: Wiley, 1997

### 참고문헌

- [1]. W. C. Black Jr., D. J. Allstot, and R. A. Reed, "A high performance low power CMOS channel filters," IEEE J. Solid-State Circuits, vol.SC-15, no.6, pp.921-929, 1980
- [2]. R. Castello and P. R. Gray, "A high performance micropower switched-capacitor filter," IEEE J. Solid-State Circuits, vol.SC-20, no.6, pp.1122-1132, 1985
- [3]. R. J. Reay, S. P. Kounaves, and G. T. A. Kovacs, "An integrated CMOS potentiostat for miniaturized electroanalytical instrumentation," in ISSCC Dig. Tech. papers, pp.162-163, 1994
- [4]. I. Yoshida, M. Katsueda, Y. Maruyama, and I. Kohjiro, "A Highly Efficient 1.9GHz Si High-Power MOS Amplifier," IEEE Trans. on Electron Devices, vol.ED-45, no.4, pp. 953-956, 1998
- [5]. H. L. Krauss, C. W. Bostian, and F. H. Raab, Solid-State Radio Engineering, New York: Wiley, 1980
- [6]. R. J. Baker, H. W. Li, and D. E. Boyce, CMOS Circuit Design, Layout, and Simulation, IEEE Press, 1998