

# CMA 알고리즘을 이용한 고속 DFE 등화기의 ASIC 칩 설계

신대교(辛大校)<sup>0</sup> · 홍석희(洪錫喜) · 선우명훈(鮮于明勳)  
아주대학교 전자공학부

## Design of a High-speed Decision Feedback Equalizer ASIC chip using the Constant-Modulus Algorithm

Dae Kyo Shin<sup>0</sup> · Seok Hee Hong · Myung H. Sunwoo  
School of Electronics Engineering, AJOU University  
E-mail: sunwoo@madang.ajou.ac.kr

### 요 약

This paper describes an equalizer using the DFE (Decision Feedback Equalizer) structure, CMA (Constant Modulus Algorithm) and LMS (Least Mean Square) algorithms. We employ high speed multipliers, square logics and many CSAs (Carry Save Adder) for high speed operations. We have developed floating-point models and fixed-point models using the COSSAP<sup>TM</sup> CAD tool and developed VHDL models. We have performed logic synthesis using the SYNOPSIS<sup>TM</sup> CAD tool and the SAMSUNG 0.5  $\mu\text{m}$  standard cell library (STD80). The total number of gates is about 130,000.

### I. 서 론

다중경로 채널을 통한 신호의 전파는 디지털 신호의 심볼 사이에 간섭을 심하게 일으켜 비트 검출 오류의 주된 원인이 되게 한다. 이러한 현상을 극복하기 위하여 이상적인 특성에서 벗어나 왜곡된 채널을 통과한 수신신호를 처리하여 채널의 특성을 보상함으로써 수신측에서의 비트 검출시 오류가 감소할 수 있도록 하는 것이 등화기의 역할이다. 등화기는 수신단에서 수신되는 신호의 크기와 딜레이 특성을 보상함으로써 송

신되는 신호의 전력을 증가시키거나 채널 대역폭을 늘리지 않고도 통신로의 품질을 높일 수 있다[1,2].

등화기의 적응 알고리즘에는 대표적으로 LMS (Least Mean Square) 알고리즘, RLS(Recursive Least Square) 알고리즘이 있다. LMS 알고리즘은 수신된 신호와 판정된 신호 간 오차의 MSE(Mean Square Error)를 최소화하는 기법으로 RLS 알고리즘보다 수식이 간단하고 하드웨어가 적게 사용되거나 채널 적응 속도가 느리다[3]. RLS 알고리즘은 가장 오차 신호의 제곱의 합을 최소화시키는 알고리즘으로 순환적인 방법을 사용하여 필터 계수를 갱신하여 LMS 알고리즘보다 효과적으로 채널을 등화할 수 있으나, 하드웨어가 복잡해지는 단점이 있다[1].

블라인드(blind) 알고리즘은 RCA(Reduced Constellation Algorithm), CMA(Constant Modulus Algorithm)와 MMA(Multi Modulus Algorithm)를 이용한 알고리즘이 있다[4,5]. RCA 알고리즘은 송신 신호의 성좌도(Constellation)을 줄여서 채널 적응을 시작하고 채널 적응이 된 후에는 원래 성좌도로 복귀하여 적응하는 알고리즘이다[3]. CMA 알고리즘은 성좌도의 원점을 중심으로 하나의 원을 그리고, 원과의 거리를 계산하여 거리를 줄이는 방향으로 탭 계수를 적응시키는 블라인드 알고리즘이다. 수렴 속도 측면에서 보면 아이 패턴이 닫혀 있을 때 느린 수렴속도를 나타내고, 아이 패턴이 열려있을 때 빠른 수렴속도를 나타낸다 [1,5,6]. MMA 알고리즘은 CMA 알고리즘과 비슷하지

<sup>0</sup>본 논문은 아주대학교 산·학·연 공동 기술연구소 및 IDEC 사업의 지원을 받아 수행되었습니다.

만, 허수축과 실수축에 기준값을 정하고 그 기준과의 거리를 줄이는 방향으로 탭 계수를 적용시키는 알고리즘으로, QAM, CAP (Carrierless AM/PM)과 같은 직교 변조방식에 적합하도록 제안된 알고리즘이다[4]. 본 논문에서 제안한 등화기는 CMA 알고리즘과 DFE 구조를 연동하여 채널 적용 성능을 향상시키도록 제안하였다.

구현한 등화기는 LMS 알고리즘과 CMA를 동시에 사용하였으며, 수신된 신호와 판정된 신호간의 오차의 제곱을 가지고 두가지 알고리즘 중에 하나를 선택하는 방법을 사용하였다. 그리고 LMS 알고리즘과 CMA는 탭 계수 갱신 수식이 같으므로 하드웨어를 줄일 수 있다.

Top-down 설계 방식에 따라 통신용 CAD 툴인 COSSAP™을 사용하여 모델링 및 성능을 검증하고, VHDL(VHSIC Hardware Description Language)을 사용해 기능 모델과 구조 모델을 구현하였고 SYNOPSIS™ CAD 툴과 0.5 μm 삼성™ 라이브러리(STD80)를 이용하여 논리합성을 수행하였다. CADENCE™ CAD 툴을 이용하여 기능 검증 시뮬레이션과 타이밍 시뮬레이션을 수행하였으며 worst-case 시뮬레이션 주파수는 10 MHz이다. 설계된 등화기의 게이트 수는 약 13만이다.

본 논문에서는 2장에서 구현한 등화기에 이용된 LMS 및 CMA 알고리즘에 대해 살펴보고 3장에서 구현된 등화기의 구조를 보였다. 4장에서는 구현한 등화기의 시뮬레이션 결과를 설명하고 끝으로 5장에서 결론을 서술한다.

## II. 구현한 등화기의 알고리즘

등화기의 탭 계수  $W_n$ 은 채널에 등화기가 적용할 수 있도록 하는 값들로서 채널의 특성에 따라 그 값들이 변하게 된다. 이 값들을 조정해주는 방법으로 여러가지 알고리즘이 사용되며 각각 그 장단점이 있다. 구현된 등화기에는 LMS 알고리즘과 CMA를 사용하였으며, 그 동작원리 및 특징은 다음과 같다.

### II.1 LMS 알고리즘

LMS 알고리즘은 Wiener Hopf solution이 계산량이 많아 실시간 처리가 어려운 문제점을 해결하기 위

해 제안된 알고리즘으로서  $n$  값이 커짐에 따라  $W_n$  값이 Wiener Hopf solution의 결과인  $W_{opt}$ 에 수렴함을 증명되었고 식(1), (2), (3)으로 요약된다[1,3].

$$W_{n+1} = W_n + \mu \cdot \epsilon_n \cdot x_n^* \quad (1)$$

$$\epsilon_n = d_n - y_n \quad (2)$$

$$y_n = x_n \cdot W_n^T \quad (3)$$

위 식의  $W_n$ 은  $n$  번째 탭 계수들의 집합을 나타낸다. 즉,  $W_n = \{W_{n,0}, W_{n,1}, \dots, W_{n,M-1}\}$  이다. 그리고,  $\mu$ 는 step size로서 그 값이 클수록 수렴속도는 빨라지지만 수렴 후에 잔류오차가 커지는 단점이 있다. 반면에 그 값이 작아지면 수렴속도는 느리지만 수렴 후에 잔류오차는 작아지게 된다. 구현된 등화기는  $\mu$ 값으로  $2^{-14}$ 를 사용하였다.  $x_n$ 은 등화기로 입력되는 수신된 데이터값 즉,  $x_n = (x_n, x_{n-1}, \dots, x_{n-M+1})$ 을 나타낸다.

$\epsilon_n$ 은 등화기의 출력  $y_n$ 과 판정된 출력  $d_n$  사이의 오차로서  $y_n$ 값이  $d_n$ 보다 크면 그 값이 음수가 되고 반대의 경우 양수가 되어 차츰  $W_n$  값이  $W_{opt}$ 에 근접하도록 함을 알 수 있다[1].

### II.2 CMA 알고리즘

일반적인 등화기와 달리 blind 등화기는 송신측에서 훈련 순열(training sequence)을 보내지 않고 송신측 데이터의 확률분포와 수신된 신호만으로 채널을 등화한다. LMS 알고리즘과 탭 계수 갱신 수식은 식(1), (3)과 동일하고, 에러 함수( $\epsilon_n$ )을 생성하는 수식은 식(4)와 같다[5][6].

$$\epsilon_n = (y_n^2 - R_C^2) y_n \quad (4)$$

$R_C$ 는 16 QAM을 적용시키기 위한 상수로서 송신 신호의 통계적인 성질을 가지고 있다. 성좌도 측면에서 보면 원점에서 생성되는 원의 반지름을 나타낸다. 식(5)는 적용상수인  $R_C$ 의 생성수식이다.

$$R_C^2 = \frac{E[s(t)^4]}{E[s(t)^2]} \quad (5)$$

신호  $s(t)$ 는 송신측에서 생성되는 신호를 나타내며, 16 QAM의 경우에는 약 3.32이다.

## III. 구현한 등화기의 구조

구현된 등화기에서 사용된 DFE 구조는 feedforward 필터와 feedback 필터로 구성되며 feedback 필터와 feedforward 필터는 transversal 형태를 하고 있다. Feedback 필터는 이전의 판정된 신호에 의해 생긴 현재 심볼의 ISI를 제거하기 위해 사용되며 feedforward 필터는 판정되기 이전의 신호에 의한 현재 심볼의 ISI를 제거하기 위해 사용된다. 에리발생률이 충분히 작다면 판정된 심볼에는 잡음성분이 들어 있지 않으므로 DFE 등화기는 같은 탭 수의 선형등화기(Lattice, Transversal등)에 비해 빠른 채널 적응 속도와 낮은 BER 값을 가지며 ISI가 심한 환경에서도 좋은 성능을 나타내는 장점이 있다[7].

앞에서 소개한 알고리즘을 이용하여 설계한 등화기의 전체적인 구조를 그림 1에 나타내었다.

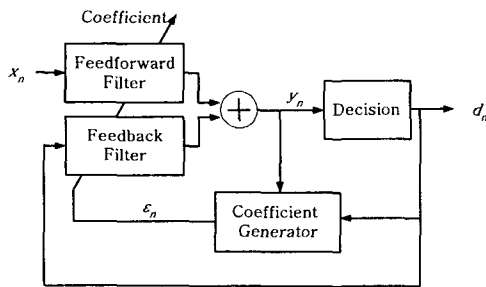


그림 1. 구현한 등화기의 전체 구조

그림 1은 CMA와 LMS 알고리즘을 사용하여 구현한 등화기의 전체 구조를 나타낸다. Feedforward 블록과 feedback 블록의 연산결과에 의해  $y_n$  값을 만들어 내면 판정 블록에서  $y_n$ 을 이용하여  $d_n$  값을 만들어 낸다. 에리 함수 생성 블록에서는  $y_n$ 과  $d_n$ 을 이용하여 LMS, CMA 알고리즘에 해당하는 에리함수를 만들어 내고 이들 중 어느 것을 사용할지는 MSE 생성 블록에서 만들어낸 MSE 값에 의해 결정된다.

그림 2는 CMA와 LMS 알고리즘을 사용한 에리 함수 생성 블록의 구조이다.

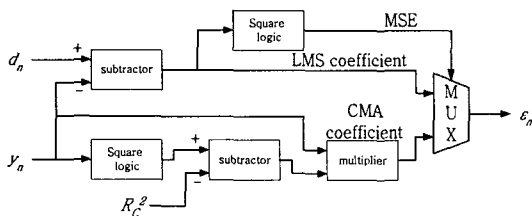


그림 2. CMA와 LMS 알고리즘을 사용한 에리 함수 생성 블록

에리 함수 생성 블록의 입력은 등화기의 출력  $y_n$ 과 판정기의 출력  $d_n$ 이다. 등화기의 출력  $y_n$ 만으로 식 (4)와 같이 생성된다. CMA 알고리즘의 에리 함수를 생성하기 위해서는 곱셈기, 뺄셈기와 곱셈기가 필요하다. RC는 본 논문에서 제안한 등화기는 목표한 변복조 방식이 16 QAM이므로 3.32가 저장되어 사용된다. LMS 알고리즘은 뺄셈기 하나로 쉽게 구현되며, 두 알고리즘을 선택하기 위한 MSE를 생성하기 위해 곱셈기가 사용된다. MSE가 0.5 이하로 떨어지면 LMS 알고리즘에 의하여 구동되고 MSE가 1.5이상으로 올라가면 CMA 알고리즘을 다시 사용하도록 하였다.

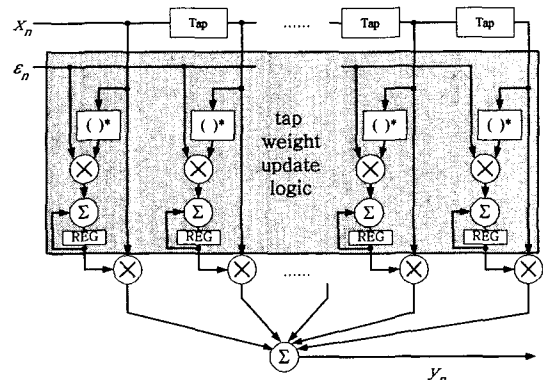


그림 3. 구현한 등화기의 필터 구조

그림 3은 구현한 등화기의 필터 구조를 나타낸다. 구현한 등화기는 그림 3과 같은 필터가 두 개 병렬로 연결되어 있으며, feedforward 필터는  $x_n$ 을 입력으로 받으며, feedback 필터는  $d_n$ 을 입력으로 받는다.  $x_n$ (8 비트)보다  $d_n$ (3 비트)의 비트 폭이 작기 때문에 feedback 필터에 쓰이는 곱셈기와 덧셈기의 하드웨어를 줄일 수 있다. 구현에 사용한 곱셈기는 Booth 곱셈기이며 입력 비트 폭이 1/2로 줄어들면, 하드웨어는 1/4가 줄어든다.

구현한 필터는 내부에 탭 계수 갱신을 수행하는 연산 블록과 탭 계수를 저장하는 레지스터가 내장되어 있다. 고속 동작을 위해 모든 탭은 병렬로 동작하도록 하였으며, 곱셈기는 Booth 곱셈기를 사용하였다. 필터 출력인  $y_n$ 을 계산하는 덧셈기는 다수의 입력을 한꺼번에 더할 수 있는 CSA(Carry Save Adder)를 사용하였다.

고속 동작과 하드웨어의 크기를 줄이기 위해 통신용 CAD 툴을 사용하여 목표한 성능에 부합하면서도 가능한 최소의 비트 수를 가지도록 하여  $y_n$ 에는 14비트, weight는 20비트 coefficient에는 7비트, 그리고  $d_n$ 에는 3비트를 할당하였다.

IV. 시뮬레이션 및 논리합성의 결과

알고리즘을 기능 검증과 성능 검증을 위하여 COSSAP™을 사용하였으며, floating-point 모델링과 fixed-point 모델링을 수행하였다. 그림 4는 백색잡음(AWGN)과 다중경로 페이딩 채널 환경에서 구현한 등화기의 성능을 나타낸다.

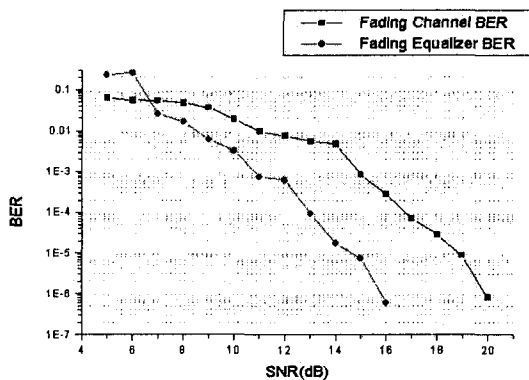


그림 4. 백색 잡음과 다중 경로 환경에서 구현한 등화기 BER 성능

그림 4에서 BER이  $10^{-6}$ 일 때를 기준으로 보면 등화기를 사용하지 않은 BER보다 SNR이 4dB정도 개선된 것을 볼 수 있다. 그림 4에서 채널 BER보다 등화기의 BER이 나쁜 구간(SNR 5dB 이하)은 채널 적용이 실패한 결과이다.

그림 5는 구현된 등화기 ASIC 칩을 보인 것이다. 게이트 수는 약 13만개의 게이트 수를 보였다. 칩 패키지는 208 핀 QFP 타입이며 동작속도는 10MHz이다.

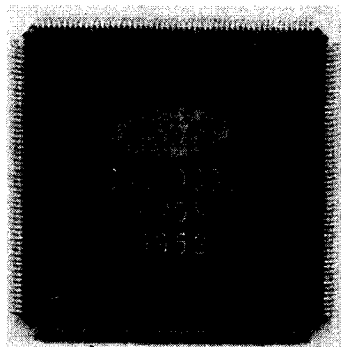


그림 5. DFE 등화기 칩의 사진

V. 결론

본 논문은 CMA, LMS 알고리즘을 이용한 DFE 구조의 등화기를 구현하였다. 설계한 등화기는 고속 동작을 위해 제곱기, Booth 곱셈기와 CSA를 사용하였다. 제안한 알고리즘의 기능 검증과 성능 검증을 위해 COSSAP™을 사용하였고, VHDL을 이용하여 모델링을 하였다. Feedback 부분과 feedforward 부분에 각각 12개와 8개의 탭을 사용하였으며 SYNOPSIS™를 이용한 논리합성의 결과, 설계한 등화기는 약 13만개의 게이트 수와 10MHz의 동작속도를 보였다. 제작된 등화기의 ASIC 칩의 기능 검증을 마친 상태이다. 구현된 등화기는 유무선 케이블 모뎀, LMDS 등의 QPSK 과 QAM 변복조방식을 사용하는 활용분야에 다양하게 사용될 수 있다.

참고 문헌

- [1] Haykin, *ADAPTIVE FILTER THEORY-third edition*, Prentice-Hall, 1996.
- [2] Ramjee Prasad, *Universal Wireless Personal Communications*, Boston-London. Artech House Publishers, 1998.
- [3] Jae Chon Lee, Chong Kwan Un, "Performance of Transform Domain LMS Adaptive Digital Filters", *IEEE Transactions on Acoustics, Speech and Signal Processing*, Vol. ASSP-34, No.3, pp. 499 - 510, June, 1986.
- [4] J. Yang, J.J. Werner, and Jr., G. A. Dumont, "The Multimodulus Blind Equalization Algorithm," in Proc. Thirteenth Int'l Conf. On Digital Signal Processing, Santorini, Greece, July 2-4. 1997.
- [5] Fco.Rodrigo, P.Cavalcanti, Joao Cesar M.Mota, "A Predictive Constant Modulus Algorithm for Blind Equalization in QAM Systems", *IEEE International Conference on Communications*, Vol 2/3, pp. 1080-1084, 1997.
- [6] John R. Treichler, Brian G. Agee, "A New Approach to Multipath Correction of Constant Modulus Signals", *IEEE Transactions on Acoustic, Speech and Signal Processing*, Vol. ASSP-31, No.2, pp. 459 - 472, April, 1983.
- [7] George Mathew, B. Farhang-Beroujny, Roger W.Wood, "Design of Multilevel Decision Feedback Equizers", *IEEE Transactions on Magnetics*, vol 33, No. 6, pp. 4528 - 4542, November 1997.