

ATM 망을 통한 HDTV TS 패킷 수신을 위한 AAL의 하드웨어 구현

손승일(孫承一)*, 손중무(孫鍾武)**, 이문기(李文基)***

*)호남대학교 컴퓨터공학과, **)한국전자통신연구소, ***)연세대학교 전자공학과

전화 : 062-940-5409 / 팩스 : (062) 940-5079

A Hardware Implementation of AAL for Receiving HDTV TS Packets Over ATM Networks

Seung Il Sonh*, Jong Moo Sohn**, Moon Key Lee***

*)Honam University, **)ETRI, ***)Yonsei University

E-mail : saisonh@honam.honam.ac.kr, jmsohn@etri.re.kr, mklee@bubble.yonsei.ac.kr

Abstract

In this paper, we propose a structure of the modified AAL. The ATM adaptation layer(AAL) is described in HDL and implemented in FPGA, which plays a role in receiving of HDTV TS packets over ATM networks. Also We designed the PCI interface module which is used for monitoring and analyzing the HDTV TS packets. The designed FPGA chip operates at 20 MHz.

I. 서론

HDTV TS(Transport Stream) 데이터의 전송을 위해 2개의 ATM 적응 계층(AAL)인 AAL1, AAL5를 이용할 수 있다. AAL1은 회로 에뮬레이션과 같은 CBR 트래픽 서비스를 제공하기 위해 설계되었으며, ATM 망상에서 발생된 지터(Jitter)에 대처하기 위해 SRTS(Synchronous Residual Time Stamp)와 같은 카운터계수기를 제공한다. 그렇지만, SRTS 기법은 공통된 네트워크 클럭을 기준 클럭으로 사용할 수 없을 경우에는 적용할 수 없다. 그러므로, AAL1은 여러 가지 상이한 반송자(Carrier)와 비동기화된 클럭으로 구성된

전국적 규모의 네트워크에서는 사용될 수 없다. 게다가 AAL1은 일정한 품질의 인코딩이나 VBR 서비스와 같은 응용에서는 제한이 많은 것으로 알려져 있다. AAL5는 간단한 프로시저를 가지며, 호 설정 프로세스시의 시그널링은 AAL5에서만 행해질 수 있다. 따라서, AAL5는 ATM 포럼에 의해 SPTS(Single Program Transport Packet Stream)용도의 ATM 적용 레이어로 채택되었다.[1] HDTV는 19.39Mbps CBR MPTS(Multi-program Transport Packet Streams) 방식으로 데이터를 생성하며, SPTS가 사용하는 것과 동일한 ATM 적응 레이어를 사용할 것으로 예견되고 있다.[2] 그렇지만, ITU-T에서 규정한 AAL5에 따르면, 수신단의 AAL5는 AAL PDU를 구성한 셀중에서 단일 비트 에러나 손실이 발생한다할지라도 전체의 AAL PDU를 버린다. 손상된 데이터 전송 옵션이 제공된다 할지라도 PDU의 복원은 제한을 받는다. 셀 손실의 영향은 MPEG-2나 AC-3로 부호화된 기본적인 스트림에서 데이터 에러 전파에 의해 증대될 수 있다. 따라서 우리는 셀 레벨에 대한 에러(혹은 손실) 탐지 메커니즘을 향상시키기 위해 AAL5 PDU를 구성하는 각 셀이 순차 번호 필드를 갖도록 수정하였다. 또한 설계된 AAL5 계층을 HDL을 사용하여 설계하였으며, FPGA로 구현하였다. 그리고 PC 상에서 HDTV TS 패킷 데이터의 전송 및 수신을 위해 PCI 인터페이스를 구현하

였다.

II. ATM 망을 통한 HDTV TS 패킷의 전송에 관련된 연구

네트워크 적응 계층은 응용 계층과 AAL 계층 사이의 데이터 조작과 제어 데이터 통신을 수행한다. MPTS에 대한 네트워크 적응 계층은 아직까지 명확하게 규정되지 않았다. 따라서 우리는 PCR(Program Clock Reference)-unaware 방식을 가정하였다. TS의 encapsulation/de-encapsulation은 바로 네트워크 계층에서 수행되게 되는데, 이는 SPTS에 대한 네트워크 적응 계층에도 적용된다. 그림 1과 같이 2개의 188 바이트 TS 패킷이 하나의 CPCS-PDU를 구성하게 된다.

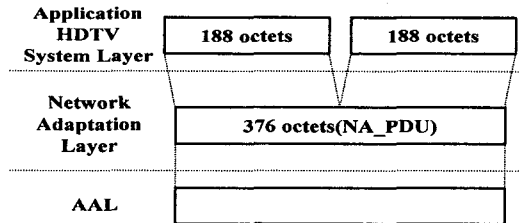


그림 1. 네트워크 계층에서 PCR-unaware TS encapsulation

전송단에서 CPCS 서브계층은 응용 계층으로부터 376 바이트의 SDU를 수신하여, 그림 2와 같이 CRC-32, 2 바이트의 길이 필드, 패딩 바이트 등으로 구성되는 8 바이트의 트레일러를 첨가하여 CPCS-PDU를 생성한다. 그리고, CPCS-PDU는 각각의 48 바이트의 크기인 8개의 ATM-SDU로 분할된다. 이 8개의 ATM-SDU는 순차적으로 ATM 계층에 전달된다. 그리고 마지막 ATM-SDU 전송시 파라미터 M(More)을 '0'으로하여 마지막 ATM-SDU 셀임을 알린다.

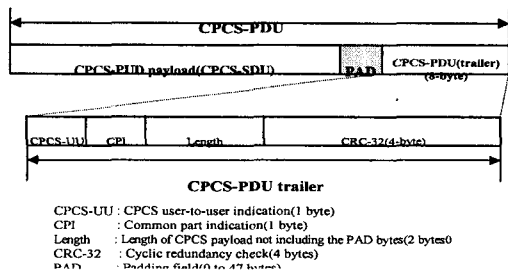


그림 2. CPCS-PDU의 구조

수신단에서 SAR 서브계층은 ATM 계층으로부터 48 바이트 ATM-SDU를 수신하면 이를 CPCS 서브계층에 전달한다. 이러한 ATM-SDU는 CPCS 서브계층에 있는 리어셈블리 버퍼(Reassembly buffer)에 저장되게 된다. 완전한 CPCS-PDU를 수신한 후, CRC 및 길이 등에 대한 조사를 수행하여 모든 에러 테스트를 통과하게 되면 리어셈블리 버퍼에 있는 CPCS-PDU를 응용 계층에 전달하게 되며, 그렇지 않을 경우에는 버퍼를 비우게 된다.

III. ATM 망을 통한 CBR HDTV TS 전송을 위한 새로운 메카니즘

수신단에서 유효한 TS 패킷의 수를 증가시키기 위하여 본 논문에서는 새로운 구조를 제안한다. 이 방법은 CPCS-PDU를 구성하는 모든 셀에 순차 번호를 첨가하는 것이다. 이것이 가능하도록 하기 위해 CPCS-PDU 트레일러의 각 필드의 기능을 변경하였다. CPCS-UU 필드는 ATM 망을 통해 개인간의 데이터를 투명하게 전송하기 위해 사용하므로, HDTV 시스템에서는 일반 목적을 위해 사용이 가능한 것으로 판단되었다. 그리고 CPI 필드는 트레일러의 길이를 8 바이트로 정렬하기 위해 사용되었다. 게다가 2 바이트의 길이 필드는 HDTV TS 패킷은 188 바이트로 고정되어 있고 CPCS-SDU는 2개의 TS를 사용해 만들어지므로 CPCS-SDU의 길이를 알 수 있어 다른 용도로 사용하여 무방하다 판단되었다. 단, CPCS-SDU의 길이는 "Forward Maximum CPCS-SDU size" 파라미터로 호 설정 과정에서 정의할 수 있다.[3] 또한 SONET이나 SDH와 같은 낮은 에러율을 갖는 물리적 매체를 통해 데이터 전송을 한다면, 비트 에러의 확률은 거의 무시할 수 있을 정도로 작다. 그러므로 8 바이트 트레일러는 각 셀의 순차 번호를 할당하기 위해 사용할 있다. 본 논문에서는 modulo-16의 순차 번호 부여 방식을 사용하였다. 순차 번호를 갖는 CPCS-PDU의 수정된 구조는 그림 3과 같다.

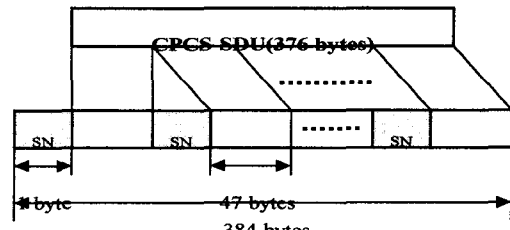


그림 3. 순차 번호를 사용하는 CPCS-PDU의 구조

순차 번호 메카니즘을 사용함으로써 PDU에서 셀 손실의 위치를 AAL 수신단에서 감지할 수 있고, 데이터 손상이 탐지되면 AAL은 TS 패킷 헤더에 있는 "transport_packet_error_indication" 필드를 '1'로 설정하여 응용 계층에 보내게 된다.

III. 하드웨어 설계

본 논문에서는 제안된 구조의 AAL과 ITU-T I.363에서 규정한 AAL5 모두 지원하는 AAL 계층을 설계하였다. 또한 테스트를 위해 UTOPIA 인터페이스를 갖는 ATM 계층을 설계하였다. 이러한 UTOPIA 인터페이스는 ATM 계층과 PHY 계층 간의 인터페이스를 규정한 프로토콜이다. 각 계층은 제어 로직과 FIFO 버퍼를 사용하여 설계하였다. 외부 입력인 aal_mode 신호는 제안한 AAL 모드와 ITU-T AAL5 모드를 선택하는 기능을 수행한다. Aal_mode 비트가 '0'이면, 기존의 AAL 모드로 동작되고, '1'이면 순차 번호를 갖는 제안된 모드의 AAL이 동작하게 된다.

설계된 전송단의 블록다이어그램은 그림 4와 같다.

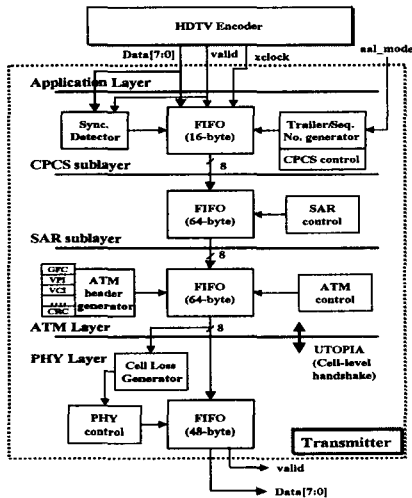


그림 4. 설계된 전송단의 블록다이어그램

CPCS 서브계층은 HDTV TS 패킷 동기화를 위한 동기 탐지 블록과 PCR-unaware encapsulation 블록을 포함하고 있다. ITU-T AAL5 모드에서 CPCS는 376 바이트 CPCS-SDU에 8 바이트의 트레일러를 덧붙여 SAR 서브 계층에 전달하는 역할을 수행한다. 제안된 모드의 AAL에서 CPCS 계층은 376 바이트 CPCS-SDU를 8개의 47 바이트 셀로 분할하여 각 셀마다 1 바이트의 순차 번호 필드를 할당한다. 이러한

CPCS는 16 바이트 FIFO를 사용하여 구현하였다.

SAR 서브 계층은 48 바이트의 데이터가 수신되면 ATM 계층에 전달하는 기능을 수행하게 된다. ATM 계층은 SAR 서브 계층에서 받은 48 바이트의 SAR-SDU에 5 바이트 헤더를 첨가하여 PHY 계층에 UTOPIA 프로토콜을 사용하여 전달하는 기능을 수행한다. 본 논문의 UTOPIA 프로토콜은 셀 단위의 트랜잭션을 지원하도록 설계하였다. SAR 서브 계층과 ATM 계층은 모두 64 바이트의 FIFO를 사용하여 구현하였다. 설계된 알고리즘의 테스트를 위해 PHY 계층을 설계하였으며, 48 바이트의 FIFO 버퍼를 사용하여 구현하였다. 테이블 1은 전송단의 사양을 요약한 것이다.

테이블 1. 전송단 인터페이스의 사양

계층	인터페이스 (Bytes)	FIFO 크기	FIFO 액세스 (Read/Write)
CPCS	8	16	동시 액세스 지원
SAR	8	64	동시 액세스 지원
ATM	8	64	동시 액세스 지원
PHY	8	48	동시 액세스 지원

또한 PHY 계층에서 셀 손실을 랜덤하게 발생시켜 ITU-T AAL5 모드와 본 논문에서 제안한 방식의 성능을 비교할 수 있도록 하였다. "Cell Loss Generator" 모듈은 4 가지 모드 중의 하나로 동작하도록 설계하였다. 2 개의 외부 핀을 사용하여 셀 손실율을 발생시킬 수 있도록 설계하였는데, 각 모드에 따른 셀 손실율은 테이블 2와 같다.

테이블 2. 외부 입력 설정에 따른 셀 손실율의 발생

입력(2비트)	동작 설명
00	1에서 16 셀의 버스트 손실 발생, 셀 손실율은 10^{-4}
01	1에서 16 셀의 버스트 손실 발생, 셀 손실율은 10^{-6}
10	10^{-3} 의 셀 손실율과, 하나의 셀만 손실함.
11	셀 손실이 없는 정상 모드로 동작.

수신단에서의 데이터 흐름은 전송단에서의 데이터 흐름과 반대이다. 그렇지만, 구현된 하드웨어 구조는 전송단의 구조와 상이하다. 이러한 차이점의 주된 이유는 수신단에는 CRC checksum 탐지가 존재한다는 것이다. 본 연구에서는 ATM 계층에서의 CRC 조사는

시리얼 방식으로 동작하도록 구현하였으며, CPCS 서브 계층에서의 CRC 조사는 8 바이트 단위로 동작하도록 설계하였다.

CPCS-PDU 유효성 검사나 순차 번호 검사 등을 포함한 CPCS 서브 계층의 동작은 CPCS-PDU 단위로만 수행되므로 SAR 서브 계층으로부터 384 바이트의 전체 CPCS-PDU가 수신되어야 의미를 갖게 된다. 설계된 수신단의 전체 블록 다이어그램은 그림 5와 같다. 그리고 수신단의 인터페이스 사양은 테이블 3과 같이 요약할 수 있다.

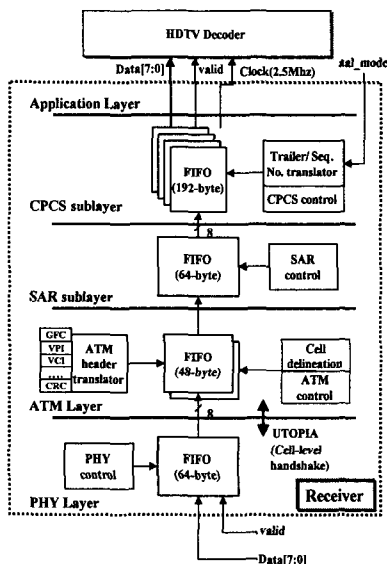


그림 5. 수신단의 블록 다이어그램

테이블 3. 전송단 인터페이스의 사양

계층	인터페이스 (Bytes)	FIFO 크기	FIFO 액세스 (Read/Write)
CPCS	8	192-byte x 4	단일 액세스 지원
SAR	8	64	동시 액세스 지원
ATM	8	48-byte x 2	단일 액세스 지원
PHY	8	64	동시 액세스 지원

특히 본 논문에서는 설계된 AAL 계층과 PC 간의 HDTV TS 패킷 데이터의 송수신을 허용하기 위해 추가로 PCI 인터페이스 모듈을 설계하였다. 설계된 PCI 인터페이스 모듈은 수신단의 CPCS 계층에 해당하고, 외부로부터 수신된 데이터를 응용 계층에 전송하는 역할 뿐만 아니라, 수신된 데이터의 분석을 할 수 있도록

지원해 준다. 뿐만 아니라, PC를 통해 직접 응용 계층에 데이터를 전송할 수 있는 기능을 수행하게 된다.

설계된 PCI 인터페이스부는 그림 6과 같다.

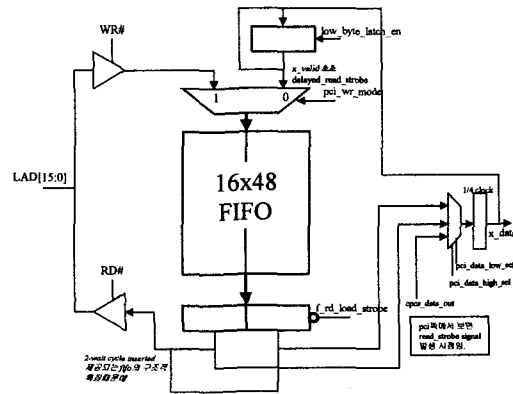


그림 6. 설계된 PCI 인터페이스부

IV. FPGA 구현

설계된 AAL의 동작을 검증하기 위해 HDL을 이용하여 송수단을 기술한 후 FPGA로 구현하였다. 2개의 FPGA 칩을 사용하여 송수단 및 수신단을 구현하였으며, 보드를 제작하여 HDTV TS 패킷의 송수신 과정을 테스트하였다. 제작된 칩은 약 20MHz에서 동작하였다.

IV. 결 론

본 논문에서는 19.39Mbps로 생성되어 ATM망을 통해 전송되는 HDTV TS 패킷의 수신을 위한 ATM 프로토콜 스택의 AAL 계층을 FPGA를 사용하여 구현하였다. 설계된 AAL은 기존의 ITU-T I.363 AAL5 모드와 순차 번호를 사용한 제안된 AAL 모드를 모두 지원하고 있다. 설계된 칩은 약 20MHz에서 동작하였다.

참고문헌

- [1] The ATM Forum, Audiovisual Multimedia Services : Video on Demand Specification 1.1, Mar, 1997
- [2] Grand Alliance HDTV System Specification, Ver. 2.0, Dec. 1994
- [3] ITU-T Recommendation I.363.5, B-ISDN ATM Adaptation Layer(AAL) Specification : Type 5 AAL , Aug. 1996