

## TFT-LCD 특성 분석을 위한 poly-Si TFT 소자 모델링 및 회로 시뮬레이션

손명식, 류제일\*, 심성용\*, 장진\*, 유건호\*

세명대학교 컴퓨터응용과학과 반도체 집적시스템 연구실,  
(Tel) 0443-649-1311, (E-mail) sms@venus.semyung.ac.kr  
\*경희대학교 물리학과

### Modeling of Poly-Si TFT and Circuit Simulation for the Analysis of TFT-LCD Characteristics

Myung-Sik Son, Jai-II Ryu\*, Seong-Yung Shim\*, Jin Jang\*, and Keon-Ho Yoo\*  
Semiconductor Integrated Systems Laboratory,  
Department of Computer Applied Science, Semyung University  
(Tel) 0443-649-1311, (E-mail) sms@venus.semyung.ac.kr  
\*Department of Physics, Kyung Hee University

**Abstract** — In order to analyze the characteristics of complicated TFT-LCD (Thin Film Transistor-Liquid Crystal Display) circuits, it is indispensable to use simulation programs. In this study, we present a systematic method of extracting the input parameters of poly-Si TFT for Spice simulation. This method is applied to two different types of poly-Si TFTs fabricated in our group with good results. Among the Spice simulators, PSpice has the graphic user interface feature making the composition of complicated circuits easier. We added successfully a poly-Si TFT model on the PSpice simulator, which would contribute to efficient simulations of poly-Si TFT-LCD pixels and arrays.

ELA(excimer laser annealing) poly-Si TFT와 SMC(silicide mediated crystallization) poly-Si TFT에 적용한 결과, 두 경우의 입력변수가 상당히 다름에도 불구하고, 두 경우 모두 모든 전압 영역에서 만족할 만한 결과를 얻었다.

PC에서 사용 가능한 Spice 중에서, poly-Si TFT 모델을 가지고 있는 AIM-Spice는 회로 구성을 텍스트 방식으로 하는 반면, poly-Si TFT를 가지고 있지 않은 PSpice에서는 그림을 사용한 회로 구성이 가능하다. TFT-LCD 에레이와 같은 복잡한 회로를 구성할 때는 PSpice를 사용하는 편이 훨씬 쉽고 실수를 저지를 확률도 적어진다. 본 연구에서는 poly-Si TFT를 PSpice에 이식하고, AIM-Spice와 시뮬레이션 결과를 비교함으로써 이식의 정확성을 검증하였다.

#### I. 서론

TFT-LCD(Thin Film Transistor - Liquid Crystal Display)의 대화면/고화질 추세에 따라 그 전기·광학적 특성을 분석하기 위해서는, TFT-LCD 어레이(array) 특성 분석 시뮬레이터의 사용이 필수적이다. 이 연구에서는 poly-Si TFT-LCD 특성 분석을 위해 기존의 상용 시뮬레이터인 Spice를 효과적으로 이용하기 위한 연구를 하였다. 두가지 주요 내용은 poly-Si TFT의 입력변수의 정확한 추출법을 개발한 것과 PSpice에 poly-Si TFT 소자를 이식한 것이다.

· 시뮬레이션 결과의 정확성은 얼마나 입력변수를 정확히 사용하느냐에 의존한다. 이 연구에서는 poly-Si TFT의 I-V 실험 데이터로부터 AIM-Spice 시뮬레이터에서의 소자의 입력 변수를 체계적으로 추출하는 방법을 연구하였다. 이 다결정 실리콘(poly-Si) TFT 모델은 subthreshold, above-threshold, leakage 전류와 kink 전류를 고려하는데, 이 전류를 기술하는 입력변수의 상호 의존성과 식의 모양을 고려하여 입력 변수를 추출하였다. 이 입력변수 추출법을 자체 제작한

#### II. 다결정 실리콘 TFT 소자 특성 파라미터 추출법 및 그 검증

Poly-Si TFT-LCD 어레이의 특성을 정확히 시뮬레이션하기 위해서는 우선 어레이에 사용된 poly-Si TFT를 정확히 표현해야 한다. Spice 상의 poly-Si TFT 모델은 많은 입력 변수를 포함하므로 정확한 입력변수를 추출(parameter extraction)하는 것이 중요하다. 본 연구에서는 I-V 실험 데이터가 주어졌을 때 그에 맞는 입력변수를 체계적으로 구하는 방법을 연구하였고, 그 방법을 사용해 두 종류의 poly-Si TFT의 I-V 특성을 시뮬레이션하여 실험값과 비교하였다.

이 연구에서는 AIM-Spice의 MOSFET level 16의 poly-Si TFT 모델[1]을 사용하였다. M. Shur 그룹에서 제안한 이 PSIA2 모델은 MOSFET level 1 static 모델을 poly-Si TFT의 특징인 kink 효과와 thermionic field emission에 의한 누설전류를 고려하여 수정한 것이다. 이 모델에 의하면 I-V 특성은 게이트 전압에 따라 above-threshold 영역, sub-threshold 영역, 누설전류 영역으로 나눌 수 있다.

Poly-Si TFT의 sub-threshold current는 확산에 의

한 전류가 지배하는 MOSFET의 sub-threshold current와 유사하며 식 (1)과 같이 기술된다.

$$I_{sub} = MUS \cdot c_{ox} \cdot \frac{W}{L} \cdot V_{sth}^2 \exp\left(-\frac{V_{gs} - V_{ON}}{V_{sth}}\right) \left[1 - \exp\left(-\frac{V_{ds}}{V_{sth}}\right)\right] \quad (1)$$

여기서는  $W$ 는 채널의 너비,  $L$ 은 채널의 길이,  $c_{ox}$ 는 단위 면적당 절연막의 정전용량,  $MUS$ 는 sub-threshold 이득도,  $V_{ON}$ 은 on-voltage를 나타낸다. 그리고,  $V_{sth} = ETA \cdot k_B T$ 이며,  $ETA$ 는 sub-threshold ideality factor,  $k_B$ 는 Boltzmann 상수,  $T$ 는 절대온도를 나타낸다. 식 (1)을 변형하면  $MUS$ 에 대해 다음과 같이 쓸 수 있다.

$$MUS = \frac{L \cdot \exp(b + V_{ON}/V_{sth})}{c_{ox} \cdot W \cdot V_{sth}^2 \cdot [1 - \exp(-V_{ds}/V_{sth})]} \quad (2)$$

여기서  $b$ 는  $\ln[I_d(V_{gs})]$  그래프의 선형적인 부분을 fitting한 결과의  $y$ 축 절편을 나타낸다.

한편 above threshold current,  $I_a$ 는 식 (3)과 같이 표현된다.

$$I_a = \mu_{FET} c_{ox} \frac{W}{L} V_{ds} \left[ V_{gt} - \frac{V_{ds}}{2\alpha_{sat}} \right] V_{gt} = V_{sth} \left[ 1 + \frac{V_{gt}}{2V_{sth}} + \sqrt{DELTA^2 + \left(\frac{V_{gt}}{2V_{sth}} - 1\right)^2} \right] \quad (3)$$

$$V_{gt} = V_{gs} - V_{ON}$$

$V_{gt} \gg V_{sth}$ 일 때, effective gate voltage swing  $V_{gt}$ 는 근사적으로  $V_{gt}$ 가 되고, above threshold current는 식 (4)로 근사할 수 있다.

$$I_a \approx \mu_{FET} c_{ox} \frac{W}{L} V_{ds} \left[ V_{gt} - \frac{V_{ds}}{2\alpha_{sat}} \right] \quad (4)$$

I-V 데이터를 측정할 때의 온도와 트랜지스터가 동작할 때의 온도가 같다면  $\alpha_{sat} = ASAT$ 인 관계가 성립한다. 식 (3)의 전체효과 이득도  $\mu_{FET}(V_{gs})$ 를 결정하는 중요한 변수로는  $MU0$ ,  $MU1$ ,  $MMU$ 가 있으며 식 (5)와 같이 표현된다.

$$\frac{1}{\mu_{FET}(V_{gs})} = \frac{1}{MU0} + \frac{1}{MU1 \cdot (2V_{gt}/V_{sth})^{MMU}} \quad (5)$$

누설 전류는 크게 thermionic field emission에 의한 성분과 드레인 접합의 다이오우드 전류 성분으로 나뉘어진다.

$$I_{leak} = IO \cdot W \left[ \exp\left(\frac{BLK \cdot V_{ds}}{V_{th}}\right) - 1 \right] \cdot [X_{TFE}(F) + X_{TE}] + I_{diode} \quad (6)$$

$$I_{diode} = IOO \cdot W \cdot \exp\left(-\frac{EB}{k_B T}\right) \left[ 1 - \exp\left(-\frac{V_{ds}}{V_{th}}\right) \right] \quad (7)$$

여기서  $F = V_{ds}/DD - (V_{gs} - V_{FB})/DG$ 이며, 이것은 드레인 근처의 전기장의 최대 세기를 의미한다. 식 (6)의 첫번째 대괄호 안의 항은 DIBL(drain induced barrier lowering)효과를, 두번째 대괄호 안의 항들은 단위시간당 thermionic field emission에 의한 트랩(trap)으로부터 전하 방출 비율을 나타낸다. 식 (7)의  $I_{diode}$ 는  $V_{ds}$ 가 매우 작은 값일 때에도 온도증가에 따라 누설전류가 증가하는 것을 설명한다.  $I_{diode}$ 는 상온에서 무시할 수 있으나 높은 온도에서는 매우 중요해진다.

Impact ionization으로 설명되는 kink 전류는 다음과 같다.

$$I_{kink} = \left( \frac{I_a \cdot I_{sub}}{I_a + I_{sub}} + I_{leak} \right) \cdot A_{kink} (V_{ds} - V_{dse}) \exp\left(-\frac{VKINK}{V_{ds} - V_{dse}}\right) \quad (8)$$

$$A_{kink} = \frac{1}{VKINK} \left( \frac{LKINK}{L} \right)^{MKINK} \quad (9)$$

$$V_{dse} = \frac{V_{ds}}{\left[ 1 + \left( \frac{V_{ds}}{V_{dsat}} \right)^3 \right]^{1/3}} - V_{th} \quad (10)$$

전체 드레인 전류는 위의 네 성분의 합으로 다음과 같이 주어진다.

$$I_d = \frac{I_a \cdot I_{sub}}{I_a + I_{sub}} + I_{leak} + I_{kink} \quad (11)$$

이상의 식에 사용되는 주요 입력변수를 표 1에 나타내었다. 입력변수의 추출은 그림 1에 나타낸 순서에 따랐다. 변수의 추출은 threshold voltage  $V_{ON}$ 과 sub-threshold current의 지수(exponent)를 결정하는  $ETA$ 로부터 시작한다. 식 (1)에 의해  $ETA$ 는  $I_d$ - $V_{gs}$  curve를 자연로그 scale로 나타내었을 때 선형 부분 기울기의 역수이다.  $V_{ON}$ 은 그림 2와 같이  $I_d$ - $V_{gs}$  curve를 선형scale로 나타내었을 때 직선 부분의 절편으로부터 얻을 수 있고,  $AT$ 는  $V_d$ 가 다른  $I_d$ - $V_{gs}$  curve에서 얻을 수 있다.  $ASAT$ 는  $I_d$ - $V_d$  curve를 미분하였을 때  $x$ 축 절편의 값과 같다.  $MUS$ 를 얻기 위해서는 식 (2)를 이용하면 된다.  $MU0$ ,  $MU1$ ,  $MMU$ 는 앞에서 결정된 변수 및 식 (4)와 식 (5)를 이용한 fitting으로 구할 수 있다. Kink 효과와 관련된 입력변수는  $V_{ds} > V_{dsat}$ 인 영역의 측정된 전류를 식 (8)에 따라 최소자승법을 적용하여 얻을 수 있으며, 누설전류에 관련된 입력변수는 누설전류가 나타나는 영역의 전류를 식 (6)과 식 (8)에 따라 최소 자승법을 적용한다.

이상의 변수 추출법을 검증하기 위해 두 종류의 poly-Si TFT의 I-V 실험 데이터의 fitting을 시도하였다. 본 연구에서 입력변수 추출에 사용된 평면형 poly-Si TFT 소자들은 각각 SMC와 ELA 방법에 의해 제작되었으며[2-4], TFT의 간략한 제작 순서는 다음과 같다. SMC와 ELA 방법에 의해 제작된 300 nm 두께의 poly-Si 박막 위에  $NH_3$  플라즈마 처

리를 한 후, 두께 200 nm의 실리콘 질화막(SiNx)과 30 nm의 비정질 실리콘(amorphous silicon: a-Si)을 PECVD (plasma enhanced chemical vapor deposition) 방법으로 증착한다. 습식 식각법을 이용하여 채널을 형성하고, ion shower 방법으로 위의 비정질층과 식각에 의해 노출된 poly-Si 층에 고농도 불순물 층을 형성한다. 그 후에 20 nm의 Ni를 스퍼터링으로 증착한 후, 250 °C에서 1시간 열처리를 하여 Ni-silicide 소오스/드레인/게이트 전극을 형성한다. 그 후 반응하지 않은 Ni은 Ni 식각용액으로 제거한다. 제작된 TFT의 채널 폭과 길이는 각각 30  $\mu\text{m}$ 와 10  $\mu\text{m}$ 이다[2, 4].

표 1에는 두 시료의 실험 I-V 곡선으로부터 우리의 변수 추출법을 사용해 얻은 입력변수 값이 나열되어 있다. 그림 3와 4는 이 입력변수를 사용해 계산된 Id-Vgs 곡선과 Id-Vds 곡선을 처음의 실험값과 비교한 그림이다. ELA poly-Si TFT와 SMC poly-Si TFT는 상당히 다른 I-V 특성을 가지고 있으나, 두 경우 모두 우리의 변수 추출법에 의해 추출된 변수를 이용한 I-V fitting 특성이 매우 우수함을 알 수 있다.

표1. 다결정 실리콘 TFT I-V 특성을 기술하는 중요 변수와 두 가지 시료에 대한 변수값(Sample I 은 ELA poly-Si TFT이며, Sample II는 SMC poly-Si TFT이다.)

Parameter	Description	Sample I	Sample II	Unit
VON	On voltage	3.19	-1.5	V
AT	DIBL parameter	4.9e-8	2e-8	m/V
ASAT	Proportionality constant of Vdsat	0.85	1.1	-
ETA	Subthreshold ideality factor	15.56	8.9	-
MUS	Subthreshold mobility	11.94	400	cm <sup>2</sup> /Vs
MUO	High field mobility	3.35	75	cm <sup>2</sup> /Vs
MU1	Low field mobility parameter	1.94e-5	0.3	cm <sup>2</sup> /Vs
MMU	Low field mobility exponent	4.48	1.7	-
LKINK	Kink effect constant	0	8.59e-6	m
VKINK	Kink effect voltage	-	4.22	V
IO	Leakage scaling constant	133	146	A/m
BLK	Leakage barrier lowering constant	0.0027	0.0047	-
DD	Vds field constant	3.3e-7	4.7e-7	m
DG	Vgs field constant	1.7e-7	2.8e-7	m

AIM-Spice를 만든 회사에서는 입력변수 추출 프로그램인 AIMExtract를 제공하고 있다. 이 프로그램은 주어진 실험데이터로부터 입력변수를 추출해주는 기능과, 임의의 입력 변수값으로부터 변수값을 변화시켜가며 화면상에 계산된 곡선과 실험값을 비교하여 최종 입력 변수값을 결정하는 기능이 있다. 우리의 실험 데이터로부터 AIMExtract가 추출해준 입력데이터로부터 계산된 Id-Vg 곡선은 그림 3과 4보다 불량한 결과를 주었다. AIMExtract의 두 번째 기능을 사용하면 보다 더 좋은 일치를 얻을 수 있지만, 이 때에도 우리의 변수 추출법에 의해 결정된 입력변수 값으로부터 출발하는 것이 아주 효과적임을 확인하였다.

### III. PSpice 이식 후의 화소 전압에 대한 회로 시뮬레이션 결과 검증

AIM-Spice의 경우에는 TFT-LCD 어레이 회로 구

성을 텍스트 방법에 의존하므로 사용자가 손쉽게 사용하기가 어렵다. 따라서, 본 연구에서는 회로를 손쉽게 구성할 수 있는 GUI 방식의 PSpice 회로 시뮬레이터의 poly-Si TFT 소자를 이식하여 구성하였다. AIM-Spice에서의 I-V 특성 결과와 PSpice 이식 후의 결과가 정확히 일치함을 확인하였다. 또한 두 시뮬레이터를 사용해, ELA poly-Si TFT-LCD의 단위 화소에서의 킥백 전압(kickback voltage)과 게이트 전압의 RC 지연을 시뮬레이션하여, 그 결과를 그림 5에 보았다. 이 그림은 게이트 전압 파형과 화소 전압 파형을 그렸는데, 화소 전압에서 PSpice에서의 결과이며 점선은 AIM-Spice에서의 결과를 나타낸다. 두 시뮬레이터를 이용한 결과가 매우 잘 일치하는 것을 알 수 있으며, 이는 PSpice에의 poly-Si TFT 이식이 성공적임을 보여주고 있다.

### IV. 결론

이 논문에서는 TFT-LCD의 대화면/고화질 추세에 따라 전기·광학적 특성을 분석하기 위해 상용 시뮬레이터인 Spice를 효과적으로 이용하는 방법을 연구하였다. 자체 제작된 poly-Si TFT 소자를 정확히 기술할 수 있는 입력변수를 추출하였고, PSpice 회로 시뮬레이터에 자체 제작된 소자 모델을 이식함으로써, 단위 화소 및 어레이의 전기적 특성 분석을 가능하게 하였다. 따라서, 각 회사에서 제작되는 소자의 전기적 특성 실험 데이터만 있다면, 그 소자를 사용한 TFT-LCD 픽셀 및 어레이의 특성을 분석하는데 큰 도움이 될 것으로 기대된다.

※ 본 연구는 G-7 프로젝트 지원에 의해 연구 수행되었다.

### 참고문헌

- [1] AIM-Spice Online Help
- [2] W.K. Kwak, B.R. Cho, S.Y. Yoon, S.J. Park, and J. Jang, "A high performance thin-film transistor using a low temperature poly-Si by silicide mediated crystallization," *IEEE Electron Device Lett.*, Vol. 21, pp. 107-109, 2000.
- [3] Jin Jang *et al.*, "Electric-field-enhanced crystallization of amorphous silicon," *Nature*, vol. 395, pp. 481-483, 1998.
- [4] J.I. Ryu, H.C. Kim, S.K. Kim, and J. Jang, "A novel self-aligned polycrystalline silicon thin-film transistor using silicide layers," *IEEE Electron Device Lett.*, vol. 18, pp. 272-274, 1997.

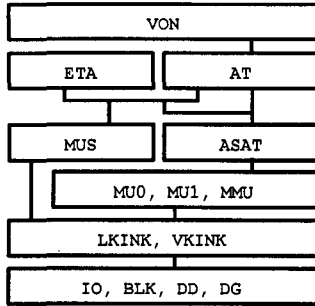


그림 1. Poly-Si TFT의 I-V 특성을 기술하는 변수 추출을 위한 과정.

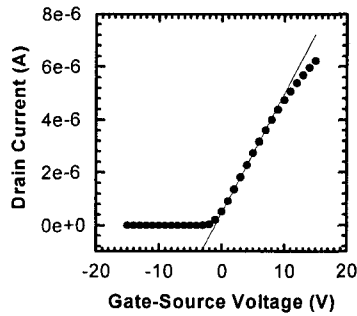
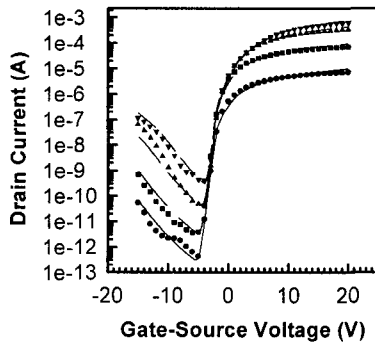
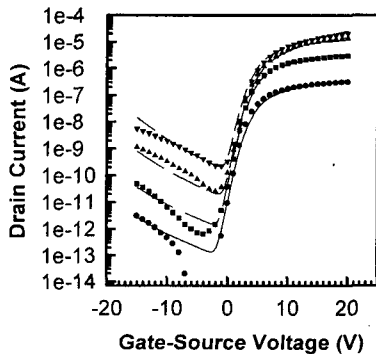


그림 2. Poly-Si TFT Id-Vgs 특성에서 VON을 추출하는 예.

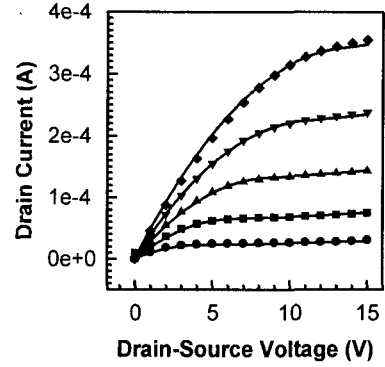


(a) ELA poly-Si TFT

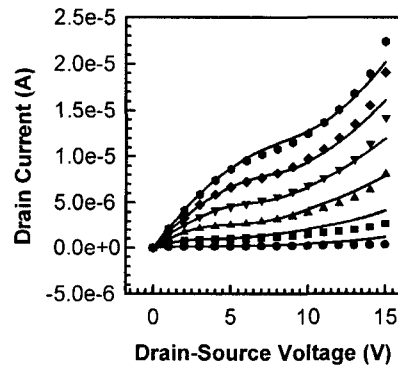


(b) SMC poly-Si TFT

그림 3. Poly-Si TFT Id-Vgs 특성 fitting 결과.



(a) ELA poly-Si TFT



(b) SMC poly-Si TFT

그림 4. Poly-Si TFT Id-Vds 특성의 fitting 결과.

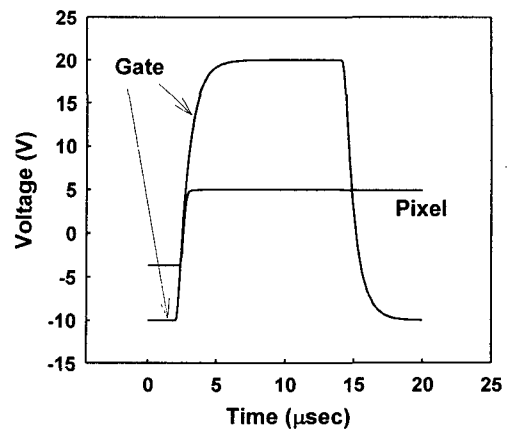


그림 5. 단위 화소 전압에서의 킱백 전압 및 RC 지연에 대한 시뮬레이션 결과.