

W-TiN 금속 게이트를 사용한 금속-산화막-반도체 소자의 특성 분석

윤선필, 노관중, 양성우, 노용한, 장영철*, 김기수*, 이내응*
성균관대학교 전기전자 및 컴퓨터공학부, *재료공학과
tel) 0331-290-7134, fax) 0331-290-5819

Investigation of the W-TiN gate for Metal-Oxide-Semiconductor Devices

Sunpil Youn, Kwanchong Roh, Sungwoo Yang, Yonghan Roh,
Young-Chul Jang*, Ki-Su Kim*, Nae-Eung Lee*
Sungkyunkwan University, School of Electrical & Computer Engineering, *Materials Engineering
yhroh@yurim.skku.ac.kr

Abstract

We showed that the change of Ar to N₂ flow during the TiN deposition by the reactive sputtering decides the crystallinity of LPCVD W, as well as the electrical properties of the W-TiN/SiO₂/Si capacitor. In particular, the threshold voltage can be controlled by the Ar to N₂ ratio. As compared to the results obtained from the LPCVD W/SiO₂/Si MOS capacitor, the insertion of approximately 50 nm TiN film effectively prohibits the fluorine diffusion during the deposition and annealing of W films, resulting in negligible leakage currents at the low electric fields.

1. 서론

금속-산화막-반도체(MOS) 소자를 이용하는 집적회로의 발전은 게이트 전극의 규격 및 저항 감소를 필요로 한다. 현재까지 게이트 전극으로 이용되고 있는 폴리 실리콘막은 산화막과의 호환성은 좋으나 초미세소자에서는 불순물의 산화막을 통한 확산과 불순물의 불충분한 활성화에 의한 공핍현상 및 그로 인한 문턱전압제어가 어려운 것이 문제점으로 지적되고 있다[1,2]. 그러나, 적절한 일함수를 갖는 금속 게이트는 저항이 낮을 뿐만 아니라 CMOS 소자에 사용될 때 문턱전압의 제어가 용이하게 된다.

금속 게이트 물질 중 저항이 낮고 녹는점이 매우 높은 내화성금속(refractory metal)의 하나인 텅스텐(tungsten, W)은 차세대 MOS 소자의 유력한 대체 게

이트 금속으로 일찍부터 연구되어 왔다[3-7]. 텅스텐을 산화막 위에 증착하는 방법은 스퍼터링(sputtering)과 화학기상 증착(CVD) 방식이 가능하다. 스퍼터링에 의한 텅스텐 증착은 산화막과의 접착성은 우수한 반면 증착 과정 동안 산화막(SiO₂)에 손상을 주어 게이트 산화막의 특성을 열화 시킬 수 있다[4,7]. 반면, 화학기상 증착에 의한 텅스텐 성장은 스퍼터링보다 저항이 낮고 균일한 막을 얻을 수 있으나, WF₆와 SiH₄ 가스를 이용하여 산화막에 증착시킬 경우, 산화막 속에 불소(F)의 유입으로 인해 산화막의 누설전류가 크게 증가할 수 있다[8-9]. 이러한 문제점을 해결하기 위하여 TiN을 확산 방지막으로 사용한 W-TiN 복층 게이트가 제안된바[10-11] 있으나 현재까지 TiN의 구조와 증착 조건 변화에 따른 전기적인 특성 변화 연구는 미흡하였다.

본 연구에서는 N₂/Ar의 비율에 변화를 주어 TiN을 스퍼터링법에 의해 증착하고 LPCVD 방식으로 텅스텐(W)을 증착하였다. TiN의 증착시 N₂/Ar의 비율변화 따른 W-TiN 복층막의 구조적 변화 및 W-TiN 복층 게이트 MOS 소자의 전기적인 특성 변화를 살펴보았다. 또한 TiN의 열처리를 600~800°C까지 수행한 후 텅스텐을 증착하여 TiN의 열처리 조건과 질소의 비율 변화에 따른 W-TiN에서 상부 텅스텐의 결정형태를 비교·분석하였다.

2. 본론

물성 분석 및 전기적 분석을 위해 사용된 시료제작은 Si 웨이퍼 위에 금속열처리방식(RTP)을 이용하여

850°C/O₂ 분위기에서 110Å의 열산화막을 성장시키고 850°C/N₂ 분위기에서 80초 동안 POA(Post Oxidation Annealing)를 수행한 후, 그 위에 반응성 스퍼터링법으로 상온, 6 mTorr, 100. W에서 N₂/Ar=1/6, 3/6, 6/6 sccm의 조건에서 500 Å의 TiN 박막을 증착하였다. TiN 박막의 열처리 전후 특성 비교를 위해 산화막 위에 증착된 TiN 박막을 600~800°C까지 100°C 간격으로 RTA(Rapid Thermal Annealing)를 수행하였다. 그리고, 상부막으로 350 °C, 0.7 Torr, WF₆/SiH₄/H₂=5/10/500 sccm 조건에서 2000~3000Å 두께를 갖는 텅스텐을 증착하였다. 증착막의 물리적 분석은 4탐침법에 의한 면저항 측정, XRD에 의한 결정구조 분석을 수행하였다.

W-TiN 복층 게이트가 MOS소자의 게이트로써 사용 가능성 및 호환성을 살펴보기 위하여 MOS 캐패시터를 제작하여 전기적인 특성을 분석하였다. Photolithography 공정 및 습식 식각을 통해 200 um×200 um 크기의 W-TiN 복층 게이트 MOS 캐패시터를 제작하였다. 또한 W-TiN 복층 게이트 소자와 비교·분석하기 위하여 같은 조건의 산화막을 이용한 텅스텐 게이트 MOS 캐패시터를 제작하여 C-V 측정에 의한 문턱전압 및 계면전하밀도(D_{it}) 특성, I-V 측정을 이용한 누설 특성을 비교·분석하였다.

XRD 분석 결과 상부막인 텅스텐의 결정성은 하부 TiN 박막의 열처리 조건보다 질소(N)의 비율에 더 의존하는 것을 확인하였다. 그림 1은 TiN 증착시 N₂/Ar 비율 및 TiN 열처리 온도에 따른 W-TiN의 XRD를 나타낸 것이다.

그림 1(a)는 TiN 증착시 N₂/Ar에 따른 W-TiN의 XRD를 나타낸 것이다. TiN 증착시 질소(N)의 비율을 증가시킨 후 증착된 텅스텐의 결정성은 주 peak인 W(110) peak와 W(211) peak이 강하게 나타났고, W(200) peak도 약하게 관측되었다. 그림 1(b)는 TiN 박막의 열처리를 600~800°C 까지 수행한 후에 증착된 텅스텐의 결정성을 보인 것이다. 주 peak인 W(110) peak는 강하게 나타나고 W(211) peak이 약하게 나타났다. 이들 결과를 통해 TiN 증착시 질소의 비율을 증가시킨 후 텅스텐을 증착하면 TiN을 열처리한 후 텅스텐을 증착시키는 경우보다 비교적 다결정 형태의 텅스텐이 성장되는 것을 알 수 있다. 이는 질소의 비율이 증가하게 되면 TiN 박막이 N-과다형으로 성장이 되면서 결정성이 더 강해지고[12], 상부 텅스텐 박막의 결정성도 하부 TiN 박막의 결정성에 영향을 받기 때문이다.

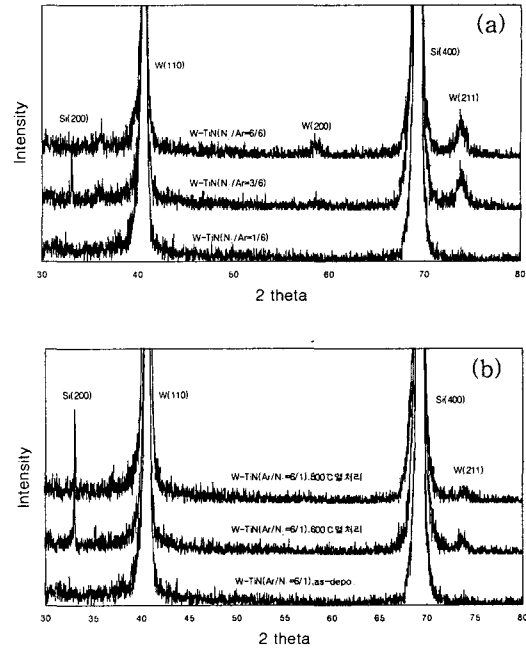


그림 1. W-TiN 복층 박막의 XRD : (a) TiN 증착시 N₂/Ar 비율에 따른 열처리된 W-TiN 복층 박막의 XRD, (b) TiN 박막의 열처리 온도에 따른 W-TiN 복층 박막의 XRD (TiN 증착 조건 : N₂/Ar=1/6)

그림 2는 TiN 및 W-TiN의 TiN 증착시 N₂/Ar 비율 변화에 따른 비저항의 변화를 나타낸 것이다. TiN의 경우 질소 비율이 증가하면 비저항 또한 증가하는 경향을 보였다.

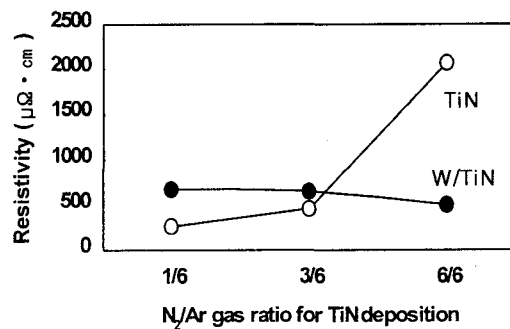


그림 2. W-TiN 및 TiN의 비저항 변화

W-TiN 복층 박막은 질소의 비율과 비저항이 반비례하는 경향을 보이고 있는데, 이를 앞선 XRD 결과와

비교하면, 질소의 비율 증가에 따라 텅스텐이 비교적 다결정 형태로 성장되기 때문에 비저항 또한 감소하는 것으로 볼 수 있다. 비저항이 비교적 높는데, 이는 W-TiN 복층 박막을 열처리 하지 않았기 때문이다.

HF(High Frequency) C-V 측정을 통해 문턱전압 (Threshold voltage)을 산출한 결과를 그림 3에 나타내었다. 질소의 비율 증가에 따라서 문턱 전압이 양의 방향으로 이동하였다. 순수 텅스텐 게이트는 -0.7~-0.5V 정도의 문턱전압을 가진 반면, TiN 증착시 $N_2/Ar=1/6$ 의 경우 -0.5~-0.35V의 문턱 전압을 나타내었고, $N_2/Ar=3/6$ 은 -0.35~-0.1V, 6/6은 -0.2~0V의 문턱 전압을 보였다. 이는 TiN 증착시 질소의 비율 증가가 W-TiN 복층 게이트의 일함수를 증가시킨 것으로 사료된다.

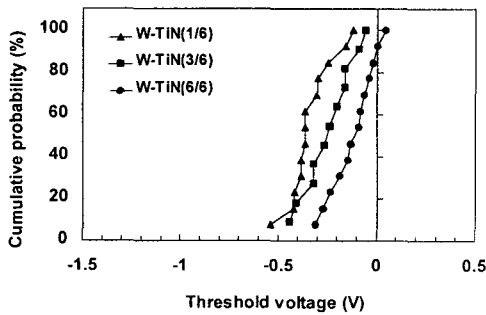


그림 3. W-TiN 복층 게이트 MOSC의 문턱전압 변화

그림 4는 HF 및 QS(Quasi-Static) C-V 측정을 통해 산출한 계면전하밀도이다. 질소의 유량에 따른 차이는 거의 없는 것을 알 수 있다. 순수 텅스텐 게이트의 경우 계면전하밀도를 산출할 수 없었는데, 이는 불

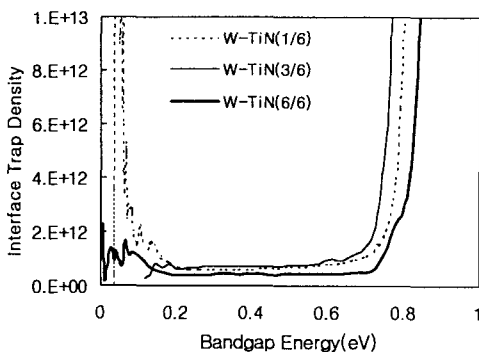


그림 4. TiN 증착시 N_2/Ar 비율에 따른 계면전하밀도

소가 산화막내로 유입되었기 때문으로 이러한 결과와 비교하여 보면, TiN이 불소의 확산을 차단하였음을 알 수 있다. 그러나 스퍼터에 의한 TiN의 증착은 게이트 산화막의 열화를 가져오기 때문에 절대적인 계면전하 밀도는 비교적 높는데, 이는 고온의 열처리를 거치게 되면 상당부분 개선되어질 것으로 사료된다.

질소의 비율에 따른 W-TiN 복층 게이트의 누설 특성을 조사하기 위해 I-V 측정을 수행하였다. 그림 5는 질소의 비율에 따른 W-TiN 복층 게이트와 순수 텅스텐 게이트의 누설 특성을 비교한 것이다. W-TiN 복층 게이트의 경우 질소의 비율과는 무관하게 -8~-9MV의 항복 전압에서 전형적인 FNT(Fowler Nordheim Tunneling) 곡선의 형태를 보이나, 순수 텅스텐 게이트는 초기 저전계 누설이 현저한 것을 알 수 있다. W-TiN 복층 게이트와 순수 텅스텐 게이트의 누설 전류 차이는 약 2계수 정도이고, 앞선 계면전하밀도와 비교하였을 때 TiN이 불소의 확산 방지막으로써 산화막내로 불소의 유입을 차단하였음을 확인할 수 있다. 문턱전압 특성과 종합해보면 질소의 비율 증가는 일함수의 증가를 가져오지만 산화막에는 별다른 영향을 주지 않는 것으로 나타났다.

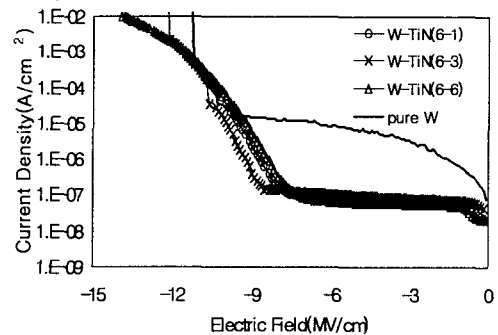


그림 5. W-TiN 복층 게이트와 순수 텅스텐 게이트의 누설 전류 특성 비교

3. 결론

W-TiN 복층 게이트에서 텅스텐의 결정성장 및 문턱전압 특성은 TiN의 열처리 조건 보다 TiN 증착시 N_2/Ar 의 비율에 민감하게 변화하였다. 질소의 유량이 증가할수록 다결정 형태의 텅스텐이 성장되었고, W-TiN 복층의 비저항은 감소하였으며, 문턱전압은 양의 방향으로 이동하였다. 그러나 누설 전류 특성은 질소의 비율과는 무관하게 우수하였다. 향후 TiN 증착시 질소의 비율을 조절함으로써 누설 특성에는 영향을 주

지 않고 문턱전압을 제어할 수 있으며 불소의 확산을 차단할 수 있는 저저항의 W-TiN 복층 게이트 MOS 소자의 제작이 가능 할 것이다.

참고문헌

- [1] B. Yu, D. H. Ju, W. C. Lee, N. Kepler, T. J. King, C. Hu, "Gate Engineering for Deep-Submicron CMOS Transistors", *IEEE Trans. Electron Devices*, Vol. ED-45, pp.1253-1262, 1998
- [2] T. S. Chao, C. H. Chu, C. F. Wang, K. J. Ito, T. F. Lei, C. L. Lee, "Suppression of Boron Penetration in BF_3 ", *Jpn. J. Appl. Phys.*, vol.35, pp.6003-6007, 1997
- [3] C. Y. Ting and B. Davari, "Gate material consideration for submicron CMOS", *Applied Surface Science*, 38, pp.416-428, 1989
- [4] N. Kobayashi, S. Iwata, N. Yamamoto and N. Hara, "Highly reliable tungsten gate technology", *Materials Research Society*, pp.159-167, 1987
- [5] N. Kobayashi, S. Iwata, N. Yamamoto, T. Mizutani and K. Yagi, "Tungsten gate technology using wet hydrogen oxidation", *IEDM 84*, pp.122-125, 1984
- [6] B. Davari, C.Y. Ting, K. Y. Ahn, S. Basavaiah, C. K. Hu, Y. Taur, M. R. Wordeman, O. Aboelfotoh, L. Krusin-Elbaum, R. V. Joshi and M. R. Polcari, "Submicron tungsten gate MOSFET with 10nm gate oxide", *Symposium on VLSI Technology*, pp.61-62, 1987
- [7] M. Wong and Krishina C. Sarawat, "Direct tungsten on silicon dioxide formed by RF plasma-enhanced chemical vapor deposition", *IEEE Electron Device Letters*, vol.9, pp.582-584, 1988
- [8] J. H. Sone, S. O. Kim, K. J. Kim, H. S. Kim, H. J. Kim, "Formation of low pressure chemically vapour deposited W thin film on silicon dioxide for gate electrode application", *Thin Solid Films*, 253, pp.377-381, 1994
- [9] K. Kim, J. H. Sone, S. -O. Park, J. S. Park and H. J. Kim, "Deposition mechanism and electrical properties of low pressure chemically vapor deposited W as a gate electrode", *J. Vac. Sci. Technol.*, A14(3), pp.919-923, 1996
- [10] H. Wakabayashi, Y. Saito, K. Takeuchi, T. Mogami, T. Kunio, "A Novel W/TiN_x Metal Gate CMOS Technology using Nitrogen-Concentration-Controlled TiN_x Film", *'99 IEDM Tech. Dig.*, pp.253-256, 1999
- [11] K. Nakajima, Y. Akasaka, M. Kaneko, M. Tamaoki, Y. Yamada, T. Shimizu, Y. Ozawa, K. Suguro, "Work Function Controlled Metal Gate Electrode on Ultrathin Gate Insulators", *Symposium on VLSI Technology*, pp.95-96, 1999
- [12] C. Choi, M. Kang, H. Park, B. Ryum, K. Suh, J. Lee, K. Kim, J. Lee, "Process technology and the formation of the TiN barrier metal by physical vapor deposition", *J. Korean Vac. Sci.*, Vol. 6, pp.255-262, 1997