

스트레스 인가에 의한 다결정 실리콘 박막 트랜지스터의 열화 특성

백 도현, 이용재
동의대학교 전자공학과
051-890-1938/051-890-1674

Degradation of Polycrystalline Silicon Thin Film Transistor by Inducing Stress

Do-Hyun Baek, Yong-Jae Lee
Department of Electronic Engineering Dong-Eui University
E-mail : baekdo@hyomin.dongueui.ac.kr

Abstract

N-channel poly-Si TFT, processed by Solid Phase Crystalline(SPC) on a glass substrate, has been investigated by measuring its electrical properties before and after electrical stressing. It is observed that the threshold voltage shift due to electrical stress varies with various stress conditions. Threshold voltages measured in $1.5\mu\text{m}$ and $3\mu\text{m}$ poly-Si TFTs are 3.3V, 3.7V respectively. With the threshold voltage shift, the degradation of transconductance(G_m) and subthreshold swing(S) is also observed.

Key Words : Polycrystalline, SPC, TFT, Stress, Kink, Degradation

서론

다결정 실리콘 박막 트랜지스터(Polycrystalline Silicon Thin Film Transistors, 이하 Poly-Si TFT's)는 미래의 액티브 매트릭스 액정 디스플레이(AMLCD)에 대하여 중요한 기술로 도래되고 있다. 실제로, 최근의 다결정 실리콘 공정의 발전에 기인하여 소자 기능

은 실질적으로 향상되어지고 있고, AMLCD를 포함한 드라이브 주변회로의 집적가능성을 나타낸다. 현재 대부분의 TFT-LCD(Liquid Crystal Display) 양산에 사용되는 비정질 실리콘 TFT(a-Si:H TFT)는 일반적으로 아주 낮은 누설전류와 작은 동작 전류를 갖는데, 화소 메모리 내의 데이터를 디스플레이 물질이 반응하기 위한 충분히 긴 시간동안 유지하는데 필요한 작은 누설전류와 적절한 동작 전류를 갖도록 크기를 조절할 수 있기 때문에, 매트릭스 디스플레이에서 잘 동작할 수 있다. 그러나, 액정 디스플레이의 면적이 점차 대형화되어 가면서 여러 가지 문제점이 생기기 시작하였다. 비정질 실리콘의 전계 효과 이동도(Field effect mobility)가 $1\text{cm}^2/\text{V}\cdot\text{sec}$ 이하로 낮기 때문에 $20\text{cm}^2/\text{V}\cdot\text{sec}$ 이상의 전계 효과 이동도가 필요한 구동회로의 소자로 쓰일 수 없다.^[1] 이는 Poly-Si TFT가 비정질 실리콘 박막 트랜지스터에 비하여 전계 효과 이동도가 커서 주변 회로 일체형 LCD 제작에 적합하기 때문이다. 따라서 구동 IC 값만큼 저가격화를 이룰 수 있기 때문에 차세대 디스플레이로서 큰 기대가 모아지고 있다. 그러나, Poly-Si TFT는 게이트 전압과 드레인 전압이 증가함에 따라 큰 누설 전류를 가지고 있어, TFT가 픽셀의 스위칭 소자로 사용될 경우 픽셀에 저장된 데이터가 새어나가게 되어 디스플레이의 질을 저하시키고 저장 시간을 제한하게 된다. 이에 누설전류를 최소화하도록 소자의 구조적 개선과 공정 개발이 요구된다. 또한, Poly-Si TFT를 포함한 구동회로에 공

급되는 전압은 상대적으로 높기 때문에 소자는 높은 전계에서 동작하므로 핫 캐리어 영향을 받게된다. 오랫동안 소스와 드레인에 높은 전압을 인가한 Poly-Si TFT는 소자 특성이 열화되고, 이 열화는 Hot-Carrier 효과에 주된 것이다. 그러므로 그 물리적 원인을 정확히 이해할 필요가 있다.

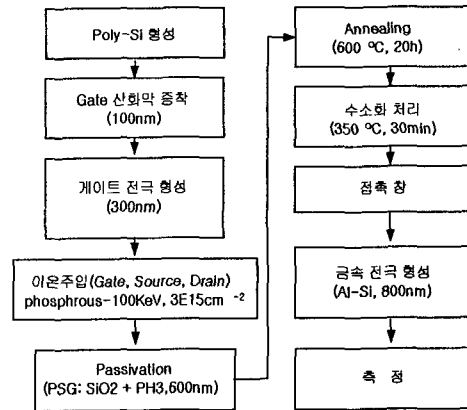
본 논문에서는 비정질 실리콘 박막을 증착한 후 저온($\leq 600^\circ\text{C}$)에서 열처리하여 결정화 시키는 고상결정화 방법(Solid Phase Crystallization, 이하 SPC)으로 채널길이 $1.5\mu\text{m}$ 와 $3\mu\text{m}$ 를 가지는 n-채널 Poly-Si TFT's를 제작하여 채널 길이와 외부 스트레스에 따른 특성을 측정하였고, 이 결과로부터 핫 캐리어, Kink 효과, 스트레스 인가에 전류-전압특성과 G_m 및 문턱전압 변화 원인등을 분석하려 한다.

소자 제작

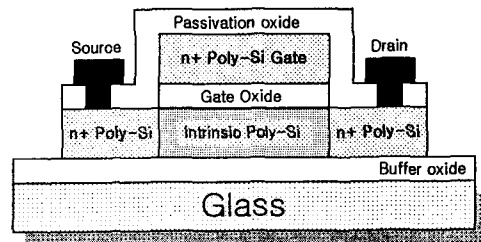
그림 1은 유리기판에 저온 공정 기술($\leq 600^\circ\text{C}$)로 poly-Si TFT를 제작하기 위한 소자제작 공정 순서와 Poly-Si TFT의 단면도이다. 먼저 산화막의 기초산화막을 APCVD(Atmospheric Pressure Chemical Deposition) 법으로 유리기판 위에 증착한 다음, 1000 \AA 의 채널 박막은 450°C 에서 Si_2H_6 를 이용하여 LPCVD(Low Pressure CVD)방법으로 증착하였다. 이 채널 막은 450°C 에서 비정질 상태로 증착되기 때문에 600°C 의 N_2 분위기에서 10h동안 어닐링하였다. 어닐링 후에 채널 막이 $1\mu\text{m}$ 의 평균 그레인 크기를 가지고 채널 두께에 걸쳐 완전히 결정화되었음을 TEM 관측으로 확인하였다. 게이트 $\text{SiO}_2(1000\text{ \AA})$ 와 게이트 폴리실리콘막(1000 \AA)은 550°C 에서 각각 LPCVD로 증착하였다. 게이트 패틴을 형성한 후에 소스와 드레인, 게이트를 형성하기 위하여 100 KeV 의 에너지로 $5 \times 10^{15}\text{ cm}^{-2}$ 의 인을 이온 주입하였다. 보호막 PSG(Phosphorus silicate glass)을 증착한 후에 앞에서 주입된 이온을 여기시키기 위해서 600°C , N_2 분위기에서 열적 어닐링을 행하였다. 전극을 형성하기 위한 접착층을 사진 식각으로 열어 알루미늄을 증착하였다. 특히, 알루미늄을 증착하기 전에 전극의 접착저항을 줄이기 위해 텅스텐 실리사이드 (WSi_2)를 형성하였다. 또한, 소자 성능을 향상시키기 위하여 접착층을 열기 전에 순수한 수소 플라즈마($1.3\text{W}/\text{cm}^2$)에서 350°C , 30분간 수소화 공정을 행하였다. 제작된 poly-Si TFT의 구조는 Top 게이트 형태의 구조이며, 측정된 소자의 채널 폭은 $5\mu\text{m}$ 이고 채널 길이의 범위는 $1.5\mu\text{m} \sim 50\mu\text{m}$ 이다.

위의 공정순서를 거쳐 제작된 Poly-Si TFT의 전기적 특성들- 채널 길이에 따른 전달특성, 스트레스에 따른 전달특성, 임계전압, 문턱전압아래(Subthreshold

Swing)을 측정하였다.



(a) 소자 제작 공정 순서



(b) 폴리 실리콘 TFT 단면도

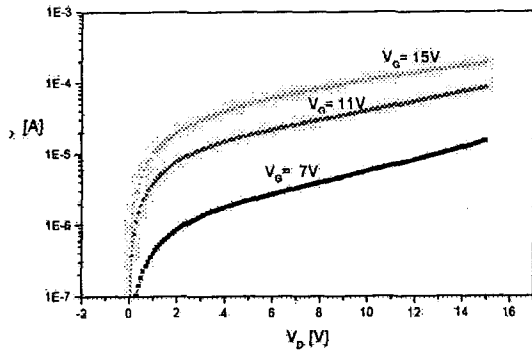
그림1. 제작 공정 순서 및 단면도

Fig. 1 Poly-Si TFT's Process Sequence and Cross Section

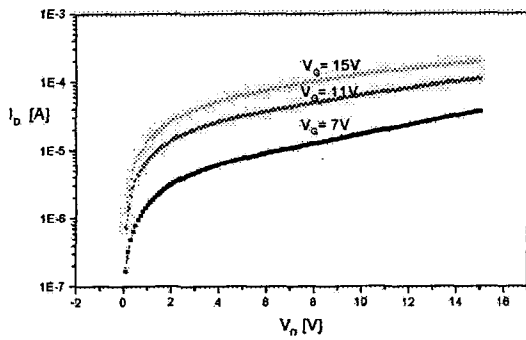
실험 및 결과 고찰

$1.5\mu\text{m}$ 와 $3.0\mu\text{m}$ 폴리 실리콘 TFT's의 출력 특성이 그림 2에 나타나있다. 포화되기 전 드레인 전류(I_d)의 경사는 선형적인 것은 소스와 드레인의 접촉이 저항성분이 낮은 N+ Poly-Si로 인하여 저항성 접촉을 나타내고 있지만, ON 상태에서 채널길이 작아짐에 따라 드레인 전계의 증가에 의하여 드레인 전류(I_d)가 증가함을 볼 수 있다. 출력특성이 포화영역에서 증가되는 경향을 볼 수 있는데 이를 소위 Kink 효과라고 언급되며, 이 영향은 Silicon-On-Insulator(SOI)와 유사한 구조에서 볼 수 있다. 이 이론은 짧은 채널 길에서 Avalanche 유도 기생 바이폴라 효과이다.^[2] 이 모델은 TFT의 부유 기판 구조에 기인한 것으로 SOI(Silicon-On-Insulator)에서 나타나는 항복현상을 두 소자가 모두 부유 기판이라는 공통점으로 폴리 실리콘 TFT's 적용된 것이다.^[3] 이 Kink 효과의 동작원리는 드레인의 높은 전계가 드레인의 Pinch-Off 영역에 충

격이온화가 생기고 이에 의해 생성된 소수캐리어가 기판을 경유하여 소스쪽으로 빠져 나가다가 그 생성율이 높아지면 소스 근처에 쌓이게 된다. 이 쌓인 소수 캐리어는 기판 전위를 올리게 되어 문턱전압을 감소시켜서 드레인 전류를 증가시킨다.

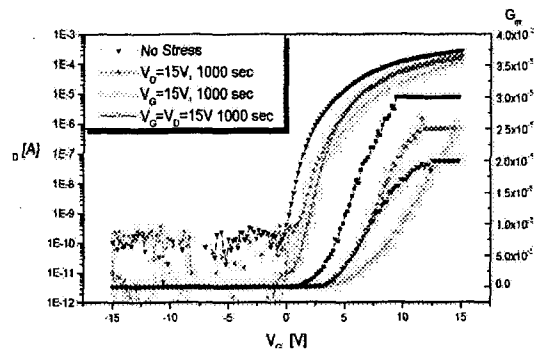


(a) 1.5μm n-channel Poly-Si TFT's 출력특성



(b) 3.0μm n-channel Poly-Si TFT's 출력특성
 그림2. 폴리 실리콘 TFT's의 출력특성
 Fig.2 Output characteristics of Poly-Si TFT's

현상을 볼 수 있다. SPC공정으로 제작된 소자에 스트레스를 인가한 후의 누설전류현상을 발표한 보고서들에 의하면, 스트레스에 대해 효과적인 조사를 위해서는 스트레스의 변화를 다양화 해야 한다. 이를 위해 드레인에 전압을 인가하지 않고 게이트에만 15V 전압을 인가했을 경우와 게이트와 드레인에 동시에 15V의 스트레스 전압을 인가하였을 때, 그림3에 나타난 바와 같은 두 채널(1.5μm, 3μm)모두 누설전류 감소 현상이 나타났다. 이는 게이트 산화막에서 발생한 캐리어들이 누설전류를 감소 시키고, 게이트 산화막 부근에 바이어스가 인가된 지역에 대부분의 캐리어들이 트랩되는 것을 말한다.^[4]



(a) 1.5μm n-채널 전달특성과 전달전도도

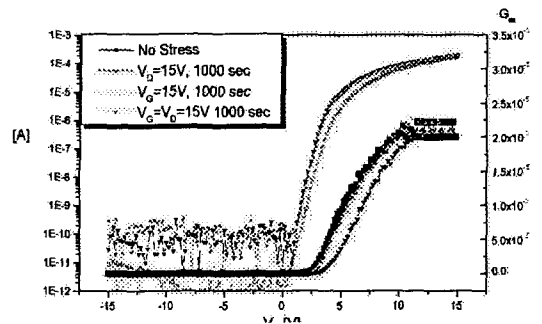


그림 3. 1000초 동안에 ...

은 3.3V이고, 3.0 μm 에서는 3.7V로 나타났다. 하지만, 스트레스를 인가한 후의 각 소자의 임계전압은 각각 5.2V와 3.9V로 나타났다. 특히 채널길이가 1.5 μm 인 소자에서 스트레스를 게이트에 15V전압을 인가한 후의 임계전압은 특성이 아주 나빠졌다. 이는 게이트 산화막의 나트륨과 같은 mobile ion의 영향과 수소화 처리 Poly-Si TFT's의 열화로 설명이 된다.^[5]

결론

유리기판위에 고상결정화 방법으로 제작된 다결정 박막 트랜지스터의 전기적 특성에 대하여 조사하였다. Kink 영향은 드레인의 채널끝부분에서 발생되고, 충격 이온화가 주된 영향을 미친다. 지속적으로 스트레스가 인가된 Kink 지역에서 다결정 박막 트랜지스터의 전기적 특성의 열화는 드레인 근처의 계면상태의 발생으로 관제되어 진다.

지금까지의 실험 및 결과로 고찰해 볼 때, 민감한 h₀₁ 핫 캐리어가 열화를 야기 시키기 때문에, 다결정 실리콘 박막 트랜지스터에 기초한 아날로그나 디지털 회로는 동작영역을 Kink 지역을 동작영역에서 피해야한다. 이러한 문제점을 감소시키기 위해서는 드레인 전계를 감소시키는 방법인 LDD 구조 또는 Drain Offset 구조가 수반되어야 한다.

참고 문헌

- [1]. L. Mariucci "Determination of hot-carrier induced interface state density in polycrystalline silicon thin-film transistors", Journal of Applied Physics, pp2341,1998
- [2] Y.Z. Wang', O.O. Awadelkarim, etal, "The Effect of substrates on the characteristics of polycrystalline silicon thin film transistors" Solid-state electronics Vol. 42 No.9 pp 1689-1696
- [3] Marina Valdinoci, Luigi Colaongo etal, "Floating Body Effects in Polysilicon Thin-Film Transistors" IEEE Transactions on Electron Devices, Vol 44. No. 12
- [4] Tae-Hyung Ihn, etal Electrical Stress Effect on Poly-Si Thin Film Transistors Fabricated by Metal Induced Lateral Crystallization Jpn. J. Appl. Phys. Vol. 36,pp.5029-5032,1997
- [5] Yong-sang kim, etal Degradation Due to Electrical Stress of Poly-Si Thin Film Transistors with Various LDD Lengths, IEEE Electron Device Letters, Vol16, 1995

- [6] B. Tala-Ihbil, etal Gate bias stress in hydrogenated and unhydrogenated polysilicon thin film transistors, Microelectronics Reliability 38,pp.1149-1153,1998