

저전력 및 효율적인 면적을 갖는 PRML Read Channel 용 FIR 필터

조병각, 강진용, 선우명훈
아주대학교 전자공학부

A Low Power and Area Efficient FIR filter for PRML Read Channels

Byung-Gak Jo, Jin-Yong Kang and Myung-Hoon Sunwoo
School of Electronics Engineering, Ajou University
E-mail : sunwoo@madang.ajou.ac.kr

요약

본 논문에서는 효율적인 면적의 저전력 FIR 필터를 제안한다. 제안된 필터는 6 비트 8 탭의 구조를 갖는 PRML (Partial-Response Maximum Likelihood) 디스크 드라이브 read channel 용 FIR 필터이다. 제안된 구조는 병렬연산 구조를 채택하고 있으며 네 단의 파이프라인 구조를 가지고 있다. 곱셈을 위하여 부스 알고리즘이 사용되며 압축기를 이용하여 덧셈을 수행한다. 저전력을 위해 CMOS 패스 트랜지스터를 사용하였으며 면적을 줄이기 위해 single-rail 로직을 사용하였다. 제안된 구조를 0.65 μ m CMOS 공정을 이용하여 설계하였으며 1.88 × 1.38mm²의 면적을 차지하였고 HSPICE 시뮬레이션 결과 3.3V의 공급전압에서 100MHz로 동작시 120mW의 전력을 소모한다. 제안된 구조는 기존의 구조들에 비해 약 11%의 전력이 감소했으며 약 33%의 면적이 감소하였다.

1. 서론

본 논문에서 제안한 FIR 필터는 하드 디스크 드라이브 PRML read 채널 IC의 핵심 기능부이다[1-5]. FIR 필터는 read 채널 IC의 적응 등화기 (adaptive equalizer)에 사용되며 등화기 내에서 대부분의 면적과 전력을 소모한다[5]. 본 논문은 필터의 전력 소모와 면적의 최소화를 목표로 한다.

제안된 구조는 네 단의 파이프라인 구조를 가지며 부스 알고리즘과 압축기를 사용한 병렬 연산 구조를 갖는다. 전력 소모의 최소화를 위해 CMOS 패스 트랜지스터 로직이 사용되며 면적의 최소화를 위해 single-rail 로직이 사용된다. 제안된 필터는 0.65 μ m CMOS 공

본 연구는 반도체설계교육센터 (IDEC)로부터의 부분적인 지원을 받아 이루어 졌음.

정기술을 이용하여 설계하였다.

2 장에서는 제안된 필터의 구조에 대해 설명하고 3 장에서는 구현 및 시뮬레이션 결과에 대해 기술한다. 마지막으로, 4 장에서 결론을 맺는다.

2. 제안된 FIR 필터의 구조

그림 1에 제안된 필터의 구조를 나타냈다. 제안된 필터는 PRML read 채널 적응 등화기에서 일반적으로 사용되는 6 비트 신호체계를 사용한다[5]. 8 탭으로 구성되며 6 비트 계수와 15 비트의 출력을 갖는다.

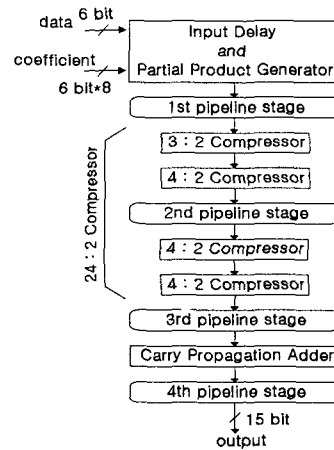


그림 1. 제안된 FIR 필터의 구조.

입력 데이터와 계수의 곱셈을 위하여 부분곱

생성기 (Partial Product Generator)가 사용된다. 부분곱 생성기는 부스 알고리즘을 사용하며 하나의 탭에서 6 비트 데이터와 6 비트 계수의 곱의 결과로 3 행의 결과를 출력한다. 따라서, 모든 8 탭으로부터 24 행의 부분곱이 출력된다. 24 : 2 압축기와 캐리 전달 덧셈기 (Carry Propagation Adder)가 24 행의 부분곱들을 더하기 위해 사용된다. 24 : 2 압축기는 24 행의 부분곱을 더하여 2 행으로 만들며 3 : 2 압축기 한 단과 4 : 2 압축기 세 단으로 구성된다. 마지막으로, 캐리 전달 덧셈기가 24 : 2 압축기에서 출력된 2 행의 결과를 더하여 출력한다. 파이프라인 레지스터는 4 단으로 구성되며 파이프라인 단 사이의 블록들의 최대 지연 경로를 고려하여 파이프라인 레지스터를 삽입하였다.

2.1 입력 지연단 및 부분곱 생성기

그림 2는 입력 지연단과 부분곱 생성기를 나타낸다. 부분곱 생성기는 부스 알고리즘을 사용한다[6-8]. 따라서, 부분곱 생성기는 6 비트 데이터와 6 비트 계수의 곱셈의 결과로 3 행의 부분곱을 출력한다. 필터가 모두 8 탭으로 구성되므로 8 개의 부분곱 생성기가 사용되고 모든 8 탭으로부터 24 행의 결과가 출력된다.

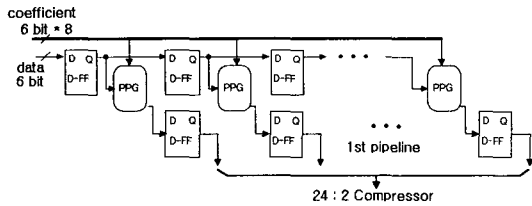


그림 2. 입력 지연단 및 부분곱 생성기.

3 행의 부분곱 중 첫 번째 행은 4 가지 경우의 부스 부호화만을 갖는다. 첫 번째 행의 부스 부호화는 부분곱 생성기 로직의 단순화와 지연의 감소를 위하여 수정된 부스 부호화를 사용하였다. 표 1은 첫 번째 행의 수정된 부스 부호화를 나타내며 그림 3은 이에 해당하는 부분곱 생성기 로직을 나타낸다.

표 1. 첫 번째 행의 부스 부호화

Y1	Y0		PP (Partial Product)
0	0	CLR	0X
0	1	ONE	+1X
1	0	NT	-2X
1	1	NO	-1X

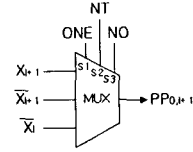


그림 3. 첫 번째 행의 부분곱 생성기 로직.

두 번째 행과 세 번째 행의 경우 일반적인 부스 부호화를 사용하며 이를 표 2에 나타내었다. 그림 4는 두 번째 행과 세 번째 행의 부분곱 생성기 로직을 보여 준다. 첫 번째 행의 부분곱 생성기는 최대 지연 경로로 1 단의 MUX 지연 경로를 가지며 두 번째 행과 세 번째 행의 부분곱 생성기는 2 단의 MUX 지연 경로를 가진다.

표 2. 두 번째 행, 세 번째 행의 부스 부호화

Y2i+1	Y2i	Y2i-1	ONE	TWO	NEG	PP
0	0	0	0	0	0	0X
0	0	1	1	0	0	+1X
0	1	0	1	0	0	+1X
0	1	1	0	1	0	+2X
1	0	0	0	1	1	-2X
1	0	1	1	0	1	-1X
1	1	0	1	0	1	-1X
1	1	1	0	0	0	0X

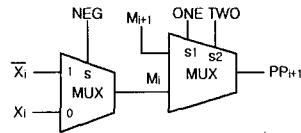


그림 4. 두 번째 행, 세 번째 행의 부분곱 생성기 로직.

2.2 24 : 2 압축기

24 : 2 압축기는 8 개의 부분곱 생성기로부터 출력된 24 행의 부분곱을 더하여 2 행의 결과를 출력한다. 24 : 2 압축기는 3 : 2 압축기 한 단과 4 : 2 압축기 세 단으로 구성된다. 압축기는 CSA (Carry Save Adder) 구조를 가지며, 이는 캐리 전달에 의한 지연을 없애기 위한 구조이다[6-8].

각각의 3 : 2 압축기는 각각의 부분곱 생성기로

부터의 3 행의 결과를 더하여 2 행으로 만든다. 부분곱 생성기로부터 3 : 2 압축기로 부분곱이 입력될 때 확장 부호 비트 (sign bit extension) 제거 알고리즘이 사용된다 [7]. 모든 24 행의 부분곱은 3 : 2 압축기들에 의해 16 행으로 만들어진다. 4 : 2 압축기는 4 행을 더하여 2 행으로 만들며 총 세 단의 4 : 2 압축기가 16 행을 2 행으로 만든다. 3 : 2 압축기와 4 : 2 압축기는 최대 지연 경로로 3 단의 MUX 지연 경로를 갖는다. 그림 5는 3 : 2 압축기와 4 : 2 압축기의 구조를 나타낸다.

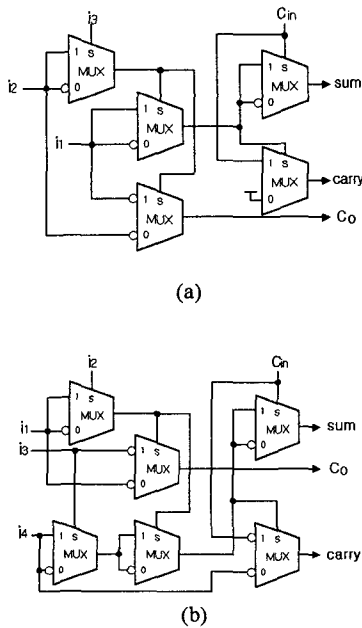


그림 5. 압축기 구조. (a) 3 : 2 압축기의 구조.
(b) 4 : 2 압축기의 구조.

2.3 캐리 전달 덧셈기

캐리 전달 덧셈기는 그림 6에 보여지는 바와 같이 4 비트 conditional sum 덧셈기 블록으로 구성되며 carry-select 방식을 사용한다[9]. 총 13 비트의 덧셈을 수행하며 마지막 블록의 경우 1 비트의 덧셈만을 수행한다. 두 번째 블록과 세 번째 블록은 캐리 입력이 “0”일 때의 결과와 캐리 입력이 “1”일 때의 결과 중 하나를 선택하는 일반적인 carry-select 방식을 사용한다. 마지막 블록의 경우 세 번째 블록의 C_0 과 C_1 출력 그리고 두 번째 블록의 캐리 출력을 이용한다. C_0 과 C_1 은 두 번째 블록의 캐리 출력이 “0”일 때와 “1”일 때의 세 번째 블록의 캐리 출력에 해당한다. 이와 같이, 세 번째 블록의 C_0 과 C_1 , 두 번째 블록의 캐리 출력을 이용하

면 최대 지연 경로를 MUX 5 단으로 구현할 수 있다.

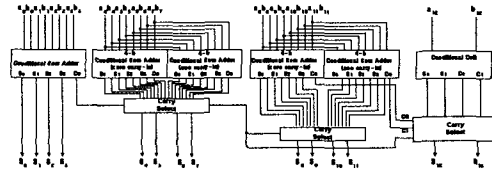


그림 6. 캐리 전달 덧셈기의 구조.

2.4 패스 트랜지스터 로직

최근 많은 고속 저전력 트랜지스터 로직들이 연구되고 있다[10, 11]. 이 중 고속 덧셈기의 구현에 적합한 CPL (Complementary Pass-transistor Logic)과 적은 트랜지스터 수를 갖는 PPL (Push-pull Pass-transistor Logic) 등이 많이 사용되고 있다[10]. 그러나 CPL과 PPL은 double-rail 로직의 구조를 가지므로 배선에 의한 면적의 소모가 매우 크다. 본 논문에서는 필터의 면적 감소를 위하여 single-rail 로직을 사용하였다.

CMOS 패스 트랜지스터 로직은 [10]의 실험 결과에서 다른 패스 트랜지스터 로직들에 비해 적은 전력을 소모하는 것으로 나타났다. 본 논문에서는 저전력과 면적 감소를 위하여 single-rail 로직의 구조를 갖는 CMOS 패스 트랜지스터 로직을 채택하였다.

3. 구현 및 시뮬레이션 결과

제안된 필터는 Cadence™ CAD 툴을 이용하여 0.65 μ m CMOS full-custom 공정으로 구현하였다. 시뮬레이션은 HSPICE™를 이용하여 수행하였으며 그림 7에 시뮬레이션 파형을 나타냈다.

구현한 필터는 1.88 × 1.38mm²의 면적을 차지하였으며 100MHz, 3.3V의 공급 전압에서 120mW의 전력을 소모하였다. 표 3에 기존의 필터 구조와의 성능 비교를 나타냈다. 제안된 필터는 [1]에 비해 약 11%, [2]에 비해 약 32%의 전력 소모가 감소하였다. 같은 0.65 μ m 공정을 적용시 [3]에 비해 약 73%, [4]에 비해 약 33%의 면적이 감소하였다.

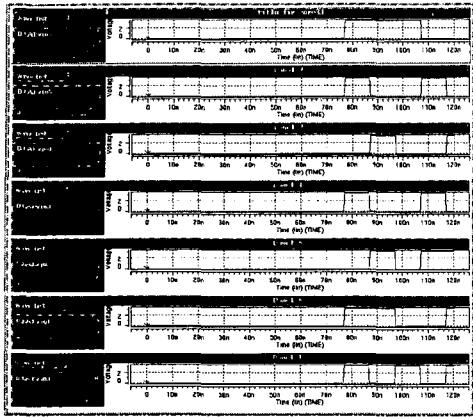


그림 7. HSPICE™ 시뮬레이션 파형.

표 3. 기존 구조와의 성능 비교

Paper	Technology	Area	Pdiss	MW/MHz
This work	0.65 μ m	2.59 mm ²	120mW (100MHz)	1.2mW/MHz
[1]	0.5 μ m	1.8 mm ²	340mW (250MHz)	1.36mW/MHz
[2]	0.8 μ m	2.9 mm ²	426mW (240MHz)	1.775mW/MHz
[3]	0.8 μ m	14.69 mm ²	122mW (100MHz)	1.22mW/MHz
[4]	0.8 μ m	5.85 mm ²	140mW (100MHz)	1.4mW/MHz

[3]의 면적은 4 개의 테스트 블록이 포함된 구조임.

4. 결론

제안된 구조는 부스 알고리즘과 압축기를 사용한 병렬 연산 구조를 가지며 네 단의 파이프라인 구조를 갖는다. 전력 소모의 최소화를 위해 CMOS 패스트랜지스터 로직이 사용되며 면적의 최소화를 위해 single-rail 로직이 사용되었다.

제안된 필터는 100MHz, 3.3V 공급 전압에서 120mW의 전력을 소모하였으며 1.88 × 1.38 mm²의 면적을 차지하였다. 기존의 구조들에 비해 약 11%의 전력 소모가 감소하였고 약 33%의 면적이 감소하였다. 제안된 필터는 하드 디스크 드라이브 read 채널용 IC와 FIR 필터가 사용되는 시스템의 성능 개선에 기여할 것이다.

참고 문헌

- [1] D. J. Pearson *et al.*, "Digital FIR Filters for High Speed PRML Disk Read Channels," *IEEE J. Solid-State Circuits*, vol. 30, no. 12, pp. 1517-1522, Dec. 1995.
- [2] L. Thon *et al.*, "A 240 MHz 8-tap digital FIR filter for disk-drive read-channels," *IEEE ISSCC Dig. Tech. Papers*, pp. 82-83, Feb. 1995.
- [3] Woo Hyun Paik and Soo Won Kim, "A New Pipeline Architecture for Low Power Digital FIR Filters," *3rd MPW*, pp. 30-34, May 1998.
- [4] Hoon Jae Ki *et al.*, "A low power 8-Tap digital FIR filter for PRML read channels," *International Journal of Electronics*, vol. 87, no. 4, pp. 445-455, April 2000.
- [5] Caesar S. H. Wong *et al.*, "A 50 MHz Eight-Tap Adaptive Equalizer for Partial-Response Channels," *IEEE J. Solid-State Circuits*, vol. 30, no. 3, pp. 228-233, Mar. 1995.
- [6] Gensuke Goto *et al.*, "A 4.1-ns Compact 54× 54-b Multiplier Utilizing Sign-Select Booth Encoders," *IEEE J. Solid-State Circuits*, vol. 32, no. 11, pp. 1676-1681, Nov. 1997.
- [7] Jun Rim Choi *et al.*, "Structured Design of a 288-Tap FIR Filter by Optimized Partial Product Tree Compression," *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 468-475, Mar. 1997.
- [8] N. Ohkubo *et al.*, "A 4.4 ns CMOS 54 x 54-b Multiplier Using Pass-Transistor Multiplexer," *IEEE J. Solid-State Circuits*, vol. 30, no. 3, pp. 251-256, Mar. 1995.
- [9] Neil H. E. Weste and Kamran Eshraghian, *Principles of CMOS VLSI Design*, Addison Wesley, 1993.
- [10] R. Zimmermann and W. Fichtner, "Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic," *IEEE J. Solid-State Circuits*, vol. 32, no. 7, pp. 1079-1090, July 1997.
- [11] M. Suzuki *et al.*, "A 1.5-ns 32-b CMOS ALU in Double Pass-Transistor Logic," *IEEE J. Solid-State Circuits*, vol. 28, no. 11, pp. 1145-1150, Nov. 1993.