

5" FED True Color 구동시스템 설계

신 홍 재(愼 弘 粹), 최 창 운(崔 創 云), 김 진(金 鎭), 최 정 옥(崔 丁 錫), *권 오 경(權 五 敬)
오리온전기(주) 종합연구소 FED 연구팀
*한양대학교 전자전기공학부
전화 : (02) 2297-0139 / 팩스 : (02) 2290-7701

Design of 5" True Color FED Driving System

Hong-Jae Shin, Chang-Woon Choi, Jin Kim, Jeong-Og Choi and *Oh-Kyong Kwon
FED Research & Development Team, Orion Electric. Co., Ltd
*Division of Electronics and Electrical Engineering, Hanyang University
E-mail : oecpdp@chollian.net

Abstract

We design a new driving system of 5" true color FED using current controlled PWM method. Further more, we successfully developed a 5" FED panel, which resolution is 320X240(Color). When we design a 5" FED driving circuit, FED tips are modeled as R-C for circuit simulator of FED driving circuit. In Video data processing, parallel R,G,B input signals is processed independently, so duty ratio increase and no noise, high quality performance is achieved in display of 5" FED. The luminance is about 100cd/m², the anode power consumption is 2.1W and total power of the driving system is 21.54W

I. 서론

새 천년에는 거리에서도, 차안에서도 화상 정보를 주고받으며, 보다 생동감 넘치는 게임을 즐길 수 있을 것이다. 이는 곧 차세대 평판 디스플레이인 FED 덕분이다. 1968년 Spindt가 전자원 소스인 캐소드를 개발한 이후 지난 30년간 세계 여러 나라에서 디스플레이에 적용하기 위한 연구를 수행하고 있다.[1-2] FED는 형광체의 인가전압과 캐소드와 에노드간의 스페이스 높이에 따라 고전압과 저전압으로 분류할 수 있고, 주요한 네 가지 기술을 가지고 있다. 에미터의 집합체인 캐소드 부, 화상

정보를 보여주는 에노드 부, 캐소드와 에노드를 접합하는 진공 패키징 부, 그리고 제작된 패널을 동작시키는 구동회로 부로 나눌 수 있다. 최근에 FED 기술분야에서 가장 관심을 모으는 것은 FED 패널이 고화질 대면적화 되어 가는데 맞추어 더욱 효율적인 구동회로의 개발이다. 크게 FED 구동방식은 전압 구동 방식과 전류구동 방식으로 나눌 수 있고 이 방식들은 PWM(Pulse Width Method)과 PAM(Pulse Amplitude Method)방식으로 나눌 수 있다. 전압 구동방식은 비교적 간단하게 FED를 구동할 수 있다는 장점이 있지만 비선형적인 I-V 특성으로 인하여 미세한 전압의 변화에도 화소마다 큰 전류의 차이를 발생함으로써 화소간 불균일성이 생기게 된다. 전류구동 방식은 각 팁에 발광되는 전류의 양을 조절하므로 화소간 불균일성에도 불구하고 일정한 방출전류를 얻을 수 있다는 장점이 있지만 회로적으로 전류를 정밀하게 제어하는 기술이 어렵다.

본 논문에서는 전류 제어 효과를 갖는 전압 제어 PWM 방식을 제안하고 전압 구동 방식과 전류제어 방식의 장점만을 살릴 수 있도록 설계하였다. 먼저 방출 소자의 회로 모델링을 구동 방식에 맞추어 저항-커패시터 모델링하고 이 결과를 가지고 최적화된 구동회로의 출력단을 설계하였다. 이러한 결과를 가지고, 8 BIT 비디오 신호를 캐소드 구동회로의 입력으로 받아서 출력단에 256 단계의 화면 계조도를 타나낼 수 있도록 하여 1670만 컬러색이 구현가능한 무결점 5인치 칼라 FED 구동시스템을 성공적으로 개발하였다.

II. FED 팁의 회로 모델

FED 구동회로를 설계하기 위해서는 FED 팁의 회로 모델이 필요하고 특히 팁 당 커패시턴스 성분인 C_{gc} , C_{ac} , C_{ag} 성분이 구동회로를 설계하는데 있어서 매우 중요한 성분이다. 그림 1은 5" FED 팁의 구조를 나타내고 있다. 여기서 팁이 반경은 $0.4\mu\text{m}$ 이고 높이는 $0.9\mu\text{m}$, SiO_x 의 두께는 $0.7\mu\text{m}$ 이다. 그림 2는 5" FED 팁의 등가 회로를 나타내고 있으며 저항과 커패시턴스, 두 개의 전류원으로 모델링하였다. 커패시턴스를 추출하기 위해서 Maxwell 3D 시뮬레이션을 하였다. 추출된 성분 중 가장 큰 값의 커패시턴스는 C_{gc} 이고 팁 당 0.778nf 이다.

PWM 방식의 FED 구동회로 설계시 가장 중요한 성분은 C_{gc} 이고 이 값에 의해서 게이트 구동회로와 캐소드 구동회로의 고전압 출력단의 응답속도를 결정하게 된다.

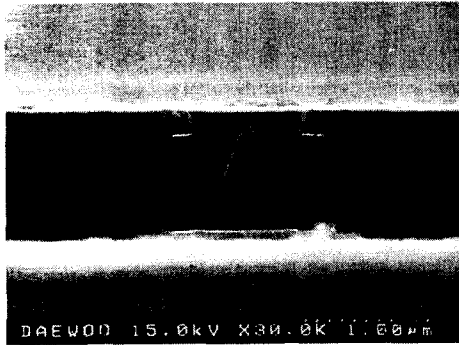


그림 1 5" FED 팁의 구조
Fig. 1 5" FED tip structure

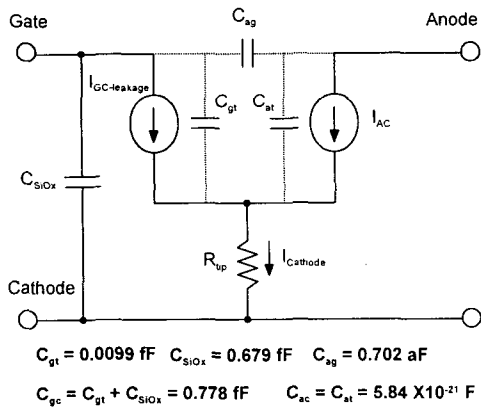


그림 2 5" FED 팁의 등가회로
Fig. 2 Equivalent circuit model of 5" FED tip

설계된 5" FED 패널에서 R, G, B 서브 픽셀은 605 개의 팁으로 구성되어 있고 하나의 픽셀은 1815 개의 팁으로 구성되어 있다. 서브 픽셀당 게이트 캐소드간의 커패시턴스 C_{gc} 는 988.67fF , 서브 픽셀당 애노드 게이트간 C_{ag} 는 897aF , 서브 픽셀당 애노드 캐소드간 C_{ac} 는 3.553aF 이다. 5" FED 패널에서 게이트 라인은 900개의 서브픽셀, 즉 300개의 픽셀에 연결되어 있고 캐소드 라인은 224개의 서브픽셀에 연결되어 있다. 이 결과 게이트 구동회로가 전압 스위칭을 하기 위해서는 890.61p 의 커패시턴스를 충전-방전하여야 하고 캐소드 구동회로는 222.45pF 의 커패시턴스를 구동해야만 한다.

III. FED 구동회로 설계

본 논문에서는 전류 제어 효과를 갖는 전압 제어 PWM 방식을 제안하고 전압 구동 방식과 전류제어 방식의 장점만을 살릴 수 있도록 한다. 그림 3은 FED 패널에 데이터를 인가하는 부분인 데이터 구동회로의 고전압 출력회로를 나타내고 있다. 이 회로는 두 개의 고전압 NMOS로 이루어진 고전압 스위칭 회로부분과 FED 캐소드로 공급되는 전류를 제한하는 전류 리미터 부분으로 이루어져 있다.

고전압 스위칭 회로에 의해서 H 상태의 데이터가 인가되면 캐소드에는 -5V 가 인가되고 L상태가 인가되면 50V 가 인가된다. 전류리미터는 능동소자로 이루어진 전류원으로 캐소드로 흐르는 전류를 제한하며 능동저항 역할을 한다. 이 결과 캐소드 전류와 V_{gc} 의 로드라인의 기울기를 낮추어 일정한 양의 전류가 캐소드로 공급되도록 하는 역할을 하게 된다. 그렇지만 전류의 양을 너무 많이 제한하면 고전압 출력단의 상승시간(rising time)과 하강시간이 길어지게 되므로 실험을 통해서 적절한 범위의 값을 갖도록 해야만 한다.

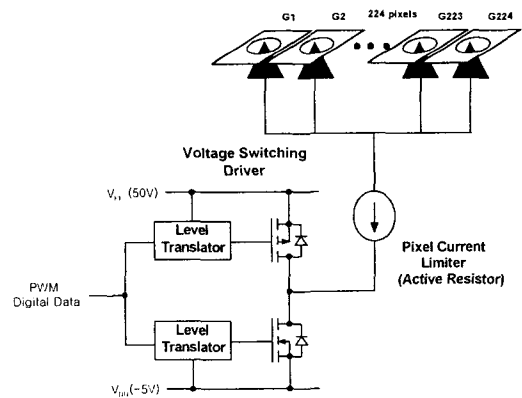


그림 3 FED 데이터 구동회로의 고전압 출력회로
Fig. 3 High Voltage Output of FED Data Driver

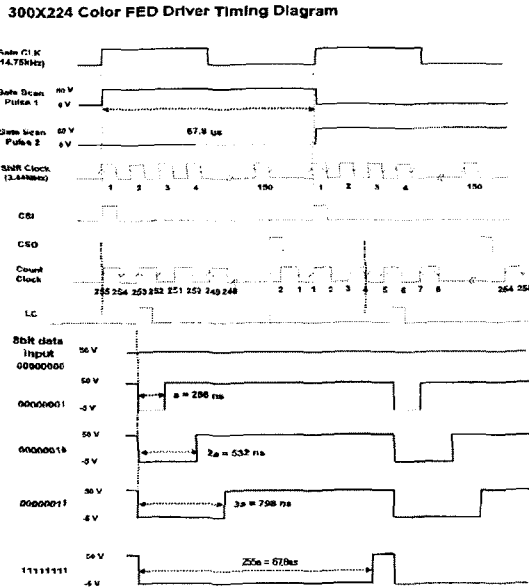


그림 4 5" FED 구동회로의 타이밍도
Fig. 4 5" Timing Diagram of FED Driving Circuit

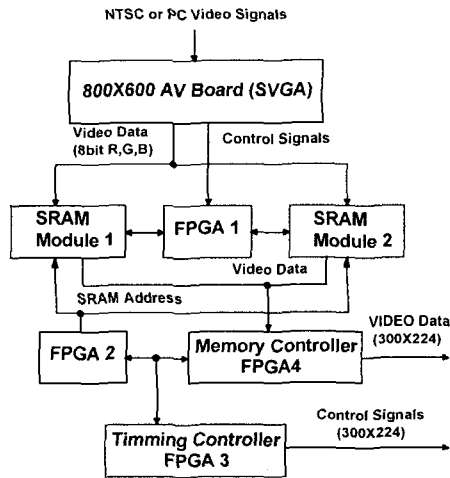


그림 5 5" FED Controller의 블럭도
Fig. 5 5" FED Controller Block Diagram

그림 4는 5" FED 구동회로의 파형도를 나타내고 있다. 게이트 구동회로의 동작주파수는 14.75 KHz(67.8μs)이다. 한 라인의 게이트 스캔 펄스 동안 300라인 데이터를 전송하기 위해서 캐소드 구동회로의 클럭(CLK)은 한 라인의 게이트 스캔펄스 동안 150개가 인가되어야 하므로 동작주파수는 3.44MHz이다. 300X224의 해상도를 갖고 60프레임의 256 계조처리를 시 가장 낮은 그레이를 나타내기 위해서 최소 고전압 펄스폭은 256 ns이고 64

gray시에는 1.06μs이다. 데이터 구동회로 설계시 전류리미터의 능동 저항값은 패널의 특성에 따라서 500Ω~1 kΩ 값을 갖도록 하였다. 능동저항 값을 크게 하면 패널의 균일도가 향상되는 것을 볼수 있었지만 상승, 하강 시간이 길어져 원하는 256 계조처리가 되지 않았다. 256 계조처리를 위한 모의실험 결과 상승, 하강 시간은 100ns이내였고 64 그레이 모의실험시 500ns이내였다.

IV. FED Controller 설계

그림 4는 5" FED Controller의 블럭도를 나타낸다. FED Controller의 구성은 영상보드(AV Board)에서 출력되는 비디오 신호를 임시 저장하는 비디오 인터페이스 부분과 300X224의 해상도에 맞게 스캔구동회로와 데이터 구동회로의 특성에 맞게 비디오 신호와 제어신호를 발생시켜 출력하는 메모리 제어부와 타이밍 제어부로 구성되어 있다. 특히 R·G·B 신호처리를 병렬처리 방식으로 하여 기존의 직렬처리 방식에 비해서 영상화면에 디스플레이하는 Duty비를 3배로 하여 화면의 휘도를 높일 수 있도록 한 것이다. VGA 인터페이스 부분은 영상보드에서 출력되는 비디오 신호를 저장하는 중간에도 메모리에 저장되어 있는 비디오 신호를 FED 패널에 출력하도록 하기 위해서 그림 5에서와 같이 2개의 SRAM 모듈(SRAM Module1, SRAM Module2)과 메모리의 어드레스와 제어 신호를 생성하는 FPGA1으로 구성되어 있다. 메모리 제어부와 타이밍 제어부는 사용된 구동회로의 특성과 구성에 맞추도록 비디오 신호와 제어신호를 생성하여 출력하는 부분으로 3개의 FPGA(FPGA2, FPGA3, FPGA4)로 구성되어 있다. 먼저 FPGA2는 영상보드의에서 비디오 신호를 저장하는 SRAM에서 비디오 신호를 읽어들이 어드레스를 생성하는 부분이고, FPGA3은 제어 신호를 생성하기 위한 카운터가 있는 부분으로 FPGA2와 FPGA4의 제어 신호와 구동회로의 제어 신호를 생성하는 역할을 하고, FPGA4는 R,G,B video 신호를 병렬로 입력받아서 사용된 구동회로의 구성이 R,G,B video 신호를 병렬 또는 직렬로 입력받도록 구성되어 있는지에 따라서 출력 형태를 조절하는 부분이다.

V. 실험 및 특성 평가

이와 같이 설계 제작한 FED 구동시스템(구동회로, 컨트롤러)에 5" 패널을 장착한 후 데이터 구동회로의 상승 시간과 하강 시간의 측정 결과를 그림 6에 나타내었다. 모의 실험 결과 전류리미터의 능동저항 값이 1 kΩ이었을 때 상승, 하강 시간은 465ns, 450ns이었는데 실제

측정결과 상승, 하강 시간은 601ns, 591ns로 나타나 모의 시험과 측정 결과에는 29% 오차를 나타냈다. 이는 모의 실험으로 추출한 커패시턴스 값과 실제 패널의 커패시턴스간에 오차가 발생되었기 때문이며 패널마다 전류리미터의 능동 저항값을 패널에 맞게 조절해 주어야만 원하는 상태의 계조처리를 할 수 있다. 그림 7은 제작된 5" FED 구동시스템을 FED 패널에 적용하여 시제품 데모를 한 결과를 나타내고 있다.

표 1은 5" FED 구동 시스템의 특성을 요약한 것이다.

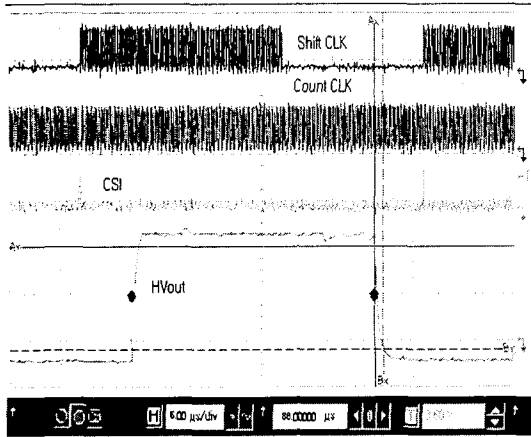


그림 6 FED 데이터 구동회로의 측정 파형
Fig. 6 Waveform of the FED Data Driving Circuit



그림 7 5" True Color FED 시제품 데모 사진
Fig.7 Photograph of 5" True Color FED

표 1 5" FED 구동 시스템의 특성

Table 1. Characteristics of 5" FED Driving System

Display Type	5" True color	Unit
Format	300X224	
Drive Voltages Va, Vg, Vk	600, 80, 50	V
Pixel Current	52	nA
Gray Levels	256 ³ =16,7M Color	
Brightness	100	cd/m ²
Pixel Capacitance (Sub pixel Cap × 3)	2.96 (0.98 × 3)	pF
Frame Rate	60	Hz
Anode Power	2.1	W
FED Driving System Power	19.74	W
Total Power	21.54	W

VI. 결론

본 논문에서는 5" True Color FED 구동시스템을 설계 및 제작하였다. 데이터 구동회로 설계시 전류제어효과를 갖는 전압 제어 PWM 방식을 제안하여 전압 구동 방식과 전류제어 방식의 장점만을 살릴 수 있도록 하였다. 먼저 방출 소자의 회로 모델링을 전압 구동 방식에 맞추어 저항-커패시터 모델링하여 최적화된 구동회로의 출력단을 설계하였다. 또한 R·G·B 신호처리를 병렬처리 방식으로 하여 기존의 직렬처리 방식에 비해서 영상을 화면에 디스플레이하는 Duty 비를 3배로 하여 화면의 휘도를 높일 수 있도록 하였다. 향후 과제로는 고속/저전력 소모 FED 구동회로설계에 관한 연구가 진행되어야 할 것이며 FED 전용 구동 IC의 개발을 통해서 시스템의 소형화 및 구동의 최적화를 이루어야 할 것이다.

참고 문헌

- [1] R. D. Jones, "A circuit model for a family of low voltage field emitter array cathodes," IVMC., 1995 pp. 72-73.
- [2] K. Yokoo, "Active control of the emission current of field emitter arrays." J.Vac. Sci. Tech., 1995 pp. 491-493.