

# RF-ID 스마트 카드 시스템의 설계 및 분석

양 경 록\*, 진 인 수, 류 형 선, 김 양 모  
 충남대학교 전기공학과  
 전화 : (042) 822-1998 / 팩스 : (042) 823-7970

## Design and Analysis of RF Smart Card System

Kyeong-rok Yang\*, In-su Jin, Hyung-sun Ryu, Yang-mo Kim  
 Dept. of Electrical Engineering, Chungnam National University  
 E-mail : esdes@hanmail.net

### Abstract

Depending upon the existence of the battery, transponder is divided into active and passive transponder. The passive transponder operates without the inner battery and so has no limitation in its operating range and life time. But the power consumption in the smartcard should be low.

In this paper, the analysis and design of the passive smartcard system operated at 125kHz is presented and is confirmed by simulation and experiment.

### I. 서 론

스마트카드 시스템은 부가정보를 비접촉으로 해독함으로써 종래의 사람의 손에 의지하고 있던 대중교통의 요금징수, 주차관리, 물류관리 등의 각종 어플리케이션을 자동화할 수 있다는 이점을 갖는 시스템이다. 전자화폐 산업의 핵심으로서 기존의 지불방식의 번거로움과 그에 따른 시간의 낭비를 개선할 수 있다. 특히 하루 중 특정 시간에 승객이 몰리는 지하철과 같은 경우 불필요한 승객들의 지연없이 승차요금을 받는 방법들이 필요하게 되며, 이는 지하철 토큰대신에 이러한 스마트 카드를 사용함으로써 러쉬아워 시의 승객들의 지연을 최소한으로 줄이는 것이 가능하다[1].

스마트 카드 시스템은 내부에 배터리의 유무에 따라 액티브와 패시브 스마트 카드시스템으로 나눌수 있으며 본 논문에서의 패시브 스마트 카드 시스템은 기지국으로부터 에너지를 받고 내장된 데이터를 전송하기 때문에 데이터 처리시간이 비교적 길고 에너지를 얻기 위해 기지국과의 통신거리가 짧으며, 내부 에너지 소모가 작아야 한다는 단점을 갖는

반면, 사용기간이 반 영구적이라는 장점을 갖는다[3].

본 논문에서는 지하철 출·개찰 시스템에 응용하기 위한 저전력 패시브 스마트카드 시스템을 설계하고 실험을 통하여 이를 분석하고자 한다.

### II. 패시브 스마트 카드 시스템

그림 1은 패시브 스마트 카드 시스템의 간략한 블록도를 나타내며, 액티브 스마트카드 시스템과는 달리 리더에서는 에너지와 데이터를 보내주어야 한다.

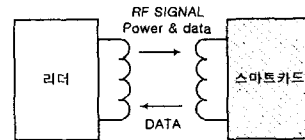


그림 1. 패시브 스마트카드 시스템 블록도

#### 2.1 동작 순서

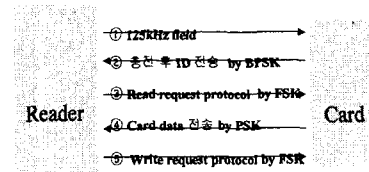


그림 2. 기지국과 카드의 동작 시퀀스

기지국은 패시브 스마트카드가 에너지를 얻을 수 있도록 125kHz의 RF 필드를 만들어 주며, 이 필드에 스마트카드가 진입하면서 카드와 기지국과의 통신이 시작된다. 그림 2는 카드와 기지국 간의 통신 시퀀스를 나타낸다. 카드가 기지국이 만들어 놓은 RF 필드 내에 진입하였을 때 62.5kHz의

backscattering 신호로써 ID 신호를 기지국으로 전송하면, 기지국은 카드가 필드내에 진입하였음을 인식하고 카드의 정보를 요구하는 READ 프로토콜을 카드로 전송한다. 이를 받은 카드는 자신이 갖고 있는 정보를 기지국으로 전송하며, 기지국은 이 정보를 연산하여 새로운 데이터를 카드에 업데이트하기 위해 WRITE 프로토콜을 카드에 전송하고, 통신은 완료된다.

### III. 리더(Reader)

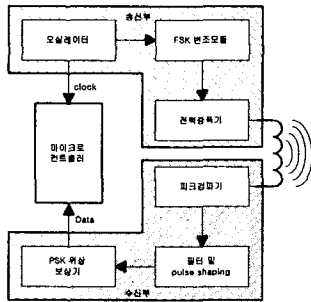


그림 3. 리더의 전체 블록도

그림 3에서 보듯이 리더는 크게 안테나, 송신부, 수신부, 마이크로 컨트롤러로 구분할 수 있다. 안테나는 카드에 에너지와 데이터를 공급해 주기 위한 RF 필드를 형성한다. 송신부는 FSK 변조 모듈과 전력 증폭기로 구성되며, FSK 변조 모듈은 XR 2206을 이용하였으며, 변조된 데이터 신호는 전력 증폭기를 통해 20cm 정도의 거리까지 전송이 가능하다. 수신부는 카드로부터 backscattering 되어온 PSK 변조 데이터를 검출하여 마이크로 컨트롤러에 전달해주며, 피크 검파기와 필터 및 증폭기, PSK 모듈로 구성된다. Backscattering 방식으로 수신된 PSK 변조 데이터는 피크 검파기와 필터, pulaseshaping 회로를 통해 검출되며, 이때 필터는 발생 노이즈를 제거하고 62.5kHz의 신호만을 선택해 주며, 증폭기는 검파기가 피크치만을 검출하기 때문에 검출된 PSK 변조 신호는 100mV 정도로 소신호이므로, 충분한 크기의 신호로 증폭시켜 준다. 검출된 PSK 변조 데이터는 다시 PSK 복조 모듈을 통해 완전히 검출되어 마이크로 컨트롤러로 입력된다.

### IV. 스마트카드

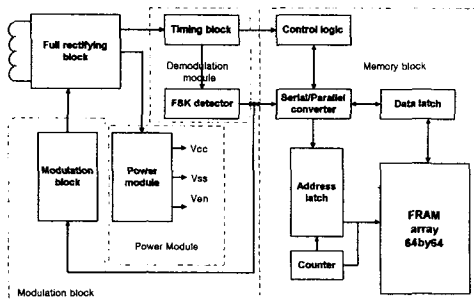


그림 4. 패시브 스마트카드의 전체 블록도

그림 4에서와 같이 본 논문에서 설계된 스마트 카드는 안테나, 전력 변환 모듈, 변·복조 모듈, FRAM으로 구성된다.

#### 4.1 전력 변환 모듈

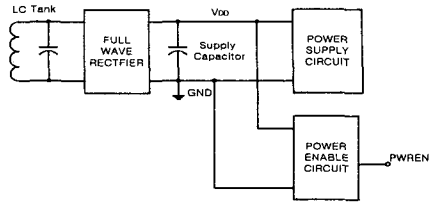


그림 5. 전력 변환 모듈

전력 변환 모듈은 기지국으로부터 전송되는 RF 신호를 정류하고 커패시터에 에너지를 저장하여 카드내에 DC 전압을 공급해 주는 모듈이다. 전력 변환 모듈은 클램핑 회로와 파워 인에이블 회로, 서플라이 커패시터로 구성된다. 서플라이 커패시터는 전파 정류기의 출력단에 병렬로 접속되며,  $V_{dd}$ 를 필터링하여 리플을 줄여준다. 서플라이 커패시터는 다른 전원 모듈 내부 회로들과 함께 집적되어야 하므로 높은 유전 상수를 갖는 ferroelectric capacitor를 사용하며 커패시터는 요구되는 파워 서플라이 전압과 캐리어 주파수, 견딜수 있는 리플의 양 등에 따라 변한다. 클램핑 회로는 내부에 비교기와 클램핑 트랜지스터에 의해  $V_{dd}$ 값을 5V로 클램핑 시켜줌으로써 일정한 DC 레벨을 유지한다. 파워 인에이블 회로는 충·방전시 회로의 구동 전압  $V_{dd}$ 값을 관찰하여 미리 정해진 파워-업 문턱전압 혹은 파워-다운 문턱전압을 넘어설 경우 그에 해당하는 구동 신호 PWREN을 내부 칩에 인가함으로써 파워 서플라이의 출력 전압의 레벨이 충분히 높을 때에만 내부 칩을 동작시킬 수 있다.

#### 4.2 복조 모듈

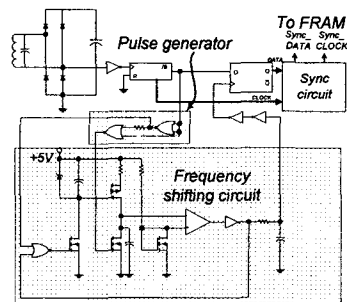


그림 6. FSK 검출기 회로

그림 6은 FSK 복조 모듈로써 기지국으로부터 전송받은 FSK 방식의 데이터를 검출하기 위한 회로이다. PLL구조를 사용하지 않은 검출기로서 일반적인 PLL 구조를 사용한 FSK 검출기와 비교할 때, 집적화 문제나 전력 소모 면에 있어 유리하다. FSK 검출기는 제시된 그림 에서와 같이 펄스 발생기와 주파수 편이 회로, 동기 모듈로 구성된다.

4.2.1 펄스 발생기

펄스 발생기는 수신된 신호를 12-stage binary counter에 의해 /8된 신호의 negative edge를 감지하여 펄스를 만들어 준다. 이 때 counter의 출력 신호의 폭은 FSK 신호가 수신될 때마다 그 폭이 변화하며, edge 검출기에서 생성된 펄스로 nmos(Q2)의 gate를 제어하여 비교기에 공급되는 신호의 크기를 변화시키게 된다.

4.2.2 주파수 편이 검출 회로

펄스 발생기에서 만들어진 펄스는 Q2를 제어하여 주파수 편이가 일어날 때마다 비교기에 공급되는 신호의 피크치를 변화시킴으로써  $V_{ref}(2V)$ 와 비교된 출력 파형의 폭을 변화시킨다. 비교기에서 출력된 구형파는 D flip-flop의 클럭으로 입력되며, 주파수의 편이에 따른 이 클럭의 펄스 폭의 변화에 따라 D flip-flop의 클럭으로 입력되며, 주파수의 편이에 따른 이 클럭의 펄스 폭의 변화에 따라 D flip-flop의 출력 레벨을 변화시킴으로써 FSK 신호를 복조한다.

4.3 동기 모듈

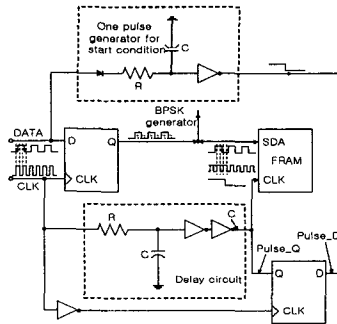


그림 7. 동기 모듈 회로

그림 7은 동기 모듈 회로를 나타낸다. FRAM의 SDA와 SCL에 입력되는 신호에 대해, 1bit의 데이터에 대해 1 clock이 적용됨을 확신할 수 없으며, 따라서 인위적으로 두 신호, 즉 카드 내부에서 검출된 데이터와 clock을 동기 시킴으로써 에러를 방지하기 위한 회로이다.

처음 데이터가 검출될 때 FRAM으로 입력되는 데이터를 인식하기 위해서는 start condition을 맞추어 주어야 한다. 이를 위해서는 one-pulse generator를 통해 처음 1, 0의 2 bit의 데이터가 입력될 때 clock의 width를 변화시킴으로써 start condition을 만들어 줄 수 있다. 그림의 Pulse\_D, pulse\_Q, CLK(from FRAM)는 start condition을 고려한 clock을 나타내며, 그림은 FRAM의 start condition을 나타낸다.



그림 8. Start condition

4.4 변조 모듈

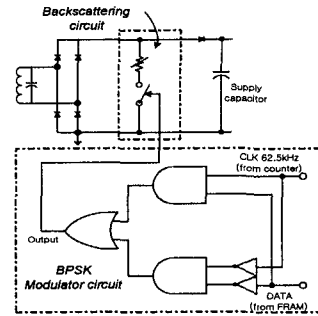


그림 9. 변조 모듈 회로

그림 9는 스마트카드 내부 메모리에서 출력되는 데이터(NRZ)를 BPSK 변조 방식으로 변조하여 안테나를 통해 Backscattering하는 모듈이다. 62.5kHz의 클럭과 FRAM로부터의 데이터를 입력으로 가지며, BPSK 변조된 출력 신호는 backscattering 회로로 입력되어 스위치를 제어한다. Backscattering 방식은 변조된 시그널을 통해 안테나 코일에 병렬로 연결된 스위치를 제어하여 스마트카드 안테나 임피던스를 변화시켜 가시국에서 peak-detecting을 통해 이를 감지하는 방식이다.

4.5 Memory(FRAM)

스마트카드는 데이터를 저장하기 위한 메모리가 필요하며 본 논문에서는 내부 메모리로서 FRAM을 사용하였다. FRAM은 일반 RAM과는 달리 전원이 없는 상황에서도 ROM과 같이 데이터를 유지하는 것이 가능하며, 또한 기존의 EEPROM에 비해 낮은 전력 소모와 더욱 빠른 write time을 갖는 차세대 대체 메모리다. EEPROM과 FRAM을 비교하면 표 1과 같다.

표 1. FRAM과 EEPROM의 비교

	FRAM	EEPROM
Power(Active)	150uA	1mA
Write time	수백 ns	5ms
Data retention	10년	100년

V. 시뮬레이션 및 실험 결과

5.1 전력 변환 모듈

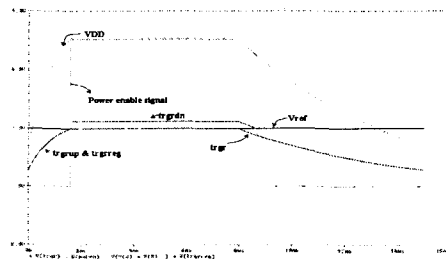


그림 10. 전력 변환 모듈의 시뮬레이션 결과

그림 10은 전력변환 모듈의 시뮬레이션 파형으로  $V_{dd}$  level이 비교기와 클램핑 트랜지스터에 의해 5V에서 충·방전을 반복함으로써 클램핑됨을 알 수 있으며,  $V_{dd}$ 의 level이 충전시 5V를 넘어서면 PWREN은 high로, 방전시 4.7V를 내려서면 low로 트랜지션됨을 알 수 있다. 실험 결과 시뮬레이션과 같은 결과를 얻을 수 있었으며, 전력 변환 모듈에서의 전력 소모는 5mW였다.

5.2 복조 모듈

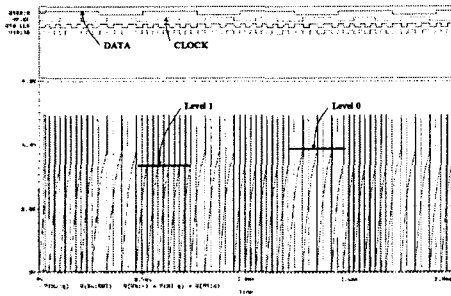


그림 11. FSK 검출기의 시뮬레이션 결과

그림 11은 복조 모듈의 시뮬레이션 결과 파형으로, 입력되는 데이터의 주파수의 변화에 따라 비교기에 입력되는 톨니파의 피크치가 변하며, 이에 따라 data를 검출할 수 있다

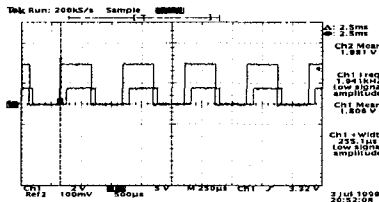


그림 12. 기지국 전송 data와 FSK 검출기에서 검출된 data

그림 12는 기지국에서 전송된 데이터와 스마트 카드에서 검출된 데이터를 나타내며, Ch. 1은 카드에서 검출된 데이터, Ch. 2는 기지국에서 전송하는 데이터로서 지연이 있음을 알 수 있다.

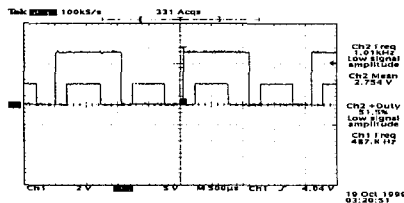


그림 13. Clock을 지연시킨 후 동기된 data와 clock

그림 13은 1 bit의 데이터에 대해 정확히 1clock이 적용되어 FRAM에 입력되도록 하기 위해 클럭과 동기된 data 파형과 지연회로를 통해 180us 지연시킨 클럭의 파형을 보여 준다.

그림 14는 초기에 start condition을 만들기 위한 start bit가 검출될 때의 클럭을 D flip-flop을 통해 1.5ms 지연시킨 클럭을 single shot으로 검출한 파형이다.

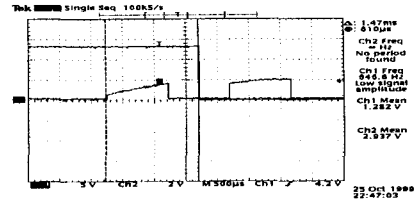


그림 14. D flip-flop을 이용해 지연시킨 파형

VI. 결론

패시브 스마트카드의 리더에서 만들어진 RF 필드로부터 에너지를 얻어 리더와 통신을 하기 때문에 전체적으로 저전력으로 설계되어야 한다. 따라서 본 논문에서 제시된 모듈은 모두 CMOS를 사용하여 구현하였으며, 이에 따른 전체 소모 전력은 5V 동작 전압에서 20mW였다. 통신가능 거리는 최대 10cm이며, 기지국과의 통신 시간은 30ms이다. 차후에 모든 회로들을 집적화 함으로써 회로 자체의 크기뿐 아니라, 칩을 사용하여 구현한 회로에 비해 불필요한 보호 회로등의 불필요한 소모전력을 줄일수 있어서 보다 저전력을 실현할수 있을 것이며, 또한 동작전압을 낮추고 동작 주파수를 수십 MHz 대역으로 올림으로써 통신 거리를 증대시키고, 통신 시간을 줄일 수 있을 것으로 예상된다.

본 연구는 MICROS(KOSEF) 지원하에 수행되었음

참고문헌

- [1] Transponder devices, Patents: US 4,724,427, Feb.9, 1998.
- [2] Baker, Li, Boyce, " CMOS circuit design, layout, and simulation," IEEE PRESS, pp.313-326.
- [3] Remotely interrogated transponder, Patents: US 4,786,903, Nov.22, 1988.
- [4] Fredrick W. Grover, "Inductance Calculations," Dover publication, New York, 1946.
- [5] Keith Henry, "Radio Engineering Handbook," McGraw-Hill, 1963.
- [6] U. Kaiser and W. Steinhagen, "A low power transponder IC for high performance identification systems," Proc. CICC 1994. May 1994, pp. 14.4.1-14.4.4.
- [7] C. K. Kim and S. B. Ahn, "Public Transport Fare Integration with Smart Cards in Seoul," PA19990156022.
- [8] Ollivier.M.M, "RFID a solution technology for security problems," CONF. of security and detection, ECOS,IEE, 1995, pp234 ~ 238.