

새로운 TiSi₂ 형성방법과 STI를 이용한 초박막 게이트 산화막의 특성 개선 연구

엄 금 용, 오환술
건국대학교 전자·정보통신공학과
전화 : 031-739-4077 / 핸드폰 : 017-363-7283

Study of Improvement of Gate Oxide Quality by Using an Advanced, TiSi₂ process & STI

Gum-Yong Eom, Hwan Sool Oh
Dept. of Electronics, Information and communication Engineering, Konkuk University,
Seoul 143-701
E-mail : ejrrnr@snp.ac.kr

Abstract

Ultra large scale integrated circuit(ULSI) & complementary metal oxide semiconductor(CMOS) circuits require gate electrode materials such as metal silicides, titanium-silicide for gate oxides. Many previous authors have researched the improvements sub-micron gate oxide quality. However, little has been done on the electrical quality and reliability of ultra thin gates. In this research, we recommend novel shallow trench isolation structure and two step TiSi₂ formation for sub 0.1 μm gate oxide.

방법의 필드산화막 형성방법과 2 단계(Two Step) 티타늄 증착방법을 통하여 서브 0.1 μm 게이트 산화막에 대하여 우수한 특성을 얻고자 하였다.

본 연구를 통하여 물리적인 특성면에서는 성공적인 STI(Shallow Trench Isolation) 구조를 형성하여 단 채널 효과 억제와 접합의 누설전류의 감소 및 채널 가장자리(Edge) 등에 대한 입계 전압값의 감소 효과 및 Si/SiO₂ 계면의 포획전하밀도 감소특성을 얻을 수 있을 것으로 사료된다. 또한 새로운 방법의 티타늄 형성 방법을 통하여 적은 스트레스값[4]을 얻을 수 있었으며 이는 접합영역에서의 낮은 누설 전류값을 예상할 수 있으며 또한 높은 절연파괴특성 결과로부터 서브 0.1 μm 게이트 산화막의 경우 우수한 산화막 특성을 얻을 수 있을 것으로 사료된다.

I. 서론

현재 ULSI(Ultra Large Scale Integrated Circuit) 및 CMOS(Complementary Metal Oxide Semiconductor) 소자에서는 게이트 전극용 금속-실리사이드 재료[1]로 티타늄 실리사이드(TiSi₂) 물질이 주로 사용되고 있다. 그러나 이에 대한 많은 연구가 수행[2]되어 왔으나 서브마이크론 게이트 산화막에 대하여 우수한 전기적 특성과 양호한 신뢰성을 얻을 수 있는 방법[3]들에 대한 연구가 이루어지고 있지 않아 본 연구에서는 새로운

II. 실험 및 고찰

2.1 실험방법

서브마이크론(<0.1 μm) 게이트 산화막에 대하여 양호한 산화막 막질과 신뢰성을 얻기 위하여 필드산화막을 새로운 방법의 STI(Shallow Trench Isolation)구조와 일반적인 NSLOCOS(Normal Spaced Local Oxidation

of Silicon) 방법으로 성장시켜 물리적, 전기적인 특성으로 비교 분석하였다. 먼저 본 논문에서 제시된 물리적인 구조는 FIB-TEM으로 확인 하였으며 또한 티타늄 실리사이드의 증착방법과 열처리에 대하여는 Stress 값(dyne/cm²)으로 비교 분석 하였다. 전기적 특성은 STI와 NSLOCOS 구조에 대한 문턱전압값과 접합(Junction)의 절연파괴전압값(BV : Breakdown Voltage, V) 으로 비교 분석 하였다.

2.2 실험결과 및 고찰

그림 1-(a)는 새로운 방법으로 형성한 STI 필드산화막에 대한 FIB-TEM을 나타내었다. Si 기판에 STI 구조와 그 위에 적층된 게이트산화막, 폴리실리콘, TiSi₂를 관측할 수 있으며 TiSi₂ 형성시 Si/SiO₂ 계면에 생성되는 Si의 침전(Precipitation)이나 Si-리치(Rich), SiO_x 성분, TiSix 성분이나 TiSi₂ 침전물(Agglomeration)등은 관찰 되지 않았다. 또한 그림 1-(b)는 NSLOCOS에 대한 단면도로서 특이한 점은 STI[5][6] 구조와는 달리 필드산화막영역과 액티브영역 경계에서 형성된 TiSi₂ 층이 분리되는 현상이 관찰되었다. 이러한 현상은 디바이스 구동시 접합영역의 누설전류를 증가시키거나 절연파괴전압을 감소시키는 원인이 되는 것으로 사료되며 또한 Si/SiO₂ 계면에서 포획전하밀도나 이온들을 생성시키게 되어 게이트산화막의 신뢰성 저하의 원인이 되기도 한다. 그러므로 STI 구조의 경우 디바이스에서 큰 활성영역(Active Area)을 이용할 수 있어 디바이스 집적도를 증가시킬 수 있게되며 또한 전기적 특성(채널폭(W), V_{th})면에서 양호한 특성을 얻을 수 있을 것으로 사료된다.

다음에 FIB-TEM 단면도를 나타 내었다.

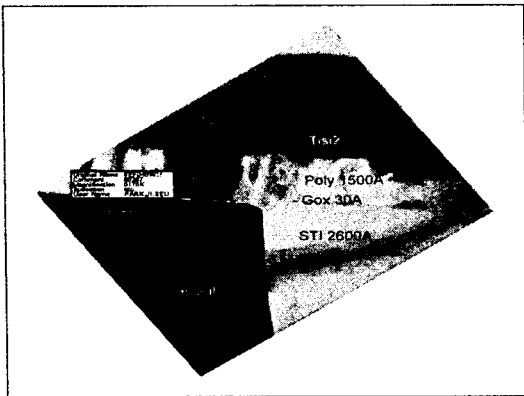


그림 1 - (a) 새로운 방법의 STI구조에 대한 FIB - TEM 단면도

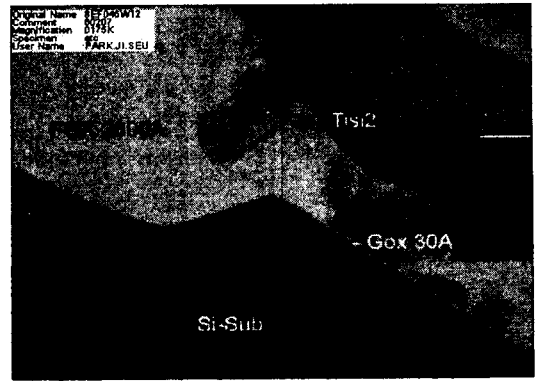


그림 1 - (b) NSLOCOS 구조에 대한 FIB - TEM 단면도

그림 2에 티타늄실리사이드의 증착방법과 열처리 온도에 대한 스트레스 값(dyne/Cm²)의 변화를 나타내었다. 실리콘기판 표면근처의 스트레스는 산화막 성장시 산화막내에서 실리사이드 형성에 대하여 성장 운동에너지(Growth Kinetics)와 라인형성(Interconnection Lines)에 중요한 영향을 미치게되며 이러한 스트레스는 기판의 두께 및 증착필름의 두께 등에 따라 상당히 큰 영향을 받게 되는 것으로 알려져 있다. 그러므로 실리사이드 형성 시 스트레스효과는 디바이스 측면에서 상당히 큰 영향을 미치게 된다. 일반적으로 티타늄 실리사이드 형성 시 열처리 전에는 주로 압축스트레스(Compressive Stress) 특성을 나타내다가 열처리 후에는 압축스트레스가 감소하고 장력스트레스(Tensile Stress)가 나타나게되는 것으로 알려져 있다.

이때 압축스트레스는 Ti/Poly-si 계면에서 Si의 이동을 감소시키게되며 이로 인해 TiSi₂ 형성이 감소하게되며 반면 장력스트레스는 Si의 확산을 증가시켜 TiSi₂의 형성을 증가 시키게된다. 전체적으로 본 연구에서 제시된 2 단계 TiSi₂ 형성방법의 경우가 스트레스 값이 적게 나타나고 있으며 열처리 시간이 증가하면 스트레스 값이 오히려 증가하는 경향을 나타내고 있음을 알 수 있다. 이러한 결과는 티타늄 실리사이드 형성시 본 연구에서 제시된 2 단계 방법과 적은 열처리 시간이 스트레스 측면에서 제일 양호한 특성을 나타내는 결과로 TiSi₂ 형성시 Si/SiO₂ 계면특성이나 문턱전압에서도 우수한 특성[7]을 나타낼 것으로 기대할 수 있다 하겠다.

다음에 티타늄 실리사이드의 증착방법에 따른 스트레스값을 나타 내었다.

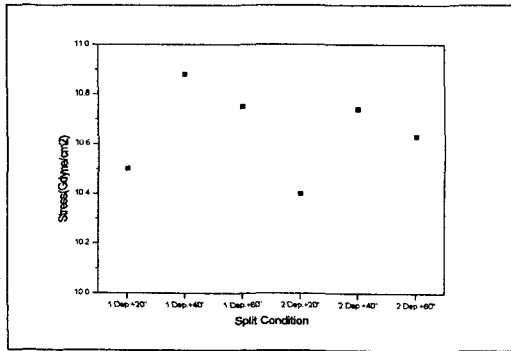


그림 2 티타늄실리사이드의 증착방법과 열처리온도에 대한 스트레스

그림 3에는 STI & NSLOCOS 구조에 대한 문턱전압값을 나타내었다. 일반적으로 Ti/SiO₂ 형성시 폴리실리콘층의 도펀트(Dopant) 결핍이나 TiSi₂ 형성 열처리온도의 증가는 문턱전압값을 증가시키거나 구동전류(Drive-current)를 감소시키는 것으로 알려져 있으며 또한 TiSi₂ 형성시 게이트 산화막의 재 산화막형성(Reoxidation)은 구동전류를 감소시키는 것으로 알려져 있다. 그러나 본 연구에서 제시된 새로운 STI 구조는 문턱전압값이 NSLOCOS 구조에 비하여 큰 문턱전압값을 나타내고 있어 전기적인 특성면에서 누설전류를 감소시키고 절연파괴전압을 증가시키며 구동전류를 증가시키는 특성을 얻을 수 있을 것으로 사료된다.

전체적으로 STI의 경우가 NSLOCOS에 비하여 큰 문턱전압값을 나타내고있으며 각각의 경우 열처리 온도가 증가하면 문턱전압값도 증가하는 결과를 나타내고 있다. 이는 필드산화막의 형성방법차이에서 나타나는 Si/SiO₂ 계면의 포획전하밀도 차와 STI의 경우 채널 가장자리에서의 임계전압값 감소효과, 채널영역의 확보(Narrow Channel Effect 개선)효과 및 구동전류의 증가 등에 의한 결과로 사료된다.

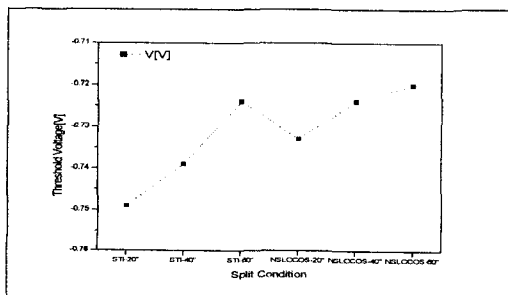


그림 3 STI & NSLOCOS 구조에 대한 문턱전압값

그림 4는 접합에 대한 절연파괴 전압값을 나타내었다. 일반적으로 30A 이하의 게이트산화막 (< 30 Å) 경우 주로 직접 터널링[8]이 발생 하는 것으로 알려져 있으며 절연파괴는 B-모드 절연파괴라 부르는 소프트 절연파괴(SBD, Soft Breakdown)와 하드절연파괴(HBD, Hard Breakdown)로 구성되게된다. 이때 B-모드 절연파괴가 소자에서 누설전류[9]를 발생 시키게 되며 HBD는 소자의 파괴를 나타내게된다.

전체적으로 STI의 경우가 NSLOCOS에 비하여 큰 절연파괴 전압값을 나타내고있으며 이는 필드산화막의 형성방법차이에서 나타나는 Si/SiO₂ 계면의 포획전하밀도 차와 STI의 경우 채널 가장자리에서의 임계전압값 감소효과, 채널영역의 확보(Narrow Channel Effect 개선)효과등에 의한 결과로 사료된다.

다음에 접합영역의 절연파괴 전압값을 나타 내었다.

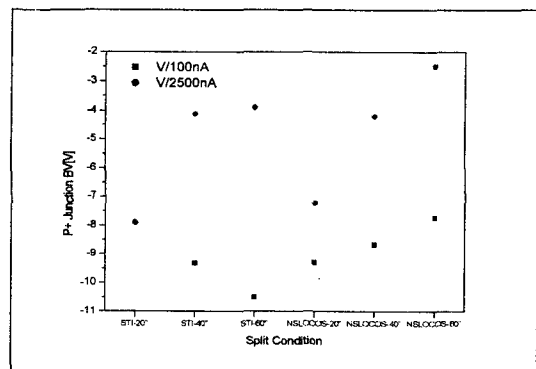


그림 4 접합영역의 절연파괴 전압값

III. 결론

ULSI(Ultra Large Scale Integrated Circuit) 및 CMOS(Complementary metal oxide semiconductor) 소자에서는 게이트 전극용으로 금속-실리사이드(Metal-Silicide) 얇은 박막(Thin-Film)과 같은 저항값을 가지는 금속 실리사이드로 티타늄 실리사이드(TiSi₂)를 형성하여 서브 0.1 μm급 게이트 산화막의 박막특성 개선에 대한 연구를 하였다. 이때 필드산화막은 새로운 방법의 STI 구조를 형성하고 TiSi₂ 형성 방법으로 2 단계 방법을 사용하여 티타늄실리사이드(TiSi₂)를 형성하였다. 본 논문에서는 FIB-TEM으로 STI의 성공적인 구조를 확인할 수 있었으며 STI구조

경우 채널 영역의 확보가 가능함을 확인 할 수 있었다. 이러한 STI 구조는 누설전류 감소 및 Si/SiO₂ 계면의 포획전하밀도 감소등을 기대 할 수 있다 하겠다. 또한 본 연구에서 제시된 2 단계 TiSi₂ 형성방법의 경우가 스트레스 값이 적게 나타나고 있으며 열처리 시간이 증가하면 스트레스 값이 오히려 증가하는 경향을 나타내고 있음을 알 수 있었다. 이는 티타늄 실리사이드 형성시 본 연구에서 제시된 2 단계 방법과 적은 열처리 시간이 스트레스 측면에서 제일 양호한 특성을 나타내는 결과로 TiSi₂ 형성시 Si/SiO₂ 계면특성이나 문턱전압에서도 우수한 특성을 확인 할 수 있었다.

전기적인 특성면에서는 STI의 경우 높은 절연과피 특성을 얻을 수 있었다. 이는 필드산화막의 형성방법 차이에서 나타나는 Si/SiO₂ 계면의 포획전하밀도 차와 STI의 경우 채널 가장자리에서의 임계전압값 감소효과, 채널영역의 확보(Narrow Channel Effect 개선)효과등에 의한 결과로 사료된다.

본 연구에서 제시된 새로운 방법의 필드산화막 형성방법과 2 단계(Two Step) 티타늄 형성방법 및 열처리시간을 통한 서브마이크론 게이트산화막에 대한 특성연구결과로부터 서브 0.1 μ m 초박막 게이트 산화막은 우수한 산화막 막질특성과 양호한 신뢰성을 얻을 수 있었다.

참고문헌

- [1] S. Santucci et al., Thin Solid Films, Elsevier Science S.A., 360, P89 - 95 (2000)
- [2] P. Patsalas et al. , Applied Surface Science, 154-155. 256-262 (2000)
- [3] Kuei-Shu et al., Applied Physics letters, Vol. 76, NO. 19, P 2770, 8 May (2000)
- [4] You-Seok Suh et al., J. of Applied Physics, Vol. 87, NO. 6, P2760, 15 March (2000)
- [5] Shih - Chia Lin et al., IEEE Transaction on Electron Devices, Vol. 47, NO. 4, P 725, April (2000)
- [6] Jong - Wook Lee et al., IEEE Transaction on Electron Devices, Vol. 47, NO. 5, P 1013, May (2000)
- [7] Dixit Kapila et al. , IEEE Transaction on Semiconductor Manufacturing, Vol. 12, NO. 4, P 457, November (1999)
- [8] Kenji Okada, Semiconductor Science

- Technology, Vol. 15, P 478, 14 March (2000)
- [9] Hideki Satake et al., Semiconductor Science Technology, Vol. 15, P 471, 14 March (2000)