

## 새로운 구조의 주파수 분주기를 이용한 주파수 합성기 설계

김 태 엽, 경 영 자, 이 광 희, 손 상 희\*

청주대학교 전자공학과

\* 청주대학교 전자·정보통신·반도체공학부

전화 : (043) 229-8464 / 팩스 : (043) 229-8432

### A Design of Frequency Synthesizer using Programmable Frequency Divider with Novel Architecture

Tae-Yob Kim, Young-Ja Kyoung, Kwang-Hee Lee, Sang-Hee Son\*

Dept. of Electronic Eng, Chongju University

\* School. of Electronic · Information & Communication · Semiconductor Eng, Chongju University

E-mail : tykim@wslab.chongju.ac.kr

#### Abstract

This paper describes the design of a CMOS frequency synthesizer using programmable frequency divider with novel architecture. A novel architecture of programmable divider can be produced all of integer-N and fabricated by  $0.65\mu\text{m}$  2-poly, 2-metal CMOS technology. Frequency synthesizer is simulated by  $0.25\mu\text{m}$  2-poly, 5-metal CMOS technology. This circuit has settling time of  $1.5\mu\text{s}$  and power consumption of 70mW. Operating frequency of the frequency synthesizer is  $820\text{MHz}\sim 1\text{GHz}$  with a 2.5V supply voltage.

#### I. 서 론

이동 통신 시장의 지속적인 성장에 따라 전력소모가 작고 크기가 작은 통신용 부품에 대한 연구가 활발히 이루어지고 있다. 이와 같은 통신용 부품중의 하나가 LO(Local Oscillator)로 사용되고 있는 주파수 합성기이다. 주파수 합성기는 통신용 RF 회로에서 없어서는 안될 핵심적인 block이다. 이 주파수 합성기는 RF 단

의 캐리어 주파수를 제거하기 위한 동조 주파수를 생성하는 블록으로 LO에서 높은 순도의 주파수 신호를 생성하여 수신된 신호와 믹서에서 곱하여 원래의 신호를 복조 한다. 기존에는 주파수 합성기가 단순히 수동 소자로 구현되어 왔지만 CMOS 공정기술의 발달로 점차 one-chip화되어 가는 추세이다. 대부분의 주파수 합성기는 PLL(Phase Locked Loop)을 기초로 하여 구현되고 있는데 이는 주파수 합성기에서 가장 중요하게 취급되는 안정된 클럭을 발생시켜야 되기 때문이다.

본 논문에서는 주파수 합성기에 사용되는 여러 가지 block중 원하는 주파수를 생성시키는데 중요한 역할을 하는 분주기를 새롭게 설계하였다. 일반적으로 PLL의 동작은 입력으로 들어온 주파수와 동일한 주파수를 출력으로 내보내는 역할을 한다. 이 PLL에 분주기를 달아 주파수 합성기로 사용할 경우 PLL의 입력으로 들어오는 주파수를 분주한 비만큼의 높은 주파수를 출력으로부터 얻을 수 있다. 이런 주파수 합성기의 동작으로 인하여 얼마나 많은 분주값을 구현할 수 있는가에 따라 주파수 합성기의 성능이 결정되어진다. 기존의 분주기 구조는 그림 1과 같이 고주파 입력을 받는 prescaler와 swallow counter 등으로 구성되어 복잡한 회로구조를 가지며, 모든 정수의 분주값을 구현하기 위해서는 넓은 면적이 필요로 된다<sup>[1][2]</sup>.

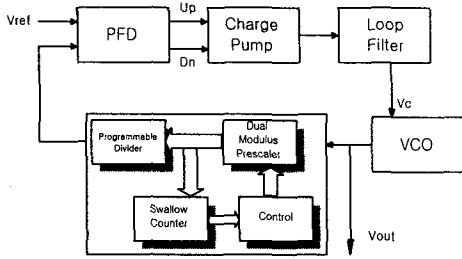


그림 1. 기존의 주파수 합성기

본 논문에서 제안하는 구조는 그림 2와 같이 기존의 분주기에 비해 구조가 간단하면서, 모든 정수 값을 구현할 수 있다는 장점을 갖는다.

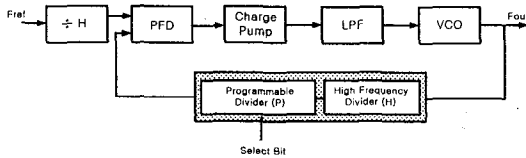


그림 2. 설계한 주파수 합성기

## II. 주파수 합성기 설계

### 2.1 Voltage Controlled Oscillator(VCO)

Voltage Controlled Oscillator(VCO)는 그림 3과 같은 구조로 설계하였다<sup>[4]</sup>. 전원 전압 잡음에 대한 영향을 최소화 하기 위해 Pseudo NMOS inverter를 사용하였다. 또한 pseudo NMOS 게이트 바이어스는 전원 전압에 따라서 변하는 전압원으로 이루어져 있다. M2, M4는 triode 영역에서 동작하고 M1, M2는 Pseudo NMOS 형태의 delay cell을 구성하고 있다. 여기서 M2, M4의 게이트는 전압원  $V_{DD} - V_{bias}$ 에 의해 바이어스 되고 있는데 이것이 전원 전압이 변화하더라도 VCO 출력 주파수를 일정하게 하는 역할을 한다.

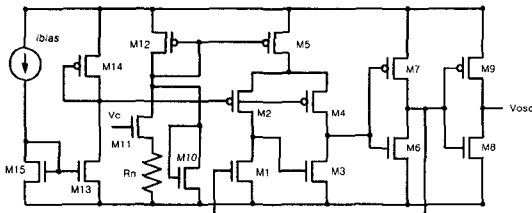


그림 3. 사용한 VCO의 회로도

### 2.2 주파수 분주기

제안한 programmable 분주기는 그림 4와 같이 기존의 분주기와는 달리 간단한 구조로 구성되어있음을 알 수 있다. 또한 제안한 programmable 분주기는 기존의 회로보다 적은 수의 flip-flop을 사용하여 모든 정수 값의 분주비 구현이 가능하도록 설계하였다.

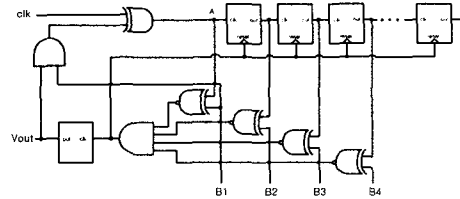


그림 4. 제안한 주파수 분주기 회로도

회로의 동작은 각각의 flip-flop 입력에 들어가는 클럭 신호와 program해준 값이 각각의 EX-NOR gate에서 비교된다. flip-flop의 입력 클럭과 program해준 값이 같을 경우 EX-NOR gate는 "1"의 값을 출력한다. 모든 단의 flip-flop 입력 클럭 값이 program해준 값과 같을 경우 모든 EX-NOR gate의 값은 "1"이 되고 이 EX-NOR gate의 출력이 AND gate의 입력으로 들어가며 모든 입력 값이 같을 경우에만 AND gate의 출력이 "1"이 된다. AND gate의 출력은 다시 모든 flip-flop의 reset 신호로 들어가게 되어 각각의 flip-flop을 초기화시킨다. 또한 AND gate의 출력은 reset단자가 아닌 positive edge-triggered TSPC-TFF의 입력으로 들어가게 되고, 이로 부터 programmable 분주기의 출력을 얻게된다. 가장 앞단의 EX-NOR gate의 역할은 입력 클럭의 초기화에 사용된다. 가장먼저 입력 클럭을 초기화 시켜야 하는 이유는 짝수 분주일 경우, 입력 클럭이 "0"의 상태에서 분주가 시작된다고 가정할 경우 프로그램 되어진 분주값에 따라 짝수 분주의 출력을 얻는 순간 각 flip-flop의 reset단자에 reset신호가 들어가 flip-flop이 초기화된다. 그 순간 입력 클럭 신호는 처음 분주가 시작된 "0"의 상태가 되므로 원하는 짝수 분주를 얻을 수 있다. 반면 홀수 분주일 경우, 입력 클럭이 "0"의 상태에서 분주가 시작된다고 가정할 경우 프로그램 되어진 분주값에 따라 홀수분주의 출력을 얻는 순간 각 flip-flop의 reset단자에 reset신호가 들어가 flip-flop이 초기화된다. 그 순간 첫 번째 flip-flop의 입력 클럭으로 들어오는 클럭 상태가 "1"의 상태이기 때문에 홀수 분주 구현이 불가능하게 된다. 따라서 이런 문제점을 극복하기 위해 홀수 분주 값을 program 해주었을 경우의 입력과 출력 값을 조

함하여 입력 클럭을 반전 시켜줌으로써 reset신호가 모든 flip-flop을 초기화시키는 순간 첫 번째 단의 flip-flop에 들어가는 입력 클럭 값을 "0"으로 초기화시키는 역할을 한다. 그림 5는 짝수 분주 일 경우이며 그림 6은 홀수 분주 일 경우 입력 클럭을 초기화시키는 동작을 설명한 그림이다.

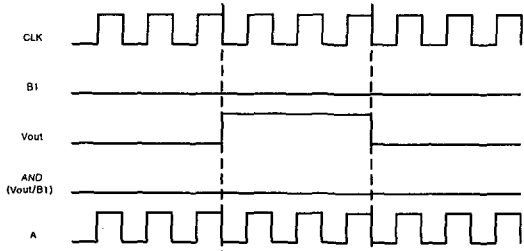


그림 5. 짝수 분주시 입력 클럭의 초기화

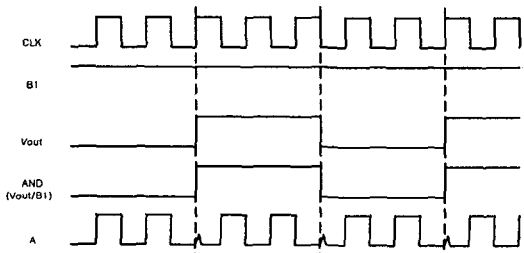
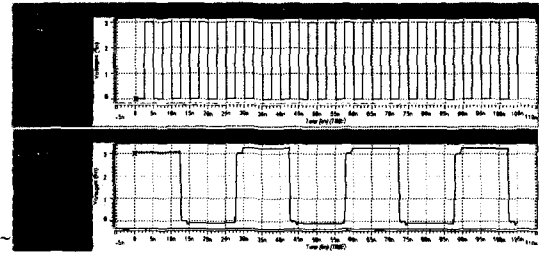


그림 6. 홀수 분주시 입력 클럭의 초기화

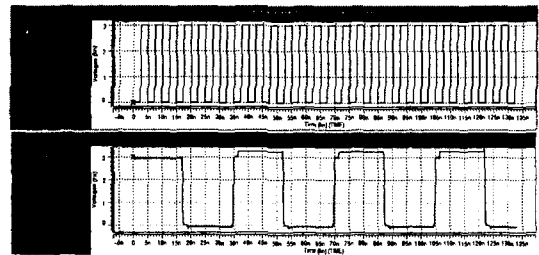
### III. 주파수 합성기 모의 실험 결과 및 측정결과

본 논문에서는 제안한 주파수 분주기를 이용하여 주파수 합성기를 설계 하였다. 전체적인 주파수 합성기의 블록은 그림 2와 같다. 설계한 VCO는 800MHz~1GHz의 동작 주파수 대역을 갖도록 하였다. 사용한 새로운 구조의 주파수 분주기의 경우 0.65 $\mu$ m 2-poly, 2-metal CMOS 공정을 사용하여 모의 실험 및 제작하였으며, 전체적인 주파수 합성기는 0.25 $\mu$ m 2-poly, 5-metal CMOS 공정을 사용하여 모의 실험 하였다. 그림 7은 새로운 구조의 주파수 분주기의 6분주, 7분주한 모의 실험 결과이며, 그림 8은 10MHz의 입력 클럭을 가했을 경우 6분주, 7분주한 실험 결과이다. 측정결과 짝수와 홀수 분주시 50%의 duty cycle을 확인할 수 있었다. 설계한 VCO와 주파수 분주기를 이용하여 전체적인 주파수 합성기를 구성하여 모의 실험을 하였다. 그림 9는 입력 클럭이 83.3MHz일 경우 주파수 합성기의 전달

특성을 모의실험 한 결과이며, 그림 10은 주파수 합성기의 입력과 출력 파형을 모의 실험한 결과이다. 모의 실험결과 83.3MHz의 입력 주파수를 10분주한 결과 정확히 8.33MHz의 출력 주파수를 얻을 수 있다.

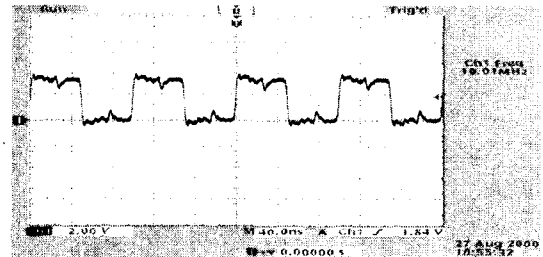


(a)

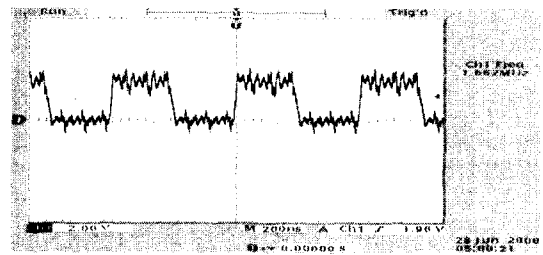


(b)

그림 7. (a) 6분주 (b) 7분주한 모의실험 결과 파형



(a)



(b)

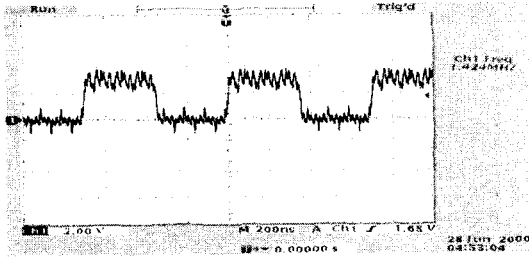


그림 8. (a) 10MHz의 입력클럭 (b) 6분주 측정결과  
(c) 7분주 측정결과

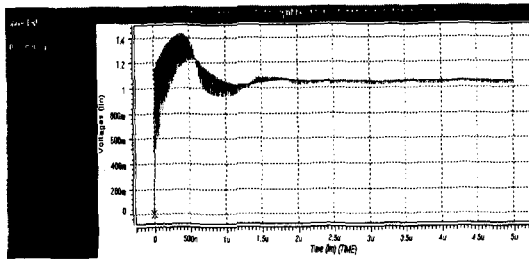


그림 9. 주파수 합성기의 전달 특성

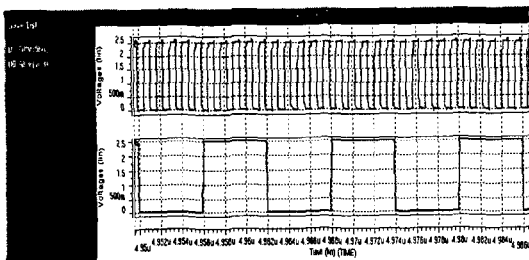


그림 10. 주파수 합성기의 입/출력 결과

#### IV. 결론

본 논문에서는 기존의 주파수 분주기의 단점을 극복하기 위해서 dual-modulus prescaler를 사용하지 않고 원하는 홀수, 짝수 분주값을 구현할 수 있는 분주기 구조를 제안하였다. 또한, 사용한 각각의 회로 블록은 제안한 programmable분주기에 적용하기 위해서 최적화 하여 설계하였으며, 설계한 주파수 분주기를 사용하여 900MHz의 주파수 합성기를 설계하였다. 설계한 주파수 합성기의 settling time은 약 1.5 $\mu$ s이며, 전력소모는 대략 70mV이다. 주파수 분주기는 0.65 $\mu$ m 2-poly, 2-metal CMOS 공정을 사용하여 칩을 제작하였고 측

정 하였다. 또한 주파수 합성기는 0.25 $\mu$ m 2-poly, 5-metal CMOS공정을 사용하여 모의 실험 하였다. 모의 실험은 HSPICE를 이용하였고 layout은 CADENCE를 이용하여 설계하였다. 측정은 HP8110A pulse generator과 TDS3052 oscilloscope를 사용하여 측정하였다. 측정결과 모의 실험 결과와 같이 짝수와 홀수 분주시 50%의 duty cycle을 구현할 수 있었다. 모의 실험결과 주파수 분주기는 200MHz의 입력 주파수를 분주할 수 있었지만 칩 측정 시 10~20MHz의 입력주파수만 분주할 수 있었다. 제작된 칩의 결과가 시뮬레이션의 결과와 일치하지 않았지만, 입력 buffer를 보완하면 좋은 결과를 얻을 수 있을 것으로 사료된다.

본 논문은 청주대학교 정보통신연구센터의 연구비 지원에 의해 수행되었음.

본 연구는 반도체설계교육센터(IDECE)로부터의 부분적인 지원을 받아 이루어 졌음.

#### 참 고 문 헌

- [1] Christopher Lam, Behzad Razavi, "A 2.6GHz/5.2 GHz Frequency Synthesizer in 0.4- $\mu$ m CMOS Technology "1999 symposium on VLSI Circuit Digest of Technical Papers
- [2] Won-Hyo Lee, Sung-Dae Lee, Jun-Dong CHO, "A High-Speed, Low-Power Phase Frequency Detector and Charge-Pump Circuits for High Frequency Phase-Locked Loops" IEICE Trans. Fundamentals, Vol.E82-A, No. 11 Nov 1999
- [3] Patrik Larsson, "High-Speed Architecture for a Programmable Frequency Divider and a Dual-Modulus Prescaler "IEEE J.Solid-State Circuits, Vol. 31, pp.744-748, No. 5, May 1996