

## 효율적인 유클리드 셀을 이용한 DVD용 Reed-Solomon Decoder의 설계

이 동 훈(李 東 勳), 김 중 태(金 鍾 兌)  
 성균관대학교 전기전자 및 컴퓨터공학과  
 전화 : (031) 290-7173 / 팩스 : (031) 290-7162

### A Reed-Solomon Decoder with an Efficient Euclid Cell For DVD Application

Dong Hoon Lee, Jong Tae Kim  
 School of Electrical and Computer Engineering, SungKyunKwan University  
 E-mail : donghoon@comsys1.skku.ac.kr

#### Abstract

In this paper, we propose a Reed-Solomon decoder for the DVD Reed-Solomon(RS) product code based on new efficient euclid cell architecture suitable for Modified Euclid Algorithm. We synthesized the RS decoder using Hyundai 0.65um CMOS standard cell library and compared the performance of the decoder with one of the conventional architectures. The result shows that the proposed euclid cell use about 32% less symbol time.

#### I. 서론

RS Code는 Digital 통신에서의 잡음이나 외란 등에 의해 발생하는 Error에 대한 대응방법으로 발전되어온 Channel Coding기법 중의 하나로 특히 Burst Error에 대해 강한 특성을 갖고 있어서 CD-P, DVD, HDTV, 위성통신 등에서 사용되고 있다. 특히 DVD에 쓰이는 오류 정정 부호의 표준은 Reed-Solomon product code (RS-PC)로서 그림 1과 같이 행렬구조의 (182,172)와 (208,192) RS code를 사용한다.

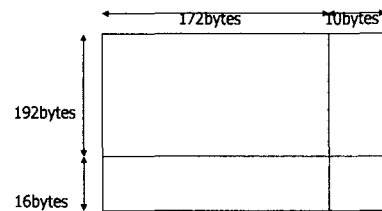


그림 1 DVD 시스템의 데이터 섹터 구조

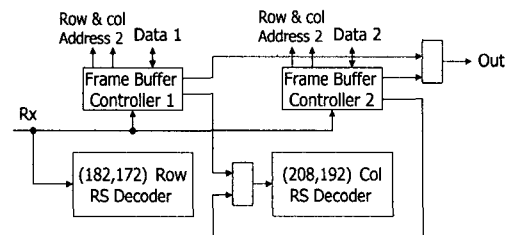


그림 2 RS-PC decoder의 Chip Architecture

RS Code를 복호하기 위해 오류위치다항식(Error Locator Polynomial)의 계수값을 구하게 되는데, 이를 구하기 위한 알고리즘으로 Berlekamp-Massey 알고리즘, Euclid 알고리즘, Modified Euclid 알고리즘이 있다. 그 중에서도 알고리즘 이해가 쉽고, 유한체 곱셈기(Finite Field Multiplier)의 수가 가장 적은 Modified Euclid 알고리즘이 많이 사용되고 있다.

RS 복호의 방법으로 변환 복호법(Transform Decod

-ing Algorithm)과 시간영역 복호법(Time Domain Decoding Algorithm)이 있으나, 칩의 면적, 전력소비 측면에서 유리한 시간영역 복호법이 많이 사용된다.

오류위치다항식의 계수값을 구하기 위해서는  $(N-D)^2$  클럭이 필요하게 된다. (208,192) RS 복호기의 경우 오류위치다항식의 계수를 구하기 위해서 256 클럭이 소요되므로, 신드롬값의 계산이 완료되는 208 클럭보다 많은 시간이 소요되어서 병렬 유클리드 셀이 최소한 2개가 필요하게 된다. 따라서 오류위치다항식 연산을 208 클럭 이하로 낮추면 유클리드 셀 1개로 복호를 할 수 있다.

본 논문에서 제안한 유클리드 셀을 이용하면 1개의 셀만으로도 연산이 가능해서 칩의 면적을 줄일 수 있고, 종전의 방식보다 적은 수의 클럭으로 연산이 종결되어서, 동작 시간 감소로 인해 전력소모를 줄일 수가 있다. 본 논문에서는 DVD용 RS-PC 복호기로 쓰이는 (208,192) RS 복호기를 수정 유클리드 알고리즘을 이용하여 설계 및 검증한다.

## II. 수정 유클리드 알고리즘을 이용한 시간영역 RS 복호 알고리즘

$N=2^m-1$ 일 때,  $(N, D)$  RS Code라 하면, ( $N$ =block length,  $I$ =message length,  $t$ =정정능력) 수신 데이터  $R(x)$ 를 다항식 표현으로 나타내면 다음과 같다.

$$R(x) = \sum_{i=0}^{N-1} r_i X^i = r_{N-1} X^{N-1} + \dots + r_1 X + r_0$$

$e$ 개의 오류(Error)와  $E$ 개의 삭제위치정보(Erasure)가 발생했다고 가정했을 때 복호 알고리즘은 다음과 같다. ( $2e + E \leq d-1$ )

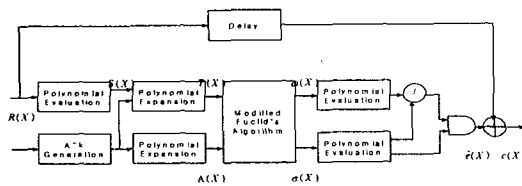


그림 3 수정 유클리드 알고리즘을 이용한 RS 복호기의 구조

Step 1) 수신된 데이터에 의해 발생하는 신드롬은 다음과 같다.

$$S_k = \sum_{i=0}^{N-1} r_i X^i \Big|_{x=\alpha^k}$$

$$= \sum_{i=0}^{N-1} r_i \alpha^{ki} \text{ for } 1 \leq k \leq d-1$$

신드롬의 다항식 표현은 다음과 같다.

$$S(X) = \sum_{k=0}^{d-1} S_k X^{k-1}$$

Step 2) 수신 데이터와 동기화되어 입력되는 삭제 위치정보로부터 삭제 위치 다항식(Erasure Locator Polynomial)의 계수값을 구한다.

$$\Lambda(X) = \prod_{\alpha^{-i} \in \Lambda} (X - \alpha^{-i})$$

Step 3) 신드롬 다항식과 삭제 위치 다항식을 곱해 수정 신드롬 다항식을 구한다.

$$T(X) = S(X)\Lambda(X) \bmod X^{d-1} = \sum_{k=0}^{d-1} T_k X^{k-1}$$

Step 4) 만약  $\deg(\Lambda(X)) > \deg(T(X))$ 이면 오류가 없으므로 수정 유클리드 알고리즘을 수행하지 않고, 오류 위치 다항식은  $\sigma(X) = \Lambda(X)$ 이 되고, 오류 평가 다항식(errata evaluator polynomial)은  $\omega(X) = T(X)$ 이 되어 Chien Search을 수행하게 된다.

$\deg(\Lambda(X)) \leq \deg(T(X))$ 인 경우에는 다음의 초기화 조건으로 수정 유클리드 알고리즘을 수행한다.

$$\mu_0(X) = \Lambda(X), \quad R_0(X) = X^{d-1}$$

$$\lambda_0(X) = 0, \quad Q_0(X) = T(X)$$

$\deg(\Lambda_i(X)) > \deg(R_i(X))$  조건이 만족될 때까지 다음의 연산을 반복 수행한다.

$$R_i(X) = [\sigma_{i-1} b_{i-1} R_{i-1}(X) + \bar{\sigma}_{i-1} a_{i-1} Q_{i-1}(X)] - X^{l_{i-1}} [\sigma_{i-1} a_{i-1} Q_{i-1}(X) + \bar{\sigma}_{i-1} b_{i-1} R_{i-1}(X)]$$

$$\lambda_i(X) = [\sigma_{i-1} b_{i-1} \lambda_{i-1}(X) + \bar{\sigma}_{i-1} a_{i-1} \mu_{i-1}(X)] - X^{l_{i-1}} [\sigma_{i-1} a_{i-1} \mu_{i-1}(X) + \bar{\sigma}_{i-1} b_{i-1} \lambda_{i-1}(X)]$$

여기서  $a_{i-1}$ 과  $b_{i-1}$ 는 각각  $R_{i-1}(X)$ 와  $Q_{i-1}(X)$ 의 최고차항의 계수를 나타내고,

$$l_{i-1} = \deg(R_{i-1}(X)) - \deg(Q_{i-1}(X))$$

$$\sigma_{i-1} = 1 \quad \text{if } l_{i-1} \geq 0$$

$$\bar{\sigma}_{i-1} = 1 \quad \text{if } l_{i-1} < 0$$

를 나타낸다. 알고리즘이 끝나면  $\sigma(X) = \lambda_i(X)$ 이 되고,  $\omega(X) = R_i(X)$ 이 된다.

Step 5) 오류 위치 다항식으로부터

$\sigma(\alpha^{-i}) = 0, \quad i=0, \dots, N-1$  을 만족하는  $\alpha^{-i}$ 을 찾는다.

Step 6) Step 5에서 구한  $\alpha^{-i}, \quad i=0, \dots, N-1$ 에 대해 다음과 같이 오류의 크기를 구한다.

$$\hat{e}_i = -\frac{\omega(a^{-i})}{\sigma(a^{-i})} \quad 0 \leq i \leq N-1$$

Step 7) 수신 데이터로부터 오류의 크기를 제거하여 오류를 정정한다.

$$\hat{C}_i = r_i - \hat{e}_i \quad 0 \leq i \leq N-1$$

### III. RS 복호기의 구조

#### 3.1 Syndrome 연산부

Syndrome 값이란 수신 다항식  $R(x)$ 에 생성 다항식의 근을 대입한 값으로 오류 발생 여부의 판별과 오류 위치 다항식 계산, 오류값 계산의 근거를 제공하는 중요한 값이다. (208, 192) RS 코드인 경우 208개의 수신 부호어로 신드롬식을 전개해보면,

$$\begin{aligned} S_k &= R(a^k) \\ &= r_{207}(a^k)^{207} + r_{206}(a^k)^{206} + \dots + r_1(a^k)^1 + r_0(a^k)^0 \\ &= (((\dots((r_{207} * a^k + r_{206}) * a^k + r_{206}) \\ &\quad * a^k + \dots) * a^k + r_1) * a^k + r_0 \end{aligned}$$

위의 식에서의 특징을 살려 Syndrome을 구성하는 회로는 다음과 같다.

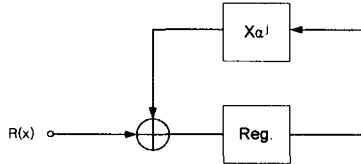


그림 4 Syndrome 연산부

Register의 초기값이 0인 상태에서  $R(x)$ 가  $r_{207}$  symbol로부터 입력되어  $r_0$ 까지 입력된 직후 Register의 값이 위의 식과 일치하는 Syndrome  $S_k$ 가 된다.

#### 3.2 효율적인 유클리드 셀을 이용한 유클리드 연산부

Step 4의 유클리드 알고리즘은 I.S. REED가 제안한 구조에서  $(N-D)^2$ 의 클럭이 소요되는데, 이는  $t=8$ 인 경우에 16차의 다항식 연산을 최대 16번 반복함으로써 생기는 결과로  $16^2$ 클럭이 소요됨을 알 수 있다.

하지만 유클리드 알고리즘은 한번 반복 될 때마다  $\deg(R(X)) \geq \deg(Q(X))$ 인 경우에는  $R(X)$ 의 최고차 항이,  $\deg(R(X)) < \deg(Q(X))$ 인 경우에는  $Q(X)$ 의

최고차 항이 0이 되어 차수가 줄어들게 된다. 따라서 각 반복마다 최고차 항을 제외한 최고차 항 미만의 항에 대해서만 계산한다면 각 반복마다 1클럭씩의 감소 효과를 얻을 수 있다. 또한  $R(X), Q(X), \lambda(X), \mu(X)$ 을 저장하고 있는 레지스터를 Addressing 방식으로 구성하면 감소된 차수에 있어서 유효한 차수만을 동적으로 접근할 수 있기 때문에 클럭 소모를 줄일 수 있다. 다음은 유클리드 알고리즘 초기화 조건을 살펴보자. Step 4에서 살펴본 바와 같이 매번 유클리드 알고리즘이 실행될 때,  $R_0(X) = X^{d-1}$ 로 초기화되는 것을 알 수 있다. 하지만 다음의 방법으로 초기화를 한다면,  $t=8$ 인 경우, 최악의 경우 유클리드 알고리즘을 16번 반복해야 하지만, 15번으로 줄일 수 있게 된다.

$$\mu_0(X) = \Lambda(X), \quad R_0(X) = X \sum_{k=0}^{t-2} T_k X^{k-1}$$

$$\lambda_0(X) = X\Lambda(X), \quad Q_0(X) = T(X)$$

위의 초기화 방법은 본래 수정 유클리드 알고리즘에서 첫 번째 계산을 종료하였을 때의 값과 같다. 이런 초기화를 위해서는 수정 신드롬과 삭제 위치 다항식의 계수값이 유클리드 계산부로 로딩될 때  $R(X), \lambda(X)$ 의 레지스터에  $X$ 만큼 쉬프트 시킨 값들로 초기화함으로써 가능하다.

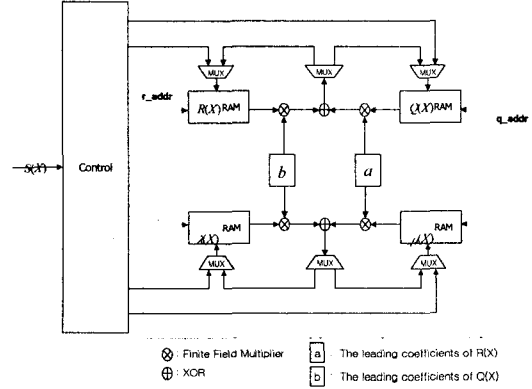


그림 5 제안된 유클리드 셀의 구조

본 논문에서 제시한 동적 주소 지정 방식, 불필요한 연산을 제거한 연산, 알고리즘 초기화 변경 방법을 사용하면 (208, 192) RS 부호의 경우 179 클럭에 (32% 감소) 연산을 종료할 수 있게 된다. 시뮬레이션 결과 모든 RS Code의 Spec. 에 대해서  $t^2 + 2t$ 의 클럭 감소 효과 (30%이상) 를 나타냈다.

#### 3.3 Chien Search 연산부

오류 위치 다항식의 근을 찾아 오류의 크기를 구하는 연산부로서 (208, 192) RS 부호의 경우  $\alpha^{-0} \sim \alpha^{-207}$  근을 오류 위치 다항식에 대입해서 0이 되는 위치를 찾아 Forney Algorithm을 이용해 오류의 크기를 구하게 된다. 그림 6에 Chien Search 연산부의 구조를 나타내었다.

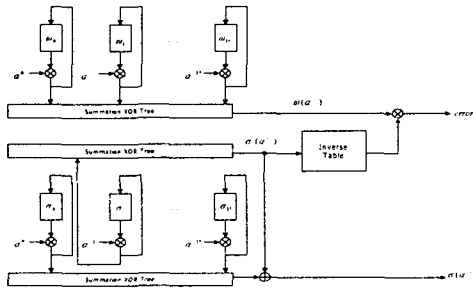


그림 6 Chien Search 연산부의 구조

#### IV. VHDL을 이용한 설계 및 검증

본 논문에서 제시한 효율적인 유클리드 셀을 이용한 DVD용 (208, 192) RS 복호기를 알고리즘 단계에서 C 언어를 이용해서 검증하였고, VHDL을 이용하여 RTL Level에서 설계 및 합성하였다. SYNOPSIS사의 Design Compiler를 이용해 현대 0.65um 3.3V CMOS technology cell library로 합성하여, Cadence사의 DAI SignalScan을 이용하여 Gate-Level Simulation을 하였다. 합성 결과 RS 복호기 전체의 칩 면적은 48,192 gates, 동작 주파수는 worst case simulation 결과 최대 40MHz 까지 안정적으로 동작함을 확인하였다.

#### V. 결론

본 논문에서 수정 유클리드 알고리즘을 이용해서 DVD용 RS 복호기를 설계하였다. 그리고 유클리드 알고리즘을 수행하는 효율적인 유클리드 셀을 제안하였다. 본 논문에서 제시한 유클리드 셀을 이용하여 DVD용 RS 복호기를 유클리드 셀 1개만으로 설계 및 구현할 수 있었다. 제시한 유클리드 셀은 종전의 방식과 비교해서  $t^2 + 2t$  (30% 이상)의 클럭 감소 효과를 나타냈으며, 동작 시간 감소로 인해 유클리드 셀을 적게 이용하여 복호기를 구성할 수 있다. 그리고 실제 공정으로 합성하여 안정적으로 동작함을 검증하였다.

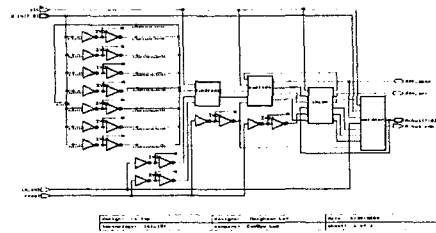


그림 7 DVD용 RS Decoder 합성결과

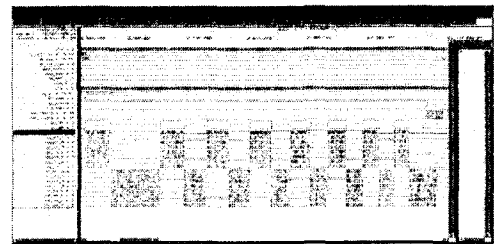


그림 8 Gate-Level Simulation 결과

#### 참고문헌

- [1] H. M. Shao and I. S. Reed, "A VLSI Design of a Pipeline Reed-Solomon Decoder", IEEE Trans. Computers, Vol. C-34, no. 5, pp.393~402, 1985.
  - [2] H. M. Shao and I. S. Reed, "On the VLSI Design of a Pipeline Reed-Solomon Decoder Using Systolic Arrays", IEEE Trans. Computer, Vol. 37, no. 10, pp.1273~1280, 1988.
  - [3] H. M. Shao, T. K. Truong, J. S. Hsu, L. J. Deutsch, and I. S. Reed, "A single chip VLSI Reed-Solomon decoder", Jet Propulsion Lab. TDA Progress Rep. 42~84, Oct.-Dec. 1985.
  - [4] S. B. Wicker, Error Control Systems for Digital Communication and Storage, Prentice-Hall Publication, 1995.
  - [5] S. B. Wicker and V. K. Bhargava, Reed-Solomon Codes and their Applications, IEEE Press, 1994.
  - [6] I. S. Reed, Xuemin Chen, Error-Control Coding for Data Networks, Kluwer Academic Publishers, 1999.
  - [7] 남상엽, "DVD와 CD/R/CD-RW 기술", 우신출판, 1999.
- ※ 이 연구는 반도체설계교육센터(IDEC)의 지원으로 수행되었습니다.