Switched-Capacitor 루프 필터를 이용한 Phase-Locked Loop의 설계

최근일, 이용석
연세대학교 전기전자공학과
전화 : (02) 2123-2872

A Phase-Locked Loop Using Switched-Capacitor Loop Filter

Kunil Choe, Yong-Surk Lee
Dept. of Electrical and Electronic Engineering, Yonsei University
Email : kunil@yonsei.ac.kr

Abstract

Modern standard CMOS process technology suffer from so large amount of PVT i.e process, voltage and temperature variation over 30% of its desired value that accurate resistor value is hard to be achieved. A filter using switched-capacitor(SC) circuit has a time constant proportional to relative capacitor area ratio rather than its absolute value. If the PLL's loop filter were made out of SC circuit, there could be much less PVT variation problem. Furthermore, programmability on the loop filter can be achieved

In this paper, we present the PLL with SC loop filter. The accuracy provided by SC filter would be helpful to enhance PLL's locking behaviour.

1. 서론

보통의 CMOS 공정에서의 변화(process variation)는 PLL(Phase-Locked Loop)에 필요한 저항을 만들기에는 너무 크다. 또한, PLL의 입출력 주파수 비에 따라 변하는 루프 이득을 조절해야 하는데, 기존의 방법은 VCO의 제어전압이 갑작스레 바뀌게 되므로 lock을 잃어버릴 위험이 있다.[1]

한편 switched-capacitor 필터는 클럭의 주기와 캐패시터 값의 비율로 계수가 정해지므로 공정변화에 민감하지 않은 시스템을 얻을 수 있으며,[2] 클럭의 주파수를 바꾼다면 필터의 계수 조절도 가능하다. 현재 가장 많이 사용되는 전하펌프 PLL 시스템을 기초로, switched-capacitor 필터를 이용한 PLL 시스템을 2장에서 분석하겠다. 3장에서는 switched-capacitor를 루프 필터로 이용할 때의 고려사항에 대해 알아보겠고, 4장에서는 각 기본 블럭들의 회로 설계에 대해 집중적으로 논하겠으며, 5장은 시뮬레이션과 그 결과에 대해 알아보도록 하겠다.

2. Switched-Capacitor 루프 필터 PLL의 해석

2.1. 루프 필터의 구성

그림 1에는 일반적인 형태의 1차 능동 필터를 나타내었다. 이 필터의 전달함수는 식 (1)과 같다.

$$Z(s) = -\frac{C_1}{C_2} \cdot \frac{s+\frac{1}{C_1R_1}}{s+\frac{1}{C_2R_2}} \qquad (1)$$

불연속적으로 나오는 전하펌프의 전류 출력을 연속적인 전압 신호로 만들어 주기 위해 캐패시터를 출력에 부하로 연결하고 전압 버퍼를 추가하였다.

2.2. 3차 PLL 시스템의 분석

그림 1(b)의 루프 필터를 이용한다면, 전제 PLL 시스템은 3차 시스템이 된다. 식 (1)을 참고하여 적분 회로 + 루프 필터 전달함수 $Z_f(s)$를 구하면 식 (2)와 같다.

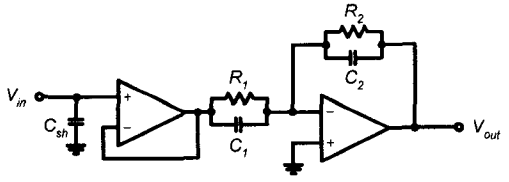

그림 1. 능동 루프 필터

$$Z_f(s) = -\frac{C_1}{C_2}\cdot\frac{1}{sC_{sh}}\cdot\frac{s+\frac{1}{R_1C_1}}{s+\frac{1}{R_2C_2}} \quad (2)$$

다시 열린 루프 전달함수 $G(s)$를 구하면,

$$G(s) = -K_P Z_f(s)\left(-\frac{K_O}{Ns}\right)$$

$$= \frac{K_P K_O C_1}{C_{sh}C_2}\cdot\frac{1}{s^2}\cdot\frac{s+\frac{1}{R_1C_1}}{s+\frac{1}{R_2C_2}} \quad (3)$$

와 같다. 이제 닫힌 루프 전달함수 $H(s)$를 구하면,

$$H(s) = \frac{G(s)}{1+G(s)}$$

$$= \frac{2\zeta\omega_n s+\omega_n^2}{C_2R_2s^3+s^2+2\zeta\omega_n s+\omega_n^2} \quad (4)$$

와 같이 나타난다. 이때 ω_n과 ζ는,

$$\omega_n = \sqrt{\frac{R_2}{R_1}\cdot\frac{K_PK_O}{NC_{sh}}}$$

$$\zeta = \frac{R_1C_1}{2}\sqrt{\frac{R_2}{R_1}\cdot\frac{K_PK_O}{NC_{sh}}} \quad (5)$$

라 정의하였다.[3] 이때 N은 PLL의 입력에 대한 출력 신호 주파수의 비율이다. 보통의 루프필터 설계에서 $\tau_2 = R_2C_2$에 의한 폴은 첫 번째의 제로보다 10배 이상 높은 주파수에 두는 것이 보통이므로 R_2C_2의 값은 식 (4)의 다른 계수들 보다 훨씬 작게 되어 s^3항을 무시할 수 있다. 따라서 전체 시스템을 2차로 단순화 할 수 있다. 이를 토대로 루프 필터의 각 파라미터를 구하면 표 1과 같다. 그림 2와 3에는 표 1의 값들을 이용하여 구한 PLL 시스템의 주파수 및 시간 응답을 나타내었다.

3. Switched-capacitor 루프 필터의 고려 사항

3.1. Natural Frequency와 Damping 계수의 변화

RC 능동 필터에서 저항값을 모두 switched-capacitor로 바꾸어 스위치와 캐패시터로 만들어진 저항의 식을 식 (5)에 대입하면,

$$\omega_n = \sqrt{\frac{C_{sc1}}{C_{sc2}}\cdot\frac{K_PK_O}{NC_{sh}}}$$

$$\zeta = \frac{T_{sc}}{2}\cdot\frac{C_1}{C_{sc1}}\cdot\sqrt{\frac{C_{sc1}}{C_{sc2}}\cdot\frac{K_PK_O}{NC_{sh}}} \quad (6)$$

와 같은 결과를 얻는다.

식 (6)을 살펴보면 natural frequency ω_n은 변하지 않지만 damping 계수 ζ는 T_{sc}에 비례하여 증가한다.

(그림 4)

항 목	값	항 목	값
ω_n	3.14 Mrad/s	Csh	10.94 nF
ζ	0.707	C_1	2.25 pF
ω_{3dB}	6.28 Mrad/s	C_2	0.45 pF
K_P	49.34 uA/rad	R_1	200 kΩ
K_O	-4.38 Grad/s/V	R_2	100 kΩ

표 1. 2차 능동필터를 사용한 3차 PLL 시스템의 파라미터. K_O와 K_P를 실험을 통해 측정되었다.

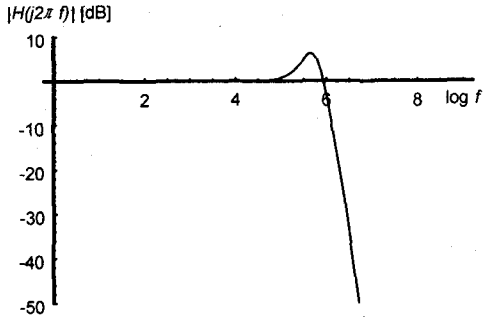

그림 2. 3차 PLL 시스템의 닫힌 루프 주파수 응답 (ω_n=6.28Mrad/s, ζ=0.707)

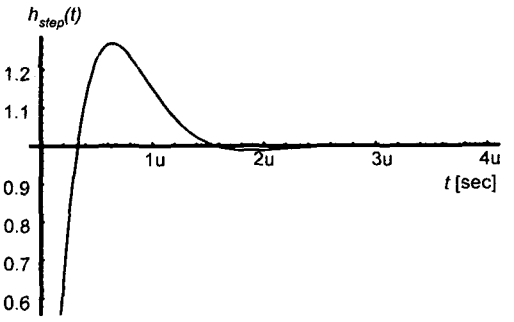

그림 3. 3차 PLL 시스템의 닫힌 루프 step 응답 (ω_n=6.28Mrad/s, ζ=0.707)

한편, 출력 체배비율 N에 따른 식 (6)의 변화를 생각하여 보자. 만약 damping 계수 ζ가 고정된다면 T_{sc}와 N은 다음과 같은 관계를 가진다.

$$T_{sc} \propto \sqrt{N} \quad (7)$$

3.2. PLL의 오차 전달함수

PLL의 오차 전달함수는 식 (4)에 의해 다음과 같이 나타난다.

$$H_e(s) = \frac{\theta_e}{\theta_i} = 1 - H(s) = \frac{1}{1+G(s)} \quad (8)$$

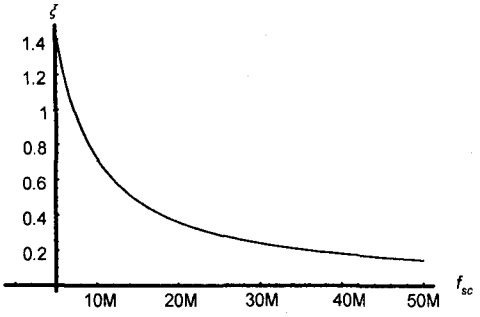

그림 4. Switched-Capacitor의 클럭 변화에 따른 damping 계수의 변화

식 (3)에 의하면 $G(s)$는 저역 통과 필터의 전달함수이지만 식 (8)의 $H_e(s)$는 고역 통과 필터의 전달함수 형태이다. 따라서 비교적 고주파에 존재하는 VCO의 내부나 switched-capacitor 회로의 스위치에 의해 발생하는 잡음은 통과대역에 포함되어 잘 제거되지 않는다.[4]

따라서 switched-capacitor를 루프 필터로 이용하려 할 때, 스위치를 clock feedthrourgh이 작도록 설계하는 것이 매우 중요하다.

4. 각 기능블럭의 설계

4.1. Switched-Capacitor 루프 필터의 설계

그림 5는 switched-capacitor를 이용한 루프필터의 구성도이다. Clock feedthrourgh을 없애기 위해 M3과 M4에는 각각의 클럭보다 조금 빠르게 꺼지는 ϕ_{1a}, ϕ_{2a}라는 클럭을 사용하였고, M3과 M4는 N 트랜지스터만으로 스위치를 만들었다.

4.2. Sample-and-Hold 회로의 설계

Switched-capacitor 회로의 출력은 불연속 하므로 VCO를 제어하려면 sample-and-hold 회로가 필요하다. Clock feedthrough를 줄이기 위해 그림 6과 같은 회로를 사용하였다.[2]

5. 시뮬레이션

5.1. Switched-Capacitor 필터의 시뮬레이션

입력으로 델타함수 $\delta(t)$와 비슷한 폭이 좁은 펄스를 가하여 시스템의 응답을 구한 후 FFT 분석을 통해 전달함수를 구한 결과가 그림 7이다.

5.2. Sample-and-Hold 회로의 시뮬레이션

그림 14는 그림 10의 회로를 시뮬레이션 한 결과이다. 스위치가 꺼지며 홀드가 이루어지는 시점에서도 전혀 전압의 변동이 없어 clock feedthrough의 영향이 상쇄되었음을 알 수 있다.

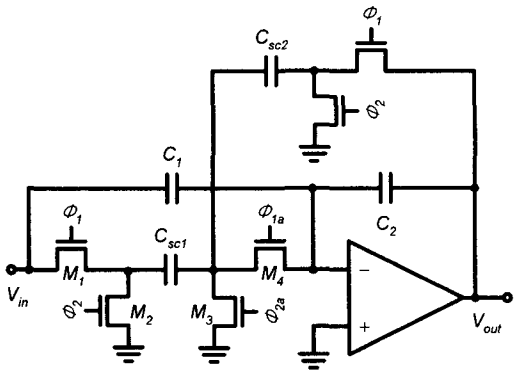

그림 5. 1차 Switched-capacitor 필터

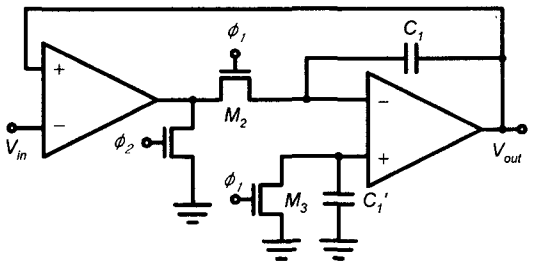

그림 6. Clock feedthrough가 상쇄되는 Sample-and-Hold 회로

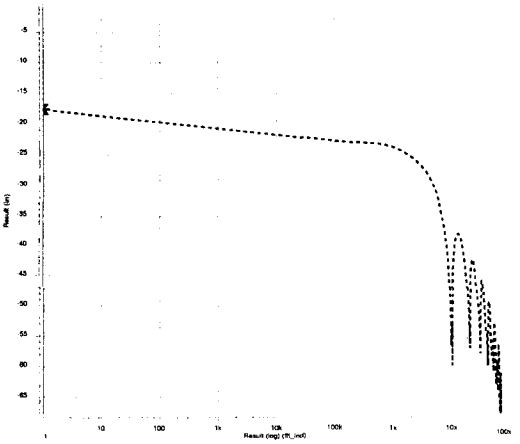

그림 7. Switched-capacitor 필터의 전달함수

5.3. 전체 PLL 시스템의 시뮬레이션

그림 9와 10은 VCO의 중심주파수 부근인 f_{in}=607MHz, VDD=-VSS=1.65V에서 typical 모델로 시뮬레이션 한 결과이다.

그림 9를 보면 Switched-capacitor 필터를 이용하였을 때 나타나는 스위치에 의한 잡음이 약간씩 나타남을 알 수 있다.

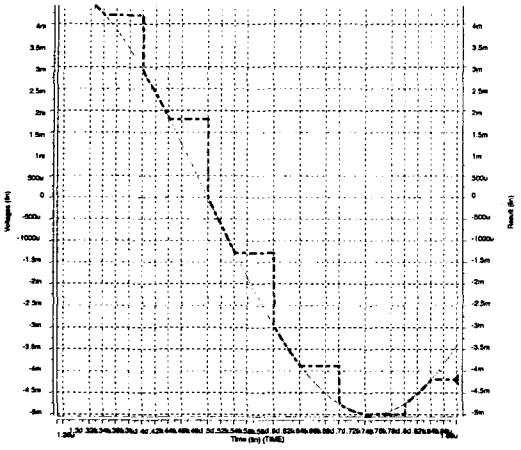

그림 8. Clock feedthrough의 영향이 제거된 Sample-and-Hold의 출력 (V_{in}=10mV_{p-p}, f_{in}=100kHz)

그러나 clock feedthrough에 의한 DC 오프셋이나 글리치와는 달리 이 잡음은 입력신호에 따라 변하지도 않고 DC 성분도 가지고 있지 않으므로 레이아웃을 한다면 parasitic 캐패시터와 OTA의 대역폭 제한에 의해 거의 없어질 것이라 예상된다.

0.35um 2 poly 5 metal 공정을 이용한 결과, 50MHz~900MHz 범위에서 lock이 이루어짐을 시뮬레이션을 통해 확인하였다. Pull-in과 lock-in 과정을 포함한 평균 소비 전력은 42mW 정도였다.

6. 결론

본 논문에서는 PLL 시스템의 루프 필터를 위해 switched-capacitor로 구성된 필터를 사용하였다. 루프 필터로 switched-capacitor를 사용할 때 얻을 수 있는 이점은 ① f_{sc}를 천천히 변화시킨다면 시스템의 damping 계수를 바꾸어 줄 수 있고, ② PVT 변화에 민감하지 않게 필터를 구성할 수 있으며, ③ 주파수 체배비율을 보다 크게 할 수 있다는 것이다.

단점으로는 ① 회로가 복잡하고 보다 큰 면적을 차지하며, ② 시스템의 닫힌 루프 전달함수의 대역폭을 넓게 할 수 없으며, ③ 전류를 적분하는 캐패시터의 크기가 커진다는 문제가 있다.

회로 설계에 있어서는 switched-capacitor와 sample-and-hold 회로의 clock feedthrough로 인한 오차를 최소화하기 위해 여러 가지 기법들을 사용하여 시뮬레이션 상에서 출력의 글리치를 거의 제거하는데 성공하였다.

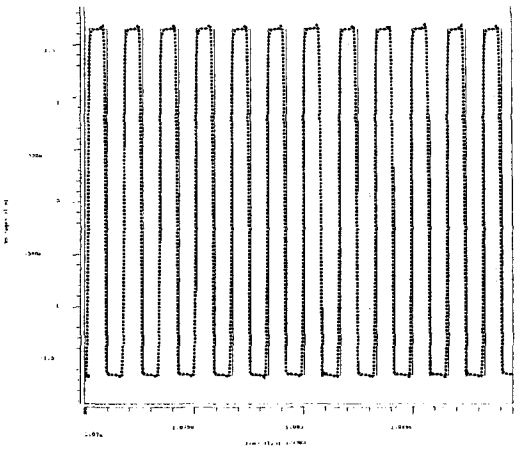

그림 9. PLL 출력 (실선:입력, 점선:출력) (f_{in}=607MHz, T=300K)

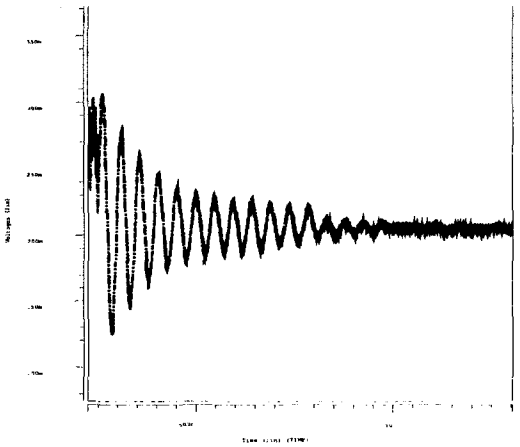

그림 10. Lock-in 과정에서의 VCO 제어전압의 변화 (f_{in}=607MHz, T=300K)

참 고 문 헌

[1] R. E. Best, Phase-Locked Loop, Design, Simulation, and Applications, Fourth Edition, McGraw-Hill, 1999

[2] D. A. Johns, K. Martin, Analog Integrated Circuit Design, John Wiley & Sons, 1997

[3] F. M. Gardner, "Charge-Pump Phase-Locked Loop," IEEE Trans. on Communication, vol COM-28, pp.1849-1858, November, 1980

[4] K. Lim, C. H. Park, D. S. Kim, B. Kim, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization,", IEEE J. Solid-State Circuits, vol. 35, no. 6, pp.807-815, June, 2000