

가장자리 검출을 위한 상호연결을 가진 망막칩

심 선 일 (沈 善 一), *김 용 태 (金 龍 泰), 박 정 호 (朴 廷 浩)

**Masahiro Ohtani, **Hiroo Yonezu,

고려대학교 전자공학과, *한국과학기술연구원(KIST),

**Toyohashi University of Tehcnology

전화 : 02-958-5733 / 핸드폰 : 011-294-1589

A novel retina chip with simple wiring for edge extraction

Sun Il Shim, *Yong Tae Kim, Jung Ho Park

**Masahiro Ohtani, and **Hiroo Yoneyzy

Department of Electornics Engineering, Korea University

E-mail : ytkim@kist.re.kr

Abstract

A novel silicon retina chip based on the information processing in the vertebrate retina was designed. The chip has a novel wiring structure in which all pixels are connected through the channel of MOS transistors, which simplifies a wiring structure compared with conventional resistive networks. The proposed structure minimizes the pixel area and certainly increases a fill factor since each pixel consists of only two photodiodes and three MOS transistors. It also enables the chip to operate over a wide range of light intensity by adjusting its conductance with the gate voltage. Simulation results with SPICE showed that the chip could extract the edge of input images successfully.

I. 서론

척추 동물의 망막은 뇌의 예비 처리를 하는 뉴런의 이미지 처리 시스템이다. 시각 입력 인식, 움직임 검출 등 대부분의 처리가 여기서 이루어진다. 이들 망막의 기능 중에서 입력 이미지의 가장자리 추출은 뇌에서의 신경 정보 수집 과정에 필요한 가장 중요한 특징이다. 척추 동물의 망막은 가장자리 추출을 위해 중요한 세 가지 종류의 셀이 있는데 그것들은 포토리셉터

셀, 수평 셀, 그리고 양극 셀이다. 양극 셀은 포토리셉터와 상호 연결된 수평 셀 네트워크의 상호 작용에 의해 형성된 정보를 받는다. [1]-[2]

인공적으로 우수한 영상 처리 시스템을 실현하기 위해서 아날로그 VLSI 기술을 이용한 많은 망막 하드웨어가 제안되어왔다.[3]-[5]. 이들은 좋은 성능의 실시간 영상 처리 시스템의 실현을 약속했다. 최근에는 몇몇의 실리콘 망막칩이 망막 가장자리 추출 시스템을 구현하기 위해 제안되었다. 이 칩들은 수평 셀에 의해 수행되는 입력 영상의 공간적 평탄화 작업을 저항 네트워크로 구현하였다. [3] 이 네트워크는 확산층에 의한 저항이나 몇 개의 MOS 트랜지스터로 만들어진 수동 저항으로 형성된 저항 회로들로 구성되어 있다. 그러나 저항 네트워크는 복잡한 연결 구조를 요구하고 넓은 칩면적을 차지하기 때문에 다양한 컨덕턴스를 가진 픽셀을 연결하는 것은 매우 어렵다.

우리가 제안하는 실리콘 망막칩은 다양한 컨덕턴스를 가지는 픽셀사이의 연결을 포토다이오드 사이에 게이트를 만들어 좁으므로써 형성되는 pMOS 트랜지스터를 사용하여 작은 면적을 차지하면서 간단히 연결할 수 있게 하였다. 또한 빛에 대한 민감도를 유지하기 위해 트랜지스터의 컨덕턴스를 조정하여 해상도를 맞추어 주는 것이 가능하므로 넓은 영역의 빛의 강도에 걸쳐 동작하도록 설계하였다.

II. 칩 구조와 동작 원리

그림 1은 망막에서 수행하는 기본적인 가장자리 추출 방법을 보여준다. 가로축은 불연속적인 노드의 위치를 나타내고 세로축은 망막 셀의 정규화된 신호 강도를 나타낸다. 포토리셉터는 빛, 즉 광신호를 받아들여 그것을 빛이 강도를 반영하는 전기 신호로 바꾸어 준다. 가장자리란 빛 신호가 현저히 변화하는 부분을 나타내는데 이는 다음과 같은 과정으로 알아낸다. 수평 셀은 전기 신호로 전환된 광신호(OS)를 공간적으로 평탄화시키고 양극 셀은 이 두 신호, 즉 광신호(OS)와 평탄화된 신호(SS)의 차이를 출력하게 한다. 그러므로 양극 셀의 출력 신호의 절대값은 가장자리 가까운 부분에서 커지는 반면 가장자리에서 멀어지는 위치일수록 신호는 약해진다. 이런 방법으로 입력 영상의 가장자리가 추출된다.

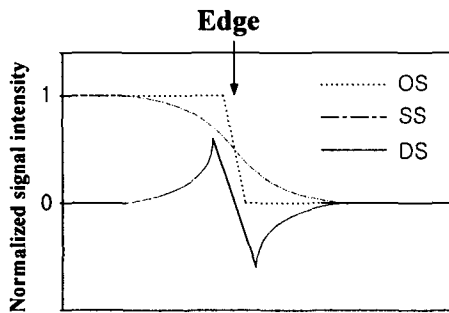


그림 1. 망막에서 가장자리 추출 방법

수동 저항으로 연결하여 형성된 망막의 실리콘 모델은 그림 2와 같다. [6] 출력은 각 지점의 리셉터와 저항 네트워크의 리셉터 사이의 차이이고 네트워크의 각 지점은 공간적으로 포토리셉터의 가중화된 평균값을 나타낸다. 입력이 한 지점에서 멀어질수록 더 작은 가중치가 주어지는데 일반적으로 거리에 따라 지수 함수적으로 감소한다. 2차원의 네트워크에서 각각의 포토리셉터는 저항 성분으로 여섯 개의 주변 셀과 연결되어 육각형 모양의 배열을 형성한다. 배열의 각 노드는 저항적인 연결과 관련된 여섯 개의 강도를 조절하기 위한 하나의 바이어스 회로를 가지고 있다. 포토리셉터는 컨덕턴스를 통해 저항 네트워크를 강제하는 전압 입력으로서 동작한다. 양방향 컨덕턴스로 트랜스 컨덕턴스 증폭기가 사용되었기 때문에 포토리셉터는 효과적인

전압 소스로서 동작한다. 증폭기의 입력은 트랜지스터의 게이트에 연결되어 있기 때문에 포토리셉터의 출력 노드로부터는 전압이 흐르지 않는다.

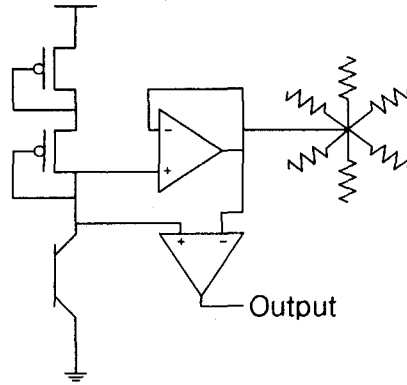


그림 2 수동 저항으로 연결하여 형성된 망막의 실리콘 모델

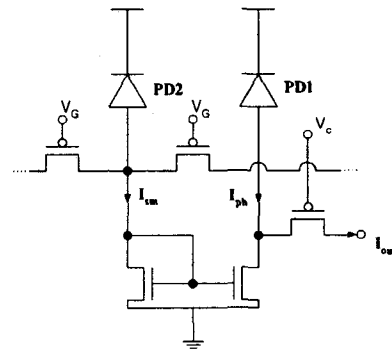


그림 3. 망막칩 픽셀의 회로

우리는 광전 변환, 평탄화와 차이를 계산하는 요소를 가진 망막칩을 그림 3과 같이 설계하였다. 각각의 픽셀은 포토리셉터와 양극 셀로 구성되었고 수평 셀은 각 픽셀 사이에 pMOS 트랜지스터를 연결하여 구현하였다. 이 pMOS 트랜지스터는 p-n 접합으로 이루어진 포토다이오드 사이에 게이트 전극을 형성하여 주변 쉽게 만들 수가 있고 수동 저항에 비해 칩면적과 컨덕턴스의 조절에서 매우 우수한 장점을 가진다. 각 픽셀은 두 개의 포토다이오드 (PD1, PD2)와 전류 거울로 구성되어 있다. PD1과 PD2는 빛이 가해졌을 때 같은 값의 전류 I_{ph} 를 생산해낸다. PD2에서 생성된 I_{ph} 는 MOS 트랜지스터로 연결된 네트워크를 따라 확산되어 공간적으로

평탄화된 전류 I_{sm} 을 만들어 낸다. 이 확산의 정도는 MOS 트랜지스터 게이트에 가해주는 전압 V_G 에 의해 조절된다. PD1은 PD2와 분리되어 있어 V_G 에 상관없이 전류 I_{ph} 를 생산한다. 출력 전류 I_{out} 은 전류거울에 의해 복사된 전류 I_{sm} 과 I_{ph} 의 차이를 생산해 낸다. 각 픽셀에는 출력전류를 선택적으로 검출하기 위한 스위치로서 트랜지스터를 가지고 있다. V_c 가 가해져서 스위치 트랜지스터가 켜지면 출력전류 I_{out} 은 밖으로 흘러 나오게 된다.

III. 시뮬레이션 결과

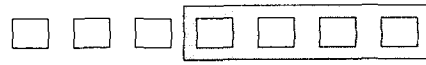
시뮬레이션을 위해서 사용된 파라미터는 Toyohashi University of Technology의 $10\mu\text{m}$ 룰을 사용하였고 파라미터는 표 1과 같다.

L (μm)	T_{ox} (\AA)	V_{Tn} (V)	V_{Tp} (V)	μ_n (cm^2/Vs)	μ_p (cm^2/Vs)
10	900	1.2	-1.6	217	134

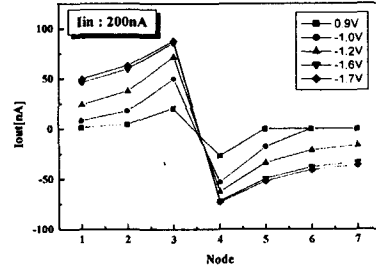
표 1. 시뮬레이션 파라미터

먼저 제어 전압 V_G 에 의한 출력의 변화를 알아보기 위해 그림 4(a)와 같이 7개의 픽셀을 일차원적으로 연결하여 V_G 의 변화에 따른 출력의 크기를 알아보았다. 그림 4(b)에서 보여지는 결과와 같이 V_G 가 작아질수록 pMOS 트랜지스터의 채널 컨덕턴스가 커져 대체적으로 모든 픽셀의 출력값이 큰 것을 볼 수 있다. 이는 가장자리에서의 출력값은 크지만 평탄도가 커서 해상도의 저하를 가져온다. 반면 V_G 가 클수록 가장자리에서 출력값의 크기는 작아지지만 평탄도가 작아져 바로 옆의 픽셀과 큰 차이를 만들어내어 해상도가 높아지는 모습을 볼 수 있다. 이는 V_G 를 외부의 빛강도에 대응하여 조절함으로써 넓은 영역에 걸쳐 이 칩이 동작할 수 있음을 보여주고 있다. 그림 4(c)는 $V_G = -1\text{V}$ 일 때 입력된 광전류 I_{ph} 와 평탄화된 전류 I_{sm} 을 나타내고 그들의 차이인 I_{out} 을 보여주고 있다. 예상하였던 바 처럼 I_{ph} 와 I_{sm} 의 차이를 출력으로 가지는 가장자리 검출 망막칩이 제대로 동작하는 것을 볼 수 있다.

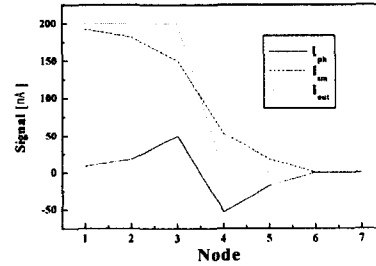
이차원적인 망막칩을 구현하기 위해 우리는 각각의 픽셀을 그림 5와 같이 육각형 모양으로 구성하였고 수평 선을 각 방향으로 연결하여 주었다. 각각의 선을 이와같이 육각형으로 $11 \times$



(a)



(b)



(c)

그림 4. (a) 일차원적으로 구성된 망막 회로 (b) V_G 에 따른 출력의 변화 (c) $V_G = -1\text{V}$ 일 때, 광전류 I_{ph} , 평탄화된 전류 I_{sm} , 출력전류 I_{out}

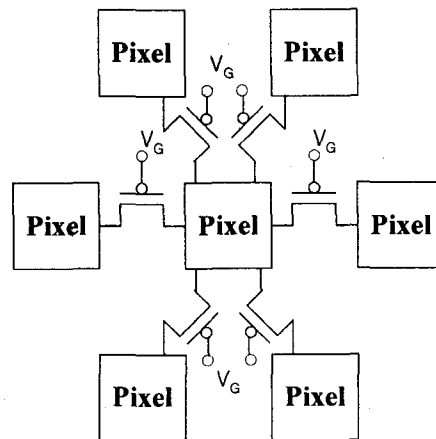
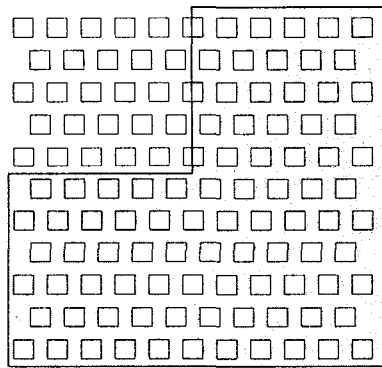


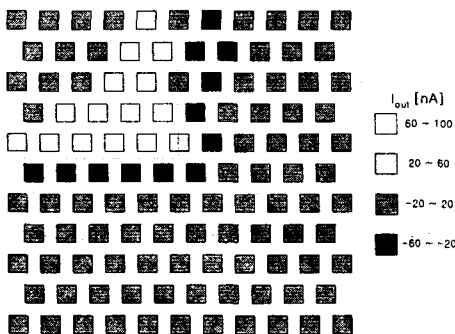
그림 5. 이차원 망막칩의 상호연결구조

11의 배열로 구성하였다. 총 구성된 픽셀의 수는 116개이고 수평 셀에 가해진 제어 전압은 모두 -1.0V이다.

그림 6은 설계된 망막칩의 사분의 일영역에만 네모형태의 빛이 입사되었을 경우의 시뮬레이션 결과를 보여주고 있다. 가장자리에 접한 픽셀은 그림 6(b)에 보이듯이 급격한 출력전류의 변화를 보여준다. 즉, 큰 양의 값을 가지는 전류는 빛을 입사해준 영역의 가장자리에서 나타나고 빛을 가해주지 않은 영역의 가장자리에서 큰 절대값을 가지는 음의 전류값이 나온다. 가장자리에서 멀어지는 픽셀일수록 평균값의 가중치가 감소하여 I_{sm} 이 영에 가까워짐으로 출력은 영에 가까운 값을 가진다. 이 결과는 가장자리에서 서로 다른 부호를 가지는 큰 출력의 전류를 보여주어 성공적으로 가장자리 추출이 이루어졌음을 알 수 있다.



(a)



(b)

그림 6. 시뮬레이션 결과. (a) 칩의 위쪽 사분의 일에 빛을 입사한 모습. (b) $V_G = -1$ V일 때 출력 전류의 분포.

IV. 결론

시각칩에서 중요한 요소인 망막칩을 기존의 수동 저항 대신 MOS 트랜지스터로 모든 픽셀을 연결하는 독특한 구조를 가지도록 설계하고 SPICE 시뮬레이션으로 여러 형태의 입력 이미지에 대해서 가장자리를 성공적으로 추출하는 것을 검증할 수 있었다. 제안된 시각칩은 MOS 트랜지스터의 트랜스 컨덕턴스를 조정함에 의해 넓은 영역의 빛 강도에 대응해 동작할 수 있음도 보여주었다. 이렇게 설계된 망막칩은 제작에 있어서도 몇 가지 장점을 가지고 있다. 첫째, 모든 픽셀이 각 픽셀의 PD2 사이에 게이트를 형성하여 MOS 트랜지스터로 연결되므로 복잡한 연결이 생략될 수 있다. 둘째, 각 픽셀은 단지 두 개의 포토다이오드와 세 개의 트랜지스터로 구성되어 집적화의 효율성을 높인다. 망막칩에서 추출한 가장자리 신호는 움직임 검출과 같은 다른 종류의 시각칩에서 신호 처리를 위해 사용될 수 있을 것이다. [7]

참고문헌

- [1] E. Najani, R. Erlanson, and Y. Abu-Mostafa, *The Eye*, Academic, 1984
- [2] S. W. Kuffler, J. G. Nicholls, and J. G. Martin, *From Neuron to Brain*, Sinauer Associates, 1984
- [3] C. Mead, *Analog VLSI and Neural Systems*, Addison Wesley, 1989
- [4] H. Kobayashi, J. L. White, and A. A. Abidi, "An active resistor network for Gaussian filtering of images," *IEEE J. Solid-State Circuits*, vol. 26, pp. 738-748, 1991
- [5] C. Y. Wu and C. F. Chiu, "A new structure of the 2-D silicon retina," *IEEE J. Solid-State Circuits*, vol. 30, pp. 890-897, 1995
- [6] C. Mead, *Analog VLSI Implementations of Neural Systems*, Kluwer Academic Publishers, 1989
- [7] T. Asai, M. Ohtani and H. Yonezu, "Analog MOS Circuits for Motion Detection Based on Correlation Neural Networks," *Jpn. J. Appl. Phys.*, vol. 38, no. 4B, pp. 2256-2261, 1999.