

HomePNA1.0 Transceiver의 회로 설계 및 구현

구기종, 유광현, 홍인성, 김보관

충남대학교 전자공학과

전화 : 042-821-7707 / 016-417-0672, E-mail : s_kjkoo@cnu.ac.kr

The Circuit Design and Implementation of HomePNA1.0 Transceiver

Ki-Jong Koo, Khwang-Hyun Ryu, In-Seong Hong, Bo-Gwan Kim

Dept. of Electronic Engineering, Chungnam National University

E-mail : s_kjkoo@cnu.ac.kr

Abstract

This paper presents the circuit design and implementation of a HomePNA (Home Phoneline Network Alliance) 1M8 PHY transceiver for specification ver1.1.

This paper describes a physical medium interface, an Ethernet MAC controller unit interface, and a management interface of the HomePNA transceiver.

The designed HomePNA transceiver can support any specifications having more than 32Mbps/sec(maximum in HomePNA ver2.0) transmission rate by changing physical medium interface, because Ethernet MAC controller unit interface has been designed by using MII.

시작했다. 이러한 요구에 따라 많은 단체에서 다양한 방법의 홈 네트워크 방법을 개발하고 있으며, 그 중에서 HomePNA는 구내에 이미 설치된 전화선로를 이용하여 추가의 비용 부담 없이 구내의 정보통신 기기들을 하나의 망에 연결하여 허브, 라우터 등의 별도의 장비 없이 구내에 LAN을 설치할 수 있다. 이러한 이점으로 국내에서도 HomePNA에 대한 관심이 높아지고 있다. 현재 표준화된 HomePNA 규격은 1Mbps의 전송속도를 지원하는 HomePNA ver1.0('99.6)과 최대 32Mbps의 전송속도를 지원하는 HomePNA ver2.0('99.12)이 있으며, 현재 국내에서는 HomePNA ver1.0을 지원하는 제품들이 사용하고 있다. 본 논문은 HomePNA 규격 1M8 PHY specification ver1.1에 대한 회로설계 및 구현에 관한 것으로서, 물리매체 접속(physical medium interface), Ethernet MAC 제어기 유닛과의 접속, 관리 접속(management interface)을 그 내용으로 한다.

I. 서론

인터넷 서비스 수요의 폭발적인 증가와 더불어 가정에서 보유하고 있는 PC를 포함한 각종 정보기기의 증가로 인하여 산재해 있는 장치들을 하나의 통합된 망에 연결하여 가입자 망을 경유하여 전달된 정보를 구내 망에서 효율적으로 활용해야 하는 문제가 발생하기

II. 본론

2.1 HomePNA 1M8 참조모델

HomePNA는 데크내에 이미 설치된 전화선로를 이용하여 데크내의 정보통신 기기들을 하나의 망에 연결하여 허브, 라우터 등의 별도 장비 없이 데크내에 LAN을 설치하는 기술이다. HomePNA 1M8 PHY specification ver1.1에서는 물리계층 장치의 규격을 규정하고 있으며 [그림1]과 같이 물리매체 접속(physical medium interface), Ethernet MAC 제어기 유닛과의 접속

This work was supported in part by the IDEC and Telecommunication Terminal Technology Dept. of ETRI

(Ethernet MAC controller unit interface), 관리접속 (management interface)의 3부분으로 구성되어 있다.

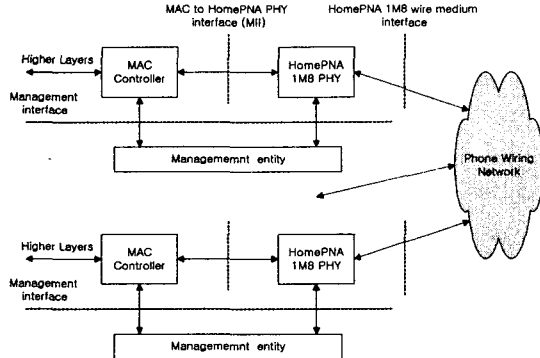


그림 1. HomePNA 1M8 참조 모델

2.2 HomePNA 1M8 PHY transceiver의 기본구조

HomePNA1.0 transceiver는 1M8 PHY spec. ver1.1에서 정의한 Header와 MAC controller로부터 수신한 Ethernet packet으로 구성된 프레임을 전송하기 위한 PHY 블록과 PHY의 동작 모드 설정 및 현재 상태를 저장하기 위한 Management 블록으로 구성되어 있다. [그림 2]는 HomePNA1.0 transceiver의 기본 구조이다.

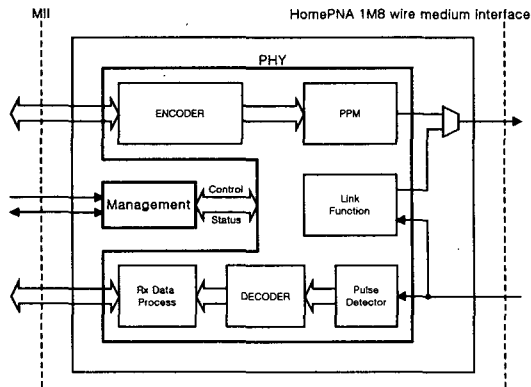


그림 2. HomePNA 1M8 PHY transceiver의 기본 구조

2.3 물리매체 접속

HomePNA1.0 transceiver는 5.5~9.5MHz의 주파수 대역을 사용하여 500ft 이내의 거리에서 RLL25 coding 방식으로 1M8 PHY specification ver1.1에서 정의한 header와 Ethernet packet으로 구성된 프레임

을 평균 1Mbps의 속도로 전송한다.

HomePNA transceiver의 PHY는 RLL25 coder/decoder, PPM(pulse position modulation), Pulse Detector로 구성된다.

RLL(Run-length limited)25 coder는 MAC controller로부터 transmission이 허락된 후 MII를 통해 매 clock마다 4 bits의 Ethernet packet를 받아서 [그림3]에 표시한 바와 같이 현재 bit와 다음 데이터의 bit 형태에 따라서 pulse 위치를 정한다. pulse 위치에 따라서 전송되는 데이터의 bit 수는 3~6bit이다.

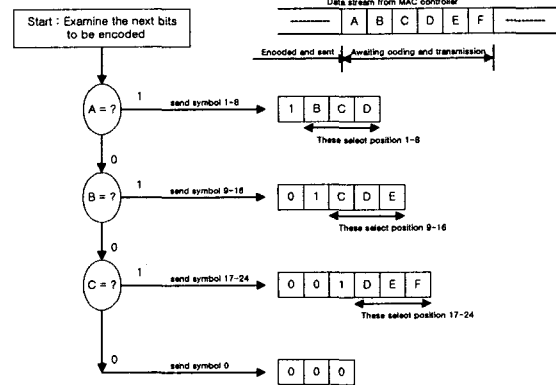


그림 3. RLL(Run-Length Limited)25 Coder

데이터의 전송은, [그림4]에 표시한 7.5MHz의 4주기 동안의 pulse를 사용하여, 60MHz를 7분주한 clock의 1주기의 간격(116.7ns=1TIC)으로 pulse의 위치를 정하고, 결국 28+mTICs의 형태로 pulse 위치에 따라서 지연이 발생한다.

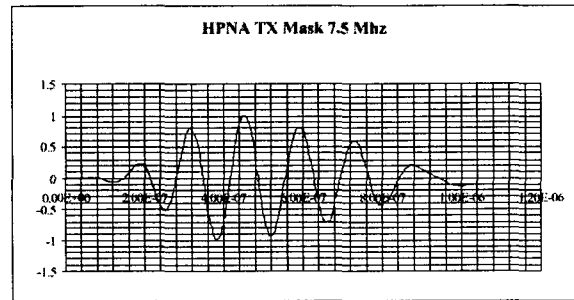


그림 4. 전송 pulse 파형

수신된 데이터는 pulse detector에서 60MHz clock으로 sampling하여 pulse의 위치를 결정한다. 서로 다른 두 개의 transceiver의 clock을 보정하기 위하여 [그림5]에 표시한 방법으로 수신 pulse의 위치에 해당하는 TIC 값을 결정한다.

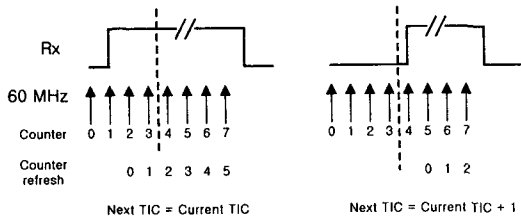


그림 5. TIC 값의 결정 방법

RLL25 decoder에서는 HomePNA spec. ver1.1에 근거하여 수신 pulse로부터 collision 상태를 결정하고, pulse detector에서 결정된 TIC 값에 따라 RLL25 decoding을 수행한다.

Rx Data Processing 블록에서는 Decoder로부터 결정된 수신 데이터를 수신 clock에 동기 시켜 4bits씩 MII를 통해 MAC controller에 전달하고, 이와 함께 수신 데이터를 전달하는 동안 제어 신호(CAR_SENS, RX_ER, RX_DV, COLL)를 결정하여 MAC controller에 전달한다.

2.3 Ethernet MAC 제어기 유닛 접속

HomePNA 1.0 transceiver는 MAC 프로토콜로 IEEE 802.3 CSMA/CD(Carrier Sense Multiple Access / Collision Detection)를 사용하여 전화선으로 Ethernet을 구성한다. Ethernet MAC 제어기 유닛과의 접속을 위하여 1M8 PHY specification ver1.1에서는 7개의 신호를 제공하나, HomePNA 1.0 transceiver는 MII인터페이스를 제공하고 있으며, 이는 추후 물리매체 접속만을 수정함으로써 최대 32Mbps의 전송 속도를 지원하는 HomePNA 규격 2.0 또는 그 이상의 전송 속도를 가지는 규격을 쉽게 지원할 수 있다.

MII의 구성 신호는 [그림6]에 표현되어 있다.

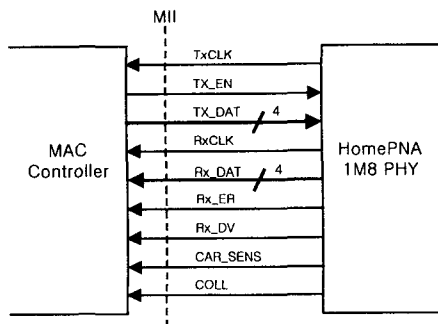


그림 6. MII의 구성 신호

TxCLK, RxCLK는 RLL25 coding 으로 인하여 일정한 주파수를 유지하지 않고, transceiver의 동작 상태에 따라 주파수가 다르게 동작한다. [표1]에는 transceiver의 동작에 따른 TxCLK, RxCLK의 주파수이다.

[표1] Transceiver의 동작상태에 따른 clock timing

동작상태	Clock 주기	Clock 주파수
Idle (excluding IPG time)	2333 ns	428.6 kHz
Preamble (first 64 bits of TX MAC frame)	933 ns	1.07 MHz
Data (throughout the data phase)	400 ns ~ 40 us	250 kHz avg.
IPG (96bit times following CAR_SENS ↓)	933 ns	1.07 MHz

TxDAT와 RxDAT는 transceiver가 Ethernet Data를 처리하는 구간에서 TxCLK과 RxCLK에 동기 되어 입출력 된다.

CAR_SENS와 COLL는 IEEE 802.3 CSMA/CD에 근거하여 선로상에 존재하는 신호를 감지하고, 이 신호들 간의 충돌을 검출한다.

TX_EN은 transceiver의 전송 시작을 알려주고, RX_ER은 수신 데이터의 오류를 표시하며, RX_DV는 수신 데이터의 유효 구간을 나타낸다.

2.4 관리 접속

HomePNA1.0 transceiver는 회로내부의 동작 모드 설정 및 현재 상태를 저장하기 위하여 16비트의 레지스터 32개를 가지고 있으며, 이 레지스터는 별도의 관리 접속신호를 통하여 접근 가능하다. 또한 현재 시스템의 동작을 원격으로 조정할 수 있으며, Link integrity 기능을 갖는다. [그림7]은 관리접속을 위한 구조를 보여준다.

시스템 초기화에 필요한 데이터는 Reg_ini 블록에서 생성되고, PHY의 동작 제어 및 상태를 위한 데이터는 Reg_Ctrl 블록에서 생성되어 multiplexer를 통해 Reg_File에 저장된다. Reg_File 블록은 2.5MHz clock, 16bits의 데이터, 5bits의 주소, 그리고 쓰기 신호를 입력으로 하고, 16bits의 데이터를 출력으로 한다.

관리 접속 신호는 2.5MHz의 MDC와 bi-direction 신호인 MDIO로 구성된다.

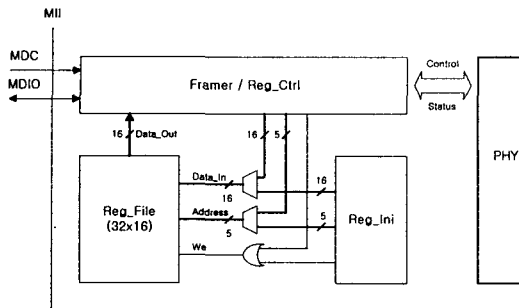


그림 7. 관리 접속 블록의 구조

Framer에서는 MDIO를 통해 입력되는 frame을 해석하여 register의 읽기, 쓰기 동작 모드를 결정하고, 읽기 동작에서는 Reg_File의 데이터를 frame 구조에 맞추어 MDIO를 통해 MAC에 전달하고, 쓰기 동작에서는 Frame으로부터 데이터를 추출하여 Reg_File에 저장한다.

III. 구현 및 검증

HomePNA 1.0 1M8 PHY의 구현을 위해 ALTERA사의 FPGA(FLEX10K100E240-1)를 사용하였고, [그림8]과 같이 현재 상용으로 나와 있는 HomePNA 1.0 카드와 test zig를 사용하여 검증 환경을 구성하였다.

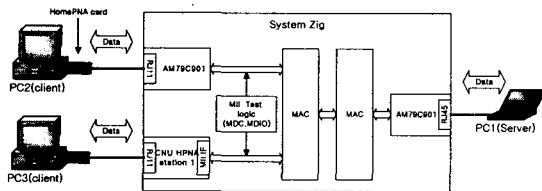


그림 8. 검증 환경

PC 2대에 상용 카드를 장착하고 PC간의 중계를 담당하는 test Jig에 상용 HomePNA 칩인 AMD사의 AM79C901과 자체 구현한 Transceiver를 실장 하였다. 검증을 위해 PC에 같은 네트워크 상의 IP를 부여 하여 PC간 데이터 통신이 수행되는 것을 확인함으로써 동작 검증을 하였다.

IV. 결론

기존의 선로를 그대로 이용하여 추가의 공사비용의 부담이 없이 가정에서 LAN을 설치하는 HomePNA 방식은 인터넷 서비스의 수요와 가정에서 사용하는 정보

통신기기가 늘어나고 있는 국내 실정에 알맞은 해결책이 될 것이다. 그러나 다른 구내망 연결 방식인 HomeRF, Bluetooth, IrDA, IEEE1394 등과 경쟁하기 위해 보다 저렴한 chip set 개발이 필수적이며, 좀더 빠른 전송속도를 지원하는 규격의 설정이 필요할 것이다. 본 논문에서는 1Mbps의 전송속도를 지원하는 HomePNA Transceiver를 설계하고 ALTERA사의 FPGA를 이용하여 구현하였으며, 이는 추후 국내의 HomePNA의 경쟁력을 높여 저렴하게 구내망을 구현할 수 있을 뿐만 아니라 외부망과도 쉽게 연결되어 진정한 고속 통신 서비스를 실현하는데 크게 기여할 것으로 기대된다.

참고 문헌

- [1] Home Phonenumber Networking Alliance, "Home Phonenumber Networking Alliance 1M8 PHY Specification Version 1.1"
- [2] Home Phonenumber Networking Alliance, "HomePNA Certification Document Version 1.0"
- [3] IEEE Std 802.3, Local and Metropolitan Area Networks, "22. Reconciliation Sublayer(RS) and Media Independent Interface(MII)" PP.488 ~ 533, 1998 Edition
- [4] AMD, Preliminary Am79C901 Single-Chip Datasheet, "HomePHY™ Single-Chip 1/10 Mbps Home Networking PHY"