

DDS를 이용한 BCPFSK 모뎀 설계 및 성능 평가에 관한 연구

김경복^{*} · 최정수^{*} · 조형래^{*}

^{*}한국해양대학교 전파공학과

A Study on Design and Performance Evaluation of the BCPFSK Modem Using the DDS

Kyung-bock Kim^{*} · Jung-su Choi^{*} · Hyung-rae Cho^{*}

^{*}Dept. of radio and science eng., Korea Maritime University

E-mail : kbock@hanmail.net

요 약

현대 무선 통신에서는 제한된 주파수 자원을 효율적으로 사용하기 위해 스펙트럼 효율성이 매우 중요한 문제로 여겨지고 있다. 또한 시스템구조 측면에서는 저 가격, 저 전력 및 초경량에 목표를 두고 제작되고 있다. 본 논문에서는 직접 디지털 주파수합성기(DDS ; Direct Digital Synthesizer)를 이용하여 스펙트럼 효율이 우수한 BCPFSK(Binary Continuous Phase Frequency Shift Keying)를 직접 변조하였으며, 시스템 구조로는 직접 변환(Direct Conversion) 구조를 적용하여, 433 MHz대의 BCPFSK 출력을 갖는 송·수신기를 설계하고 성능을 평가하였다.

ABSTRACT

In modern wireless communication, it has been regarded as a important problem for the spectrum efficiency to utilize the limited frequency-resource efficiently. In addition, the system architecture has been designed for low cost, low power consumption and ultra-lightweight.

In this paper, we directly modulated the BCPFSK with a superior spectrum efficiency using the DDS and applied the direct conversion to the system architecture. Finally, we designed a transceiver which has the 433 MHz BCPFSK output and evaluated the system performance.

1. 서 론

현재의 단말기 개발 추세는 모듈을 최소화하여 비용을 감소시키고, 저 전력으로 단말기를 구동시키려는 노력이 계속되고 있으며 최근에는 RF 입력 신호를 직접 기저 대역으로 주파수 변환하여 신호를 처리하는 직접 변환(Direct Conversion) 방식에 대한 연구 개발이 활발하게 진행되고 있다. 이 구조는 슈퍼 헤테로다윈 구조에 비하여 요구되는 RF 부품의 개수가 적으며, IF단 및 기저 대역 부분이 하나의 IC로 통합이 가능해 전체적인 단말기 요구 부품의 개수가 줄어들고, 필터류의 요구가격이 약해져 저 가격, 초 소형화 및 저 전력의 단말기 구현을 가능하게 한다[1].

본 논문에서는 대역폭 효율이 우수한 BCPFSK 변조 방식을 사용하였으며 시스템 구조를 최소화

하기 위하여 Direct Conversion 구조 형태를 사용하였다. 또한 PLL(Phase Locked Loop)의 단점인 정정 시간과 위상 잡음의 성능을 개선 할 수 있는 DDS를 사용하여 BCPFSK 직접 변조를 하였으며 회로의 소형화와 주파수 안정도를 높일 수 있도록 하였다.

본 논문의 구성은 제II장에서 DDS에 대한 이론적 분석을 하였고 제III장에서는 CPFSK 변조방식의 이론적 분석과 스펙트럼 특성 및 BER 분석을 하였다. 제IV장에서는 Direct Conversion 구조에서 직접 변환시 DC-offset 에러, 진폭 에러, 직교 위상 에러에 따른 CS(Carrier Suppression)와 SBS(Sideband Suppression) 성능에 대해서 분석하였고, 제V장에서는 DDS를 이용한 BCPFSK 모뎀을 제작하여 성능을 평가하였다. 제VI장에서는 본 논문을 요약하고 결론을 맺는다.

II. 직접 디지털 주파수 합성기(Direct Digital Synthesizer)

그림 1은 DDS의 기본 개념도를 나타낸 것으로 먼저 위상 누적기(Phase Accumulator)로 주파수 제어 워드가 들어가서 0에서 N까지의 단위 스텝으로 카운팅 하여 디지털 램프 파형을 재생한다.

카운터에 의해 생성된 각각의 카운터 값은 사인 파형의 샘플에 대응하는 값을 룬으로부터 얻는데 이용되며 위상 누적기의 위상 정보는 wt 를 $\sin wt$ 로 전환시키는 룬에 연결된다.

위상 정보를 진폭으로 변환시킨 룬의 디지털 출력 비트는 아날로그 사인 파형을 발생시키는 DAC와 LPF에 연결된다. 룬의 이산적인 출력 값은 DAC를 거쳐 아날로그 형태로 변환되며, 고차 주파수 성분을 억압하기 위해 필터링 한다[2].

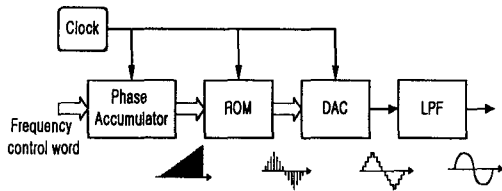


그림 1. DDS의 기본 블록도

DDS의 출력 주파수는 클럭의 고정 주파수 f_{CLK} 를 사용하여 변화시켜야 하는데 카운터에서 사인파형의 한 주기의 현재 어드레스를 보다 적은 횟수만큼 어드레스를 발생시키게 되면 출력되는 주파수는 높아지며, 그 역으로 하면 출력 주파수는 낮아지게 된다. 카운터는 가변적으로 즉, P만큼에 의해 증가 될 수 있게 할 수 있는데, 이는 위상 누적기를 통해 구현할 수 있으며, 병렬입력, 병렬출력을 갖는 M-비트 레지스터에 의해 구동되며, 가산기를 구동하게 된다.

매 클럭 주기마다, P의 값이 Y_R 에 가산되며, 그리고 그 결과는 레지스터에 인가되며 따라서 룬의 입력은 다음과 같다.

$$X_R(k) = Y_R(k-1) + P \quad (1)$$

이러한 관계는 레지스터가 오버플로워 될 때까

지 유지되며, P의 값은 Y_R 의 새로운 값에 대한 증가치로 된다[3].

DDS에서 생성된 출력주파수는 다음과 같으며 N은 위상 누적기의 비트 수이다.

$$f_{out} = P \frac{f_{CLK}}{2^N} \quad (2)$$

그림 2는 DDS의 출력 스펙트럼 시뮬레이션을 나타낸 것으로써 사용된 누산기의 사이즈는 32 bit, 룬 사이즈는 12 bit, DAC의 사이즈는 10 bit이며 클럭 주파수와 출력 주파수는 각각 2 MHz와 125 kHz이다.

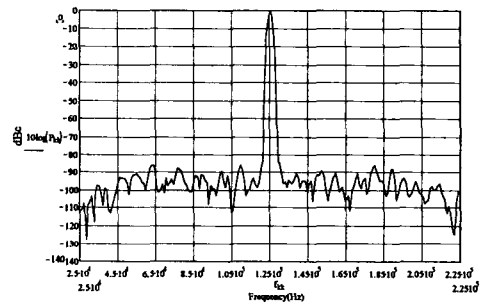


그림 2. DDS의 출력 스펙트럼 시뮬레이션

그림 3은 클럭 주파수가 2 MHz이고 출력 주파수가 125 kHz일 때 S_m 은 DDS의 위상 잡음 출력 값이며, D_m 은 화이트 노이즈 레벨을 포함하는 DDS의 부가 위상 잡음이며, 그리고 F_m 은 누화(degradation)를 포함하는 위상 잡음 출력 값이다[4].

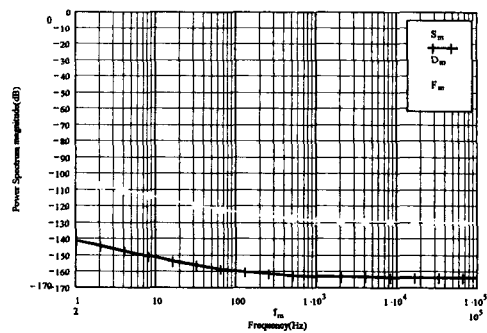


그림 3. DDS 출력의 위상 잡음 특성

III. CPFSK(Continuous Phase Frequency Shift Keying)

FSK 변조가 갖는 중요한 문제는 한 주파수에서 다른 주파수로 급변시키는 스위칭(switcing)으로 인한 위상의 불연속성으로써 비교적 넓은 대역폭을 부가시키게 된다. 그러한 문제를 해결하기 위하여 1개의 발진기 주파수를 입력정보 데이터 (\$\pm 1\$)에 따라 주파수 변조시키면 연속적인 위상 변화를 하는 주파수 변조파를 얻게 되므로 이를 연속 위상 FSK(CPFSK)라 부르며 출력은 식(3)과 같다[5].

$$S_{CPFSK}(t) = A \cos[2\pi f_c t + h d \pi t / T_b + \Phi(0)], 0 \leq t \leq T_b \quad (3)$$

$$h(\text{편이비}) = T_b(f_2 - f_1), f_2 > f_1 \quad (4)$$

$$\Phi(t) = h d \pi t / T_b + \Phi(0) \quad (5)$$

(f_1, f_2 : 0,1에 해당하는 주파수, $d: \pm 1, T_b$:주기, f_c : 반송 주파수, $\Phi(0)$: 초기 위상)

$t = T_b$ 에서 식(5)는 다음과 같다.

$$\Phi(T_b) = \begin{cases} \pi h: \text{부호} 1 \text{인 경우} \\ -\pi h: \text{부호} 0 \text{인 경우} \end{cases} \quad (6)$$

식(6)에서 설명의 편이상 $\Phi(0)=0$ 이라 놓았다. 즉, 부호 "1"을 전송하면 CPFSK파의 위상은 $\pi h[\text{rad}]$ 만큼 증가하며, 부호 "0"을 전송하면 $-\pi h[\text{rad}]$ 만큼 감소한다.

다음은 CPFSK의 오류 확률을 구하기 위하여 CPFSK 신호를 다음과 같이 정의하였다.

$$s_1(t) = \sqrt{\frac{2E_s}{T}} \cos(\omega_0 t + \Phi_1(t)) \quad (7)$$

$$s_2(t) = \sqrt{\frac{2E_s}{T}} \cos(\omega_0 t + \Phi_2(t)) \quad (8)$$

식(7)과 식(8)에서 $\Phi_1(t)$ 와 $\Phi_2(t)$ 는 첫 번째와 두 번째 초과위상(위상 변화분)이다.

Parseval identity로부터 자승거리(square distance)는 다음과 같다.

$$\|s_1 - s_2\|^2 = \int [s_1(t) - s_2(t)]^2 dt \quad (9)$$

식 (9)는 다음 식(10)과 같이 등가적으로 표현할 수 있으며 자승 거리는 단지 위상 차이(phase difference)에 의존함을 알 수 있다.

$$\frac{2E_s}{T} \int [1 - \cos[\Phi_1(t) - \Phi_2(t)]] dt \quad (10)$$

식(10)을 신호구간 $[0, T]$ 에 대하여 최소 자승 거리 D_{\min}^2 을 구해보면 다음과 같다.

$$D_{\min}^2 = 2 \left(\frac{2E_s}{T} \right) \int_0^T [1 - \cos(\frac{2\pi h t}{T})] dt \quad (11)$$

$$= 4 E_s \left[1 - \frac{\sin 2\pi h}{2\pi h} \right]$$

$E_s = E_b \log_2 M$ 이기 때문에, 정규화된 자승 거리는 $d_{\min}^2 = D_{\min}^2 / 2E_b$ 이므로 다음과 같다.

$$d_{\min}^2 = 2 \log_2 M \left[1 - \frac{\sin 2\pi h}{2\pi h} \right] \quad (12)$$

이 최소 자승 거리 d_{\min}^2 을 CPFSK의 근사 오류 확률 식에 적용시키면 CPFSK의 근사 오류 확률 식은 다음과 같게 된다[6].

$$P_e(\text{CPFSK}) \approx Q \left(\sqrt{d_{\min}^2 \frac{E_b}{N_0}} \right) \quad (13)$$

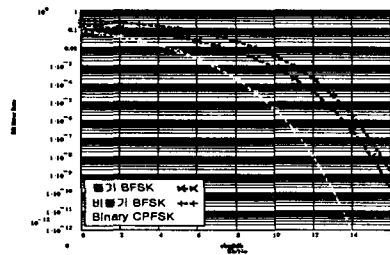


그림 4. BCPFSK(h=0.5)와 동기/비동기 BPSK BER

그림 4는 변조 지수 $h=0.5$ 일 때의 BCPFSK의 BER과 동기/비동기 BPSK의 BER을 비교 한것으로써 BCPFSK의 변조 지수가 0.5일 때 에러율 10^{-3} 에서 동기 BPSK보다 3 dB 정도 성능이 우수함을 알 수 있다. 그림 5는 BCPFSK의 변조지수 h 에 따른 전력 스펙트럼을 시뮬레이션 한 그림이다. 주파수 편이와 데이터 율의 비인 변조지수가 적을수록 메인 로브의 대역이 좁아지며 사이드 로브의 꼬리가 빨리 떨어짐을 알 수 있다.

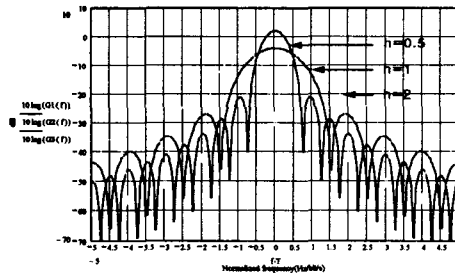


그림 5. BCPFSK의 파워 스펙트럼

IV. 직접 변환 구조에서의 CS, SBS 특성

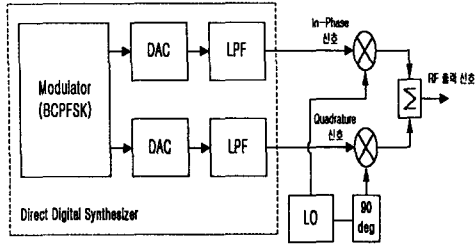


그림 6. Direct Conversion의 직교 상향 구조

그림 6은 Direct Conversion 구조에서 BCPFSK 변조된 신호가 RF 캐리어 주파수로 직접 변환되는 구조를 보여주고 있으며, 이 직접 변환과정에서는 90° 위상천이 때의 위상 에러, I/Q 신호간의 진폭(이득)이나 위상의 부정합이 일어나며 기저대역 신호를 직접 RF 신호로 변환하기 때문에 LO 누설(Leakage) 등의 문제로 인한 DC-offset이 발생한다. 이와 같은 신호의 진폭, 위상, DC-offset 에러는 CS와 SBS 성능에 영향을 미치게 된다. 그림 6의 입력 In-phase 신호와 quadrature 신호는 다음과 같다.

$$I(t) = I(0) + I \sin w_{bb}t$$

$$Q(t) = Q(0) + Q \cos w_{bb}t$$

$$I(0), Q(0) = \text{DC-offset}, w_{bb} = 2\pi F_{bb},$$

$$F_{bb} = \text{베이스밴드 주파수}$$

이득과 위상 에러를 In-phase 채널에 임의적으로 할당하면 In-phase 채널 믹서의 이득은 GG_e 로 정의되며 θ 는 직교 국부 발진신호에 관련된 직교 위상 에러를 나타낸다.

다음은 진폭, 위상, DC-offset 에러에 의한 경우에 대하여 사이드 밴드 Suppression과 캐리어 Suppression을 유도 과정은 생략하고 결과 식과 시뮬레이션 결과를 나타내었다.

첫 번째, 진폭에러만 존재했을 때의 사이드밴드 Suppression은 다음 식 (14)와 같다.

$$SBS = 20 \log \left[\frac{1 - G_e}{1 + G_e} \right] \quad (14)$$

두 번째, 시스템에 직교 위상 에러의 영향만 있다고 가정했을 때의 사이드밴드 Suppression은 다음 식 (15)와 같다($I = Q = M$: 베이스밴드 입

력 신호 진폭이 같음).

$$SBS = 20 \log \left[\frac{GM(\frac{\theta}{2})}{GM} \right] = 20 \log \left(\frac{\theta}{2} \right) \quad (15)$$

세 번째, offset 에러만 있다고 가정했을 때에는 캐리어 Suppression이 되며 다음 식(16)과 같다.

$$CS = 20 \log \left[\frac{\sqrt{I(0)^2 + Q(0)^2}}{M} \right] \quad (16)$$

네 번째, 실질적인 경우로 진폭 에러와 직교 위상 에러가 동시에 존재 할 때의 캐리어 Suppression은 식 (17)과 같으며 사이드밴드 Suppression은 식 (18)과 같다(offset 에러 $I(0) = Q(0) = X(0)$ 로 가정).

$$CS = 20 \log \left[\frac{2X(0)}{M} \right] \times \sqrt{\frac{[(G_e \theta)^2 + (G_e^2 + 1) + 2G_e \theta]}{[(G_e \theta)^2 + (G_e^2 + 1) + 2G_e]}} \quad (17)$$

식(17)를 보면 캐리어 Suppression은 DC-offset 에 가장 많은 영향을 받으며 직교 위상 에러에 대해서는 DC-offset 보다 영향이 적으며 진폭 에러에 대해서는 가장 적은 영향을 받는다.

$$SBS = 20 \log \sqrt{\frac{[(G_e \theta)^2 + (G_e^2 + 1) - 2G_e \theta]}{[(G_e \theta)^2 + (G_e^2 + 1) + 2G_e]}} \quad (18)$$

사이드밴드 Suppression인 식(18)를 살펴보면 직교 위상 에러와 진폭 에러에 대해서 캐리어 Suppression보다 더 많은 영향을 받음을 알 수 있다. 그림 7은 진폭 에러가 0.2 dB이고 직교 위상 에러가 1 deg 일 때 베이스밴드 입력 신호 DC-offset 에러에 대한 캐리어 Suppression(dBc)을 보여주고 있다. 그림 8은 위상 에러에 대한 사이드밴드 Suppression(dBc)의 출력 시뮬레이션이며 그림 9는 위상 에러가 0.052 deg 일 때의 진폭 에러에 대한 사이드밴드 Suppression의 출력 시뮬레이션이다.

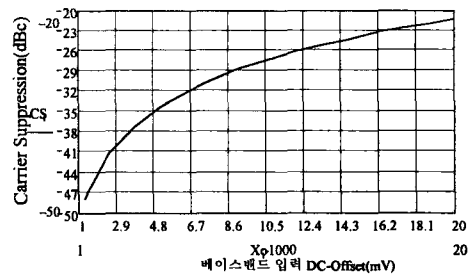


그림 7. DC-offset 에러에 대한 Carrier Suppression(dBc)

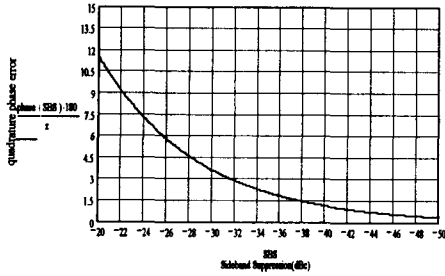


그림 8. 직교 위상 에러에 대한 Sideband Suppression(dBc)

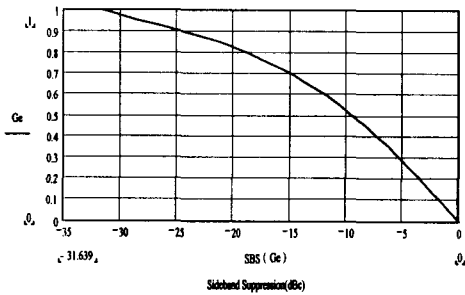


그림 9. 위상 에러가 0.052 deg 일 때 진폭 에러에 대한 Sideband Suppression(dBc)

V. 시스템 설계 및 성능 평가

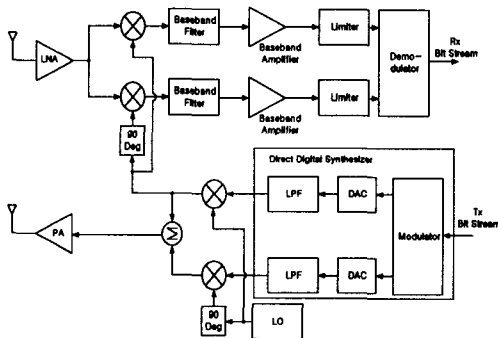


그림 10. 전체 시스템 기능적 블록 다이어그램

그림 10은 전체 시스템의 기능적 블록 다이어그램을 나타낸다.

433.92 MHz의 국부 발진 주파수를 내부 발진하

여 위상 편이 회로를 거쳐 송신과 수신부에 공급한다.

송신부는 DDS 코어가 내장되어 있어 기저대역에서 입력되는 디지털 비트 스트림을 직접적으로 BCPFSK 변조 할 수 있으며 DAC에 의해 출력된 아날로그 I와 Q 신호는 anti-aliasing 필터링 후에 두 개의 주파수 혼합기를 거쳐 출력이 서로 더해지고 증폭된 후 UHF 밴드로 직접 상향 변환된다.

신호는 RF 전력 증폭기에 의해 증폭되며 출력 전력은 -20에서 -5 dBm까지 마이크로 프로세서를 통해서 조정 할 수 있다.

이때 얻을 수 있는 캐리어의 역압비는 약 33 dBc 정도이며, LO 누설(Leakage)은 -65 dBc 이하이다.

수신부는 입력 RF 신호가 직접 하향 변환되기 전에 LNA에 의해서 처음 증폭되고 주파수 변환에 의해 직교 복조 되어 I/Q 채널로 분리되며 이때 비트 동기 회로가 내장되어 있어 수신된 비트의 클럭을 복원 할 수 있게 된다.

전체 시스템의 성능 평가는 48 kbps의 PN 코드를 발생시켜서 송신 데이터의 입력 단자에 인가하고 수신단의 데이터 출력단자에서 송신 코드 열과 비교하였다. 그리고, 48 kbps의 데이터 클럭도 복원되는지 시험하였다.

그림 11은 실제 측정한 그림으로서 데이터 속도가 48 kbps이고 주파수 편이가 250 kHz 일때의 스펙트럼 분석기에 의한 BCPFSK 변조 스펙트럼을 나타내고 있으며 중심 주파수가 433.92 MHz에서 이루어짐을 알 수 있다.

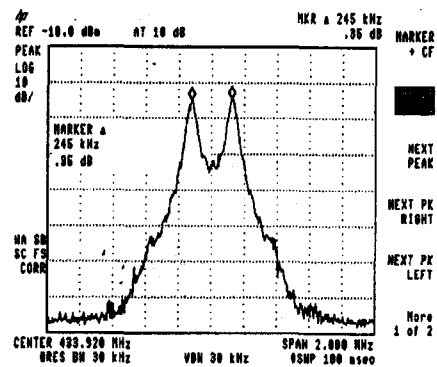


그림 11. 스펙트럼 분석기에 의한 BCPFSK 변조 스펙트럼(48kbps/250kHz Fdev)

그림 12는 48 kbps의 데이터 속도와 주파수 편이가 100 kHz일 때의 스펙트럼 분석기에 의한 BCPFSK 변조 스펙트럼을 나타내고 있으며 중심 주파수는 433.92 MHz이다.

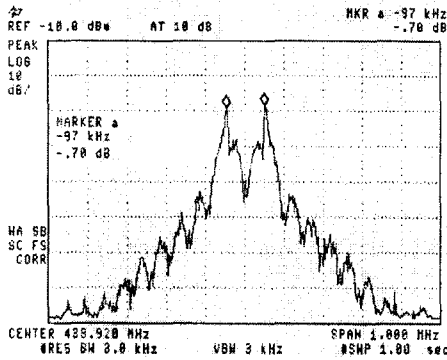


그림 12. 스펙트럼 분석기에 의한 BCPFSK 변조 스펙트럼(48kbps/100kHz Fdev)

VI. 결 론

본 논문에서는 다른 디지털 변조방식보다 스펙트럼 효율과 전력 효율이 우수한 BCPFSK 변조 방식을 사용하여 대역폭 효율을 개선 시켰으며 직접 변환 구조를 사용하여 추가적인 오실레이터, 이미지 제거용 필터 등을 사용하지 않음으로써 사용 부품의 수를 줄여 구조를 보다 간단하게 하여 443 MHz대의 BCPFSK 송·수신기를 제작하였다. 위상 연속 변조의 성능이 우수한 DDS를 사용하여 BCPFSK 직접 변조를 하였으며 회로의 소형화와 주파수 안정도를 높일 수 있도록 하였다. 제작한 BCPFSK 모델의 출력 주파수는 측정 결과 중심 주파수가 433.92 MHz 이었으며 캐리어 억압비는 약 33 dBc, LO 출력은 -65 dBc 이하였다.

제작된 BCPFSK 모델은 RF/IF Converter를 통해서 2.4 GHz의 ISM 밴드에 적용 할 수 있으며 여러 이동통신 분야에 DDS를 이용한 응용이 가능할 것으로 기대된다.

참고문헌

- [1] 정영준 외 2인, “이동통신 단말기 RF 부품의 발전 추이 및 전망”, 한국전자통신연구원, 연

구 보고서, 1999.
 [2] Osicom Technical Staffs, Direct-Digital Frequency Synthesis, Osicom Inc., 1997.
 [3] 유형렬, “DDS를 이용한 중단파대 국·영문용 DSC/NBDP 개발에 관한 연구”, 박사학위논문, 한국해양대학교, 1999.
 [4] Venceslav F. Koupa, Direct Digital Frequency Synthesizers, IEEE Press, 1998.
 [5] B. Sklar, Digital Communication, Prentice Hall, 1988.
 [6] John B. Anderson, Digital Transmission Engineering, IEEE Press, pp. 1998.
 [7] John G. Proakis, Digital Communication-Third Edition, McGraw-Hill, 1995.