

# HSG-Si형성에 따른 캐패시턴스의 향상 및 인농도 특성에 관한 연구

정 양 회\*, 정 재 영\*, 이 승 회\*\*, 강 성 준\*\*\*

\* 여수대학교 전기공학과

\*\* 현대반도체 공정기술팀

\*\*\* 여수대학교 반도체·응용물리학과

## A Study on Capacitance Enhancement by Hemispherical Grain Silicon and Phosphorous Concentration Properties

Yang-Hee Joung, Jae-Young Choung, Seung-Hee Lee, Seong-Jun Kang

\* Dept. of Electrical Engineering, Nat'l Yosu University

\*\* Dept. of Process Engineering, Hyundai Microelectronics

\*\*\* Dept. of Semiconductor and Applied Physics, Nat'l Yosu University

E-mail : jyanghee@yosu.ac.kr

### Abstract

The box capacitor structure with HSG-Si described here reliably achieves a cell capacitance of 28fF with a cell area of a  $0.482\mu\text{m}^2$  for 128Mbit DRAM. An HSG-Si formation technology with seeding method, which employs  $\text{Si}_2\text{H}_6$  molecule irradiation and annealing, was applied for realizing 64Mbit and larger DRAMs. By using this technique, grain size controlled HSG-Si can be fabricated on in-situ phosphorous doped amorphous silicon electrodes. The HSG-Si fabrication technology achieves twice the storage capacitance with high reliability for the stacked capacitors.

### 1. 서 론

최근 반도체 소자의 고집적화, 초소형화의 경향과 더불어 제한된 면적에서의 충분한 캐패시턴스 확보를 위해 저장전극 면적의 향상을 위한 많은 연구가 이루어지고 있다[1]. 캐패시터의 정전용량 증대를 위한 표면 확장방법으로는 캐패시터 하부 전극 폴리실리콘 표면을 이온반응 에칭이나 열산화막 성장후 grain에 따른 선택적 에칭등이 있다. 그러나 이와같은 방법은 공정의 신뢰성과 대량생산 특히 웨이퍼의 대구경화에 따른 균일한 캐패시턴스를 얻는데 한계가 있어 최근 HSG-Si 형성 기술에 관한 매우 많은 관심이 집중되고 있다 [2-4]. 따라서 본 논문에서는 Low Pressure Chemical Vapor Deposition(LPCVD)를 이용한 amorphous doped 폴리실리콘을 증착하고  $\text{Si}_2\text{H}_6$

를 조사한후 진공에서 annealing을 통하여 HSG-Si를 형성하는 기술을[5-10] 128Mbit DRAM에 적용하여 기존의 simple stacked와의 셀 캐패시턴스를 비교, 분석하고 Amorphous 실리콘의 인농도와 HSG-Si의 두께가 셀 캐패시턴스에 미치는 영향을 평가하였다.

### 2. 시료제작 및 실험 방법

본 실험에 사용되어진 시료는 비저항이  $9\sim 10\Omega\cdot\text{cm}$ 인 p-type 8인치 웨이퍼로 셀 사이즈가  $0.482\mu\text{m}^2$ 이며 캐패시터 구조는 box형을 이용하였다. 실험에 적용된 128Mbit DRAM의 개략적인 구성도는 그림 1과 같다.

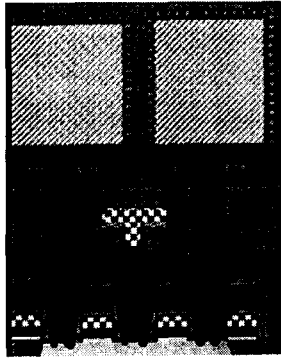


Fig. 1. The cross section of capacitor

그림 1에서 캐패시터의 제작과정은 저장폴리 증착 전세정 실시후 K.E사의 LPCVD(model : DJ-835V)를 이용하여 온도와 압력을 각각 530℃, 133Pa로 하고, SiH<sub>4</sub>/PH<sub>3</sub>을 1000/99sccm으로한 in-situ doped amorphous 실리콘을 11300Å 증착하였다. 저장폴리 증착후 사진식각과 건식각을 통하여 box형의 저장폴리를 형성하였다. HSG-Si의 형성 조건으로는 온도를 730℃에서 10sccm의 Si<sub>2</sub>H<sub>6</sub>를 100초간 주입하고 10<sup>-7</sup> Torr의 진공상태에서 100초동안 어닐링하였다. HSG가 형성된 시료는 자연산화막 제거를 위해 1:500HF처리후 유전막으로 질화막을 약 80Å 성장시킨후 약 700Å의 in-situ doped plate poly를 증착하여 캐패시터를 제작하였다. 캐패시터의 개략적인 제조과정은 그림 2에 나타내었다.

실험방법으로는 HSG-Si가 없는 기존의 simple stacked capacitor와 기존의 시료에 HSG-Si를 형성한 시료에 대하여 각각 셀 캐패시턴스(Cs)를 측정하였다. 이때 캐패시턴스의 측정은 Keithley S-475를 이용하였다. 또한 HSG-Si형성에 있어 amorphous 실리콘의 인농도가 HSG-Si형성에 미치는 영향을 조사하기 위하여 2.5~5.0E19 atoms/cm<sup>2</sup>으로 변화하여 HSG-Si를 관찰하였고, HSG-Si의 두께가 Cs에 미치는 영향을 조사 분석하였다. HSG-Si의 두께 측정에는 Nanometrics사의 nano-8000을 이용하였다. 이와같이 형성된 HSG-Si의 전기적인 신뢰성의 측정 방법으로는 캐패시터에 대한 절연파괴 전기장을 측정하였다.

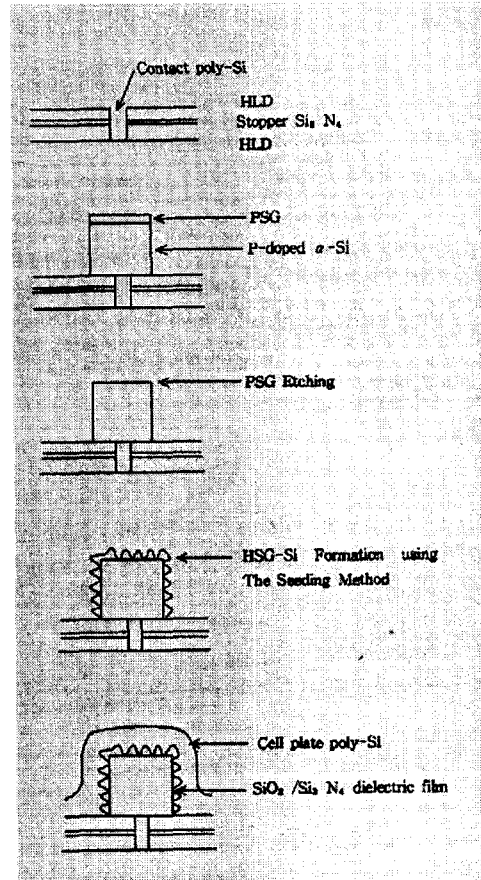


Fig. 2. Process flow for making HSG-Si capacitor

### 3. 결과 및 논의

캐패시턴스의 확보를 위해 HSG가 적용된 box형 저장폴리의 형상은 그림 3과 같다

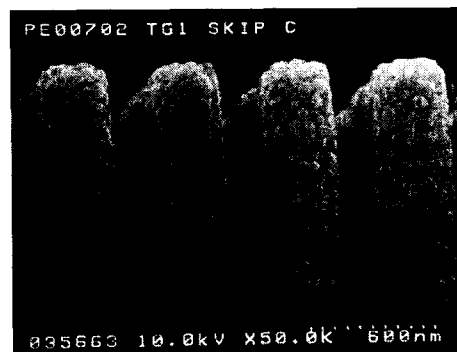


Fig. 3. SEM micrograph of electrodes after HSG-Si formation

그림 3은 doped amorphous 실리콘 증착후 진공에서의 어닐링을 통한 HSG-Si의 모양을 Scanning electron microscope(SEM)을 통하여 관찰한 사진으로 기존에 일반적으로 사용되어진 Stacked capacitor의 저장 폴리 형상과는 달리 저장폴리의 표면이 반구의 형태로 형성되어 있어 표면적의 증가를 확인할 수 있고, 여기에 증착되는 절연막의 형태는 저장폴리의 형태를 이루기 때문에 캐패시턴스의 증가효과를 예상할 수 있다. 따라서 simple stacked capacitor와 여기에 HSG-Si를 형성한 Capacitor의 셀 캐패시턴스를 측정하여 그림 4에 나타내었다.

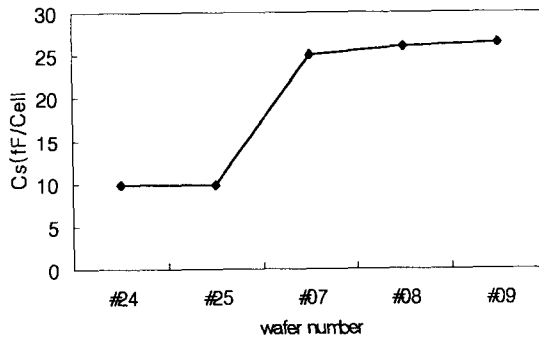


Fig. 4. Cell capacitance for simple and HSG-Si capacitor

그림 4에서 #24, 25는 simple stacked capacitor의 셀 캐패시턴스이고, 나머지 웨이퍼는 HSG-Si가 형성된 시료에 대한 셀 캐패시턴스를 비교하여 나타낸 것이다. 그림에서와 같이 HSG-Si가 적용된 웨이퍼의 경우는 simple stacked capacitor 대비 셀 캐패시턴스가 최소 약 2.0배가량 높은 28fF/cell을 나타내고 있어 HSG-Si에 의해 표면적의 증대가 있음을 명확히 확인할 수 있고 이는 최근 반도체 소자의 고집적화, 초소형화에 따른 면적의 한계를 극복할 수 있는 유용한 프로세스 기술이라 사료된다.

또한 HSG형성 두께가 셀 캐패시턴스에 미치는 영향을 조사하기 위하여 각각의 시료에서 nano-8000을 이용하여 HSG의 두께를 구분하고 이 시료에 대한 Cs를 조사 비교한 결과를 그림 5에 나타내었다.

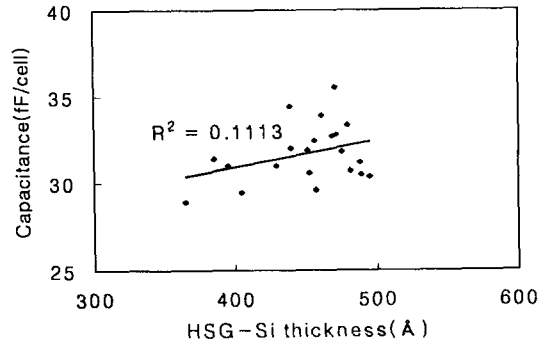


Fig. 5. Relationship of cell capacitance HSG-Si thickness

그림 5에서 보는바와 같이 HSG-Si의 두께가 약 400~500Å의 범위에 있는데 이는 Batch type LPCVD 장치내의 zone에 따른 공정조건의 영향에 기인된 것으로 판단되고 HSG의 크기가 증가됨에 따라 표면적의 증대로 셀 캐패시턴스도 증가하는 것으로 확인되었다. 그러나 HSG가 500Å 이상으로 과도하게 성장하는 경우 이들 grain이 떨어져 전극간의 short를 유발하는 불량을 발생시켜 불량율이 증가됨을 알 수 있었다. 이를 그림 6에 나타내었다.

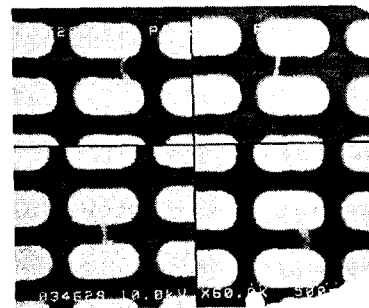


Fig. 6. HSG-Si node to node short by SEM

또한 인농도가 HSG-Si 두께에 미치는 영향을 평가하기 위하여 동일한 공정 조건에서 인농도의 변화에 따른 HSG-Si의 두께를 조사한 결과를 그림 7에 나타내었다. 그림 7에서 보는바와 같이 인농도의 증가에 따라 HSG-Si의 두께가 감소하는 것으로 나타났는데 이는 고진공에서의 열처리과정에서 인농도가 높을 때 열에너지에 의한 out diffusion으로 진공도의 저하에 기인한 것으로 해석할 수 있다[11].

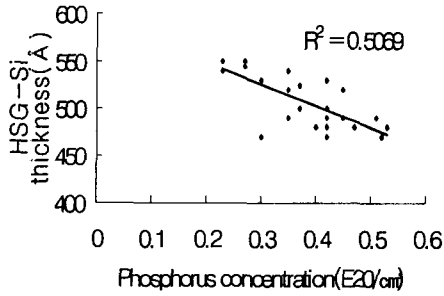


Fig. 7. HSG-Si thickness versus phosphorous concentration

이들 시료에 대한 전기적 신뢰성 특성을 평가하기 위해 진행된 절연파괴 전기장을 조사하여 그림 8에 나타내었다.

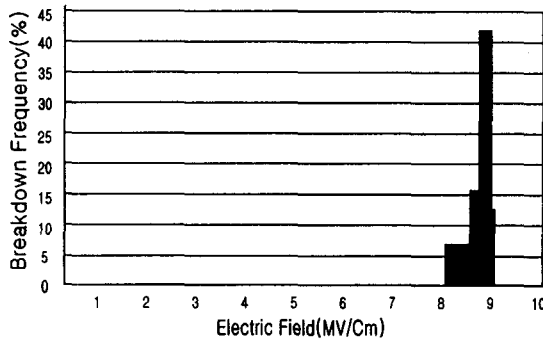


Fig. 8. Breakdown field distribution of HSG-Si capacitor

그림 8에서 보는바와 같이 절연파괴 전기장이 약 8~9 MV/cm으로 기존의 캐패시터에서와 같이 낮은 전기장에서의 빈도가 거의 나타나지 않으면서 집중되어 있다. 이는 HSG-Si box형 캐패시터의 결합밀도가 낮음을 의미하기 때문에 이로서 HSG를 형성하더라도 소자의 전기적 특성의 변화에는 문제가 없음을 확인할 수 있다.

#### 4. 결 론

HSG-Si의 형성으로 저장전극의 표면적을 증가시켜 기존의 캐패시터보다 약 2배가량의 셀캐패시턴스 향상을 확보할수 있음을 확인하였고, 인공도

가 변화가 HSG의 grain크기에 밀접하게 관계됨을 알수 있었다. 또한 HSG의 두께에 따라 Cs는 증가하는 것으로 나타났지만 500Å 이상으로의 과도한 형성은 전극간을 연결시키는 가교불량이 유발 됨을 확인하였다. 또한 이들 시료에 대한 절연파괴전기장을 측정 한 결과 8~9MV/cm에 집중적으로 분포되어있는 것으로 보아 결합밀도에도 문제가 없는 것으로 사료된다. 이상의 결과로 64Mbit DRAM급 이상의 고집적화 반도체 소자 개발에 있어 캐패시터에 HSG-Si의 적용은 캐패시턴스의 확보라는 측면에서 대단히 유리하다고 판단되나 HSG-Si의 형성이 여러 가지 공정조건에 민감하므로 대량생산라인에의 적용시 균일성있는 HSG-Si의 형성 공정 조건에 대한 최적화가 추후 과제로 남아있다.

#### 감사의 글

본 연구는 과학기술부, 한국과학재단지정 여수대학교 설비자동화 및 정보시스템 연구개발 센터에 의해 지원되었으며 이에 감사드립니다.

#### [ 참고문헌 ]

[1] Y. Kawamoto, T. Kaqa, "A 1.28 $\mu\text{m}^2$  bit-line shielded memory cell technology for 64Mb DRAM," in Proc. Symp. VLSI Technol., 1990, pp. 13-14.

[2] T. Ema, S. Kawanago, and T. Nishida, "3-dimensional stacked capacitor cell for 16M and 64M DRAM's," in IEDM Tech. Dig., 1988, pp. 592-595.

[3] S. Inoue, A. Nitayama and Horiguchi, "A new stacked capacitor cell with thin box structured storage node," Proc. 21st Solid-State Devices and Materials Conf., 1989, pp. 141-144.

[4] W. Wakamiya, Y. Tanaka, and H. Kimura, "Novel stacked capacitor cell for 64Mb DRAM," Proc. Symp. VLSI Technol., 1989, pp. 69-70.

[5] H. Watanabe, N. Aoto, S. Adachi and K. Terada, "A new stacked capacitor structure

using hemispherical-grain poly-silicon electrodes," Proc. 22nd Solid-State Devices and Materials Conf., 1990, pp. 873-876.

[6] Y. Hayashide, and H. Miyatake, "Fabrication of storage capacitance-enhanced capacitors with a rough electrode," Proc. 22nd Solid-State Devices and Materials Conf., 1990, pp. 869-872.

[7] M. Sakao, N. Kasai, T. Ishijima, and E. Ikawa, "A capacitor-over-bit-line cell with a hemispherical grain storage node for 64Mb DRAM," IEDM Tech. Dig., 1990, pp. 655-658.

[8] M. Yoshimaru, J. Miyano, and M. Ino, "Rugged surface poly-Si electrode and low temperature deposition Si<sub>3</sub>N<sub>4</sub> for 64Mbit and STC DRAM cell," IEDM Tech. Dig., 1990, p. 659.

[9] H. Watanabe, and N. Aoto, "New stacked capacitor structure using hemispherical grain polycrystalline-silicon electrodes," Appl. Phys. Lett., vol. 58, 1991, pp. 251-253.

[10] H. Watanabe, S. Adachi and N. Aoto, "Device application and structure observation for hemispherical grained Si," J. Appl. Phys., vol. 71, 1992, p.3538.

[11] H. watanabe, T. tatsumi, "HSG-Si formation on in-situ Phorphous doped amorphous-Si Electrode for 256Mb DRAM's capacitor," IEEE Tran. on ED., vol. 42, no. 7, 1995