

Si-기반 MOSFET의 채널 길이에 따른 영향의 조사

정정수* · 심성택 · 장광균 · 정학기 · 이종인

*군산대학교 전자정보공학부.

Investigation for Channel Length Influence in Si-Based MOSFET

Jhung-Su, Jhung* · Sung-Taik Shim · Kwang-Gyun Jang · Hak-Kee Jung · Jong-In Lee

*Kunsan National University, School of Electronic and Information Engineerings

E-mail : js2000@hanmail.net

요약

컴퓨터 시뮬레이션을 통하여 Si-기반 n 채널 MOSFET의 채널길이에 따른 영향을 조사하였다. 이차원 유체역학적 모델을 사용하여, 다양한 게이트 길이를 가진 소자들을 실험하였다. LDD MOSFET 소자 모델을 사용하여 전류, 전압, 전계 및 임팩트 이온화를 조사·분석하였다. 이러한 소자들은 다양한 scaling 인수로 scaling되었다. 채널 길이에 따른 I-V 특성과 임팩트이온화의 효과를 분석하였다.

ABSTRACT

The channel length influence of n-channel Si-based FETs is investigated by computer simulation. Using a two-dimensional hydrodynamic model, devices having various gate length are examined. We have observed the characteristics of LDD model of MOSFET by investigating of their current, voltage, electric field and impact ionization. These devices are scaled using various factors. We have analyzed I-V characteristics and the effect of impact ionization according to channel length.

1. 서 론

현재 가장 많이 사용되고 있는 반도체 재료는 Si이다. 반도체 재료로서 Si를 사용하였을 때는 저비용으로 반도체를 제작할 수 있다는 이점이 있으나 GaAs 나 SiGe등을 이용한 반도체 보다 소자의 동작속도 측면에서 불리한 점을 가지고 있다. 그러나 본 논문에서는 광범위하게 사용되는 Si-기반의 소자에 대해서 고찰하고자 한다.

여기서 채택한 소자의 구조는 드레인 영역의 전계를 낮추기 위해서 드레인과 채널이 만나는 지점의 도핑농도를 줄이고 접점부위의 드레인은 도전율의 감소를 방지하기 위해 기존의 높은 도핑농도를 유지하는 저도핑 드레인(Lightly Doped Drain : LDD)구조를 사용하였다. 이러한 LDD 구조는 공정이 복잡하고 LDD영역의 설정으로 인하여 드레인 저항이 증가하지만, 항복 전압을 감

소시키고 단채널 효과를 줄여 준다는 장점이 있다. 따라서 근래에는 MOS 공정의 표준으로 널리 사용되고 있다[1-3].

본 논문에서는 Si-기반의 n-채널 LDD 구조를 사용하고 scaling 이론[4-6]을 적용하였다. 또한 게이트 길이에 따른 전압과 전류 특성을 고찰하고 이에 따른 임팩트 이온화 및 전계의 영향을 살펴 볼 것이다. 본 시뮬레이션은 Technology CAD (TCAD)를 사용하여 수행하였다.

II. Si-기반의 N-채널 MOSFET Scaling

스케일링 기법은 소자가 차지하는 크기를 줄일 수 있을 뿐만 아니라 단위 면적당 소모되는 전력

량과 소자의 스위칭 시간이 줄어들게 만든다. 그러나 소자의 크기가 줄어들어 따라 짧은 채널의 형성에 의해 고전계가 발생하고 이에 따른 임팩트 이온화 현상이 두드러진다. 또한 펀치스루나 펀치오프현상의 조기 발생을 유도하게 된다[7].

일반적인 MOS 구조에 대응하여 LDD 구조를 살펴볼 수가 있다. LDD 구조는 일반적인 MOSFET 구조에 추가적으로 드레인 영역 앞에 저농도로 도핑된 LDD영역을 추가하여 제작한다. 이러한 LDD MOSFET의 구조는 그림 1과 같다. 일반적인 MOSFET의 구조는 scaling을 하면 드레인 영역에서 고농도 도핑에 의해 고전계가 생기게 된다. 따라서 드레인 앞부분에 LDD 영역을 설정하면 고전계 현상을 방지하며 게이트 전압에 의한 펀치오프 현상을 줄일 수 있다.

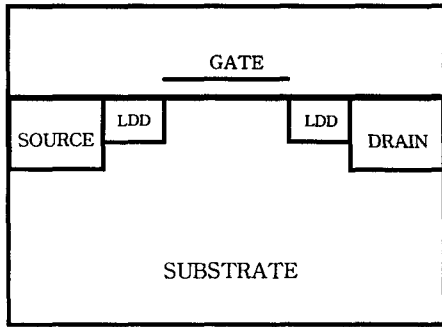


그림 1 LDD(Lightly Doped Drain) MOSFET

III. 시뮬레이션

본 논문에서는 게이트 길이 0.18 μm 를 기준으로 스케일링 이론을 적용하였다. 즉, 게이트 길이 0.18 μm 인 scaling 인수 1일 때를 기준으로 하여 scaling 인수 2일 때 게이트길이 0.09 μm , 3일 때 0.06 μm , 4일 때 0.045 μm , 5일 때 0.036 μm 를 시뮬레이션 하였다.

각 영역의 도핑은 Gaussian 함수에 따른 도핑 방법을 사용하였다. 각각의 게이트 길이에 따른 각 영역의 도핑농도와 게이트 산화층 두께를 표 1에 제시하였다. 각각의 도핑에서 게이트와 소오스의 영역에는 접합깊이의 0.6, LDD 영역에는 0.5배의 측면확산효과를 주었다.

게이트 전압을 1에서 5V 까지 변화시켜 가면서 드레인 전압(1~3V)에 대한 전류와 전계 및 임팩트

트이온화를 시뮬레이션 하였다.

표 1 게이트 길이(L_g)에 따른 도핑농도(cm^{-3})와 게이트 산화층의 두께(nm) (5.0E20은 5×10^{20} 을 의미함)

L_{gate} (μm)		0.18	0.09	0.06	0.045	0.036
Sour. & Dra.	Max	5.0E20	2.0E21	4.5E21	8.0E21	1.25E22
	Min	3.0E17	1.2E18	2.7E18	4.8E18	7.5E18
Gate	Max	2.0E17	8.0E17	1.8E18	3.2E18	5.0E18
	Min	1.0E17	4.0E17	9.0E17	1.6E18	2.5E18
LDD	max	8.0E19	3.2E20	7.2E20	1.28E21	2.0E21
	min	5.0E17	2.0E20	4.5E18	8.0E18	1.25E19
Substrate		3.0E17	1.2E18	2.7E18	4.8E18	7.5E18
t_{ox} (nm)		4	2	1.33333	1	0.8

본 논문에서 시뮬레이션 한 TCAD의 LDD mesh 구조는 그림 2와 같이 구성된다.

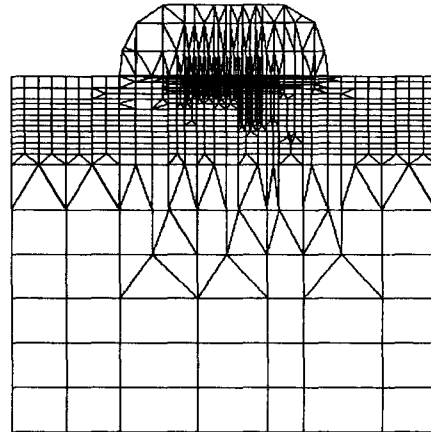
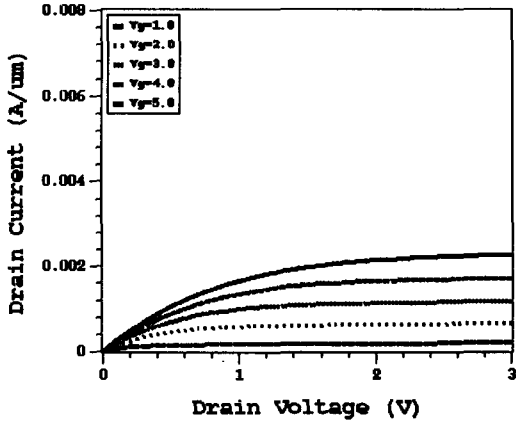


그림 2 LDD mesh 구조

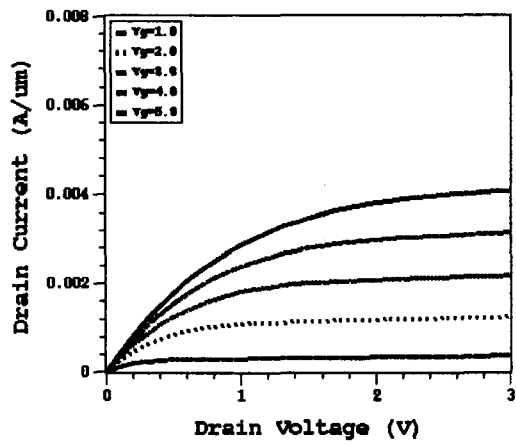
그림 3를 보면 scaling 인수가 증가함에 따라서 (게이트 길이가 짧아짐에 따라서) 전압에 따른 전류의 양이 비례적으로 증가하는 경향을 볼 수 있다.

그림 4에서는 게이트 길이에 따른 전계의 변화를 그렸다. 게이트 길이가 짧아짐에 따라서 단위 체적당 전계가 증가하고 있음을 알 수 있다. 드레인 접합부분에 대부분의 전계가 집중되어 있으나 소오스 접합부분에도 약간의 전계가 존재하며 0.18 μm 의 드레인 접합부분에서 발생한 전계의 크기정도가 0.06 μm 의 소오스 접합부분의 전계크기와 거의 비슷하게 발생됨을 알 수 있다. 전계는

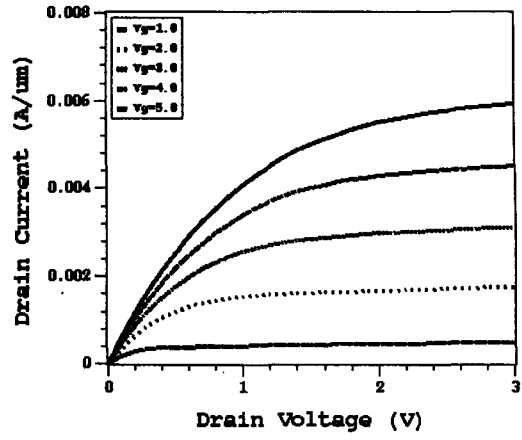
게이트 길이에 반비례하므로 소자의 소형화에 따라 고전계 현상이 발생하고 있음을 관측할 수 있다.



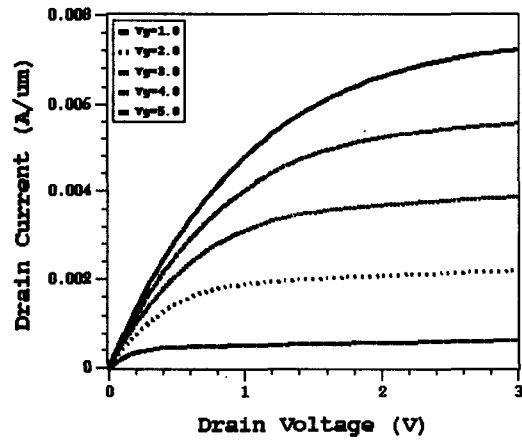
(a) $L_g = 0.18 \mu\text{m}$



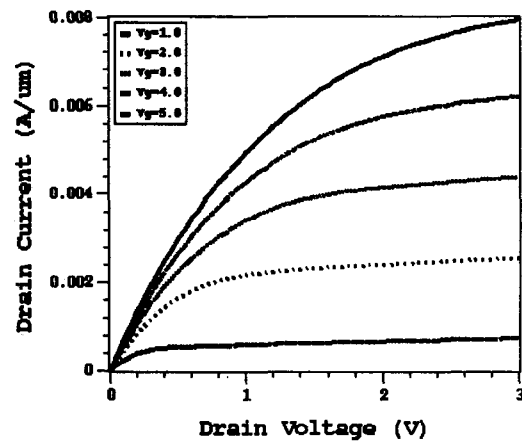
(b) $L_g = 0.09 \mu\text{m}$



(c) $L_g = 0.06 \mu\text{m}$

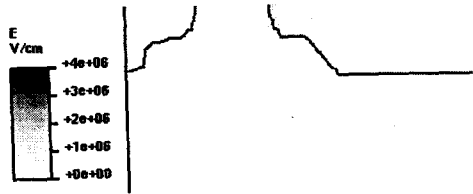


(d) $L_g = 0.045 \mu\text{m}$



(e) $L_g = 0.036 \mu\text{m}$

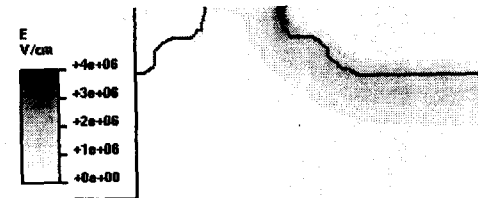
그림 3 게이트 길이의 변화에 따른 $I_d - V_d$ 곡선



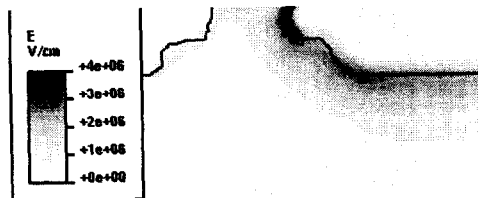
(a) $L_g = 0.18 \mu\text{m}$



(b) $L_g = 0.09 \mu\text{m}$



(c) $L_g = 0.06 \mu\text{m}$

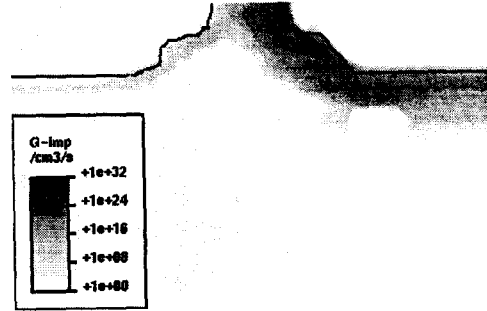


(d) $L_g = 0.045 \mu\text{m}$

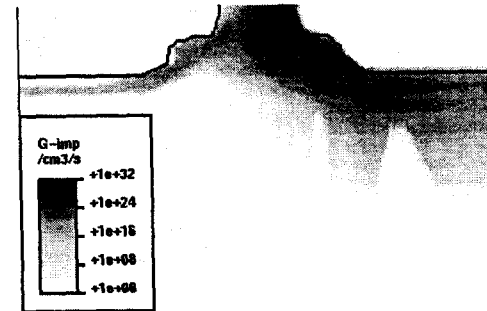


(e) $L_g = 0.036 \mu\text{m}$

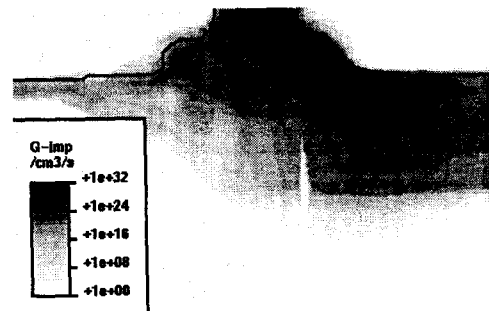
게이트 전압을 1.3V까지 증가시켰을 때 $0.18 \mu\text{m}$ 에서는 거의 차이를 느낄 수 없으나 게이트 길이가 작아지면 게이트 전압이 증가함에 따라 임팩트 이온화율이 커지고 $0.06 \mu\text{m}$ 에서는 임팩트 이온화가 드레인 접합영역 뿐만 아니라 소오스 접합영역까지 넓게 확장되어 나타남을 볼 수 있었다.



(a) $L_g = 0.18 \mu\text{m}$



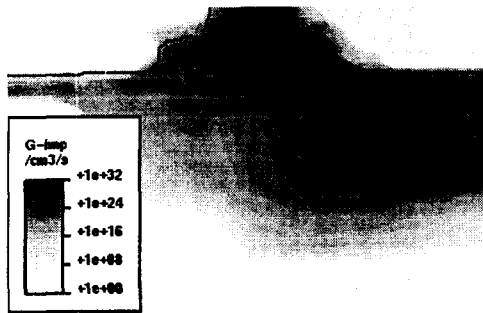
(b) $L_g = 0.09 \mu\text{m}$



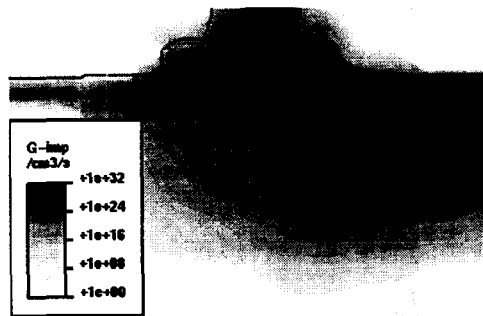
(c) $L_g = 0.06 \mu\text{m}$

그림 4 게이트 길이에 따른 전계의 변화($V_g=1V$, $V_d=3V$).

그림 5에서는 게이트 길이에 따른 임팩트 이온화율을 그렸다. 대체적으로 LDD의 측면 확산영역에서 임팩트 이온화율이 높은 것을 볼 수 있다.



(d) $L_g = 0.045 \mu\text{m}$



(e) $L_g = 0.036 \mu\text{m}$

그림 5 게이트 길이에 따른 임팩트이온화의 변화 ($V_g=1V$, $V_d=3V$)

IV. 결 론

본 논문은 MOSFET 구조 중에서 LDD MOSFET 구조를 사용하여 scaling 이론을 적용하였다. 게이트 길이 $0.18\mu\text{m}$ 를 기준으로 scaling 인수가 2일 때 게이트길이 $0.09\mu\text{m}$, 3일 때 $0.06\mu\text{m}$, 4일 때 $0.045\mu\text{m}$, 5일 때 $0.036\mu\text{m}$ 로 scaling하였다.

시뮬레이션 결과 $I_d - V_d$ 특성 곡선이 scaling에 따라 일정하게 증가하였다. scaling 인수가 4이상을 넘어서면 전류의 증가가 약간 둔화되며, $0.06\mu\text{m}$ 이하에서는 임팩트 이온화 현상이 두드러짐을 볼 수 있었다. 따라서 $0.06\mu\text{m}$ 까지는 전류와 전압의 비례가 scaling 이론과 거의 일치하고 임팩트 이온화 현상과 전계가 더 작은 채널 길이에 비해 양호한 수준이므로 $0.06\mu\text{m}$ 까지의 scaling이 가장 적합하다는 것을 알 수 있었다.

저전력 고속 소자의 개발을 목표로하고 있는 지금 LDD구조의 장점을 수용하면서 한계점을 극복

할 수 있는 새로운 적층구조를 개발하도록 노력할 것이다.

참고문헌

- [1] 정향근, 최진영, 한철희 공저, 집적회로 설계를 위한 반도체 소자 및 공정. pp.184-185, 홍릉과학출판사, 1999
- [2] Donald A. Neamen, Semiconductor Physics & Devices ; Basic principles-2nd ed., pp.512-517, University of New Mexico, IRWIN, 1997
- [3] C.K. You, S.W. Ko, H.K.Jung, and K. Taniguchi, A study on temperature- and field-dependent impact ionization coefficient for silicon using Monte Carlo simulation, ICPS, 2000
- [4] 김원찬, 반도체 소자의 이해, pp.387-415, 대영사, 1999
- [5] John P. Uyemura, Fundamentals of MOS Digital Integrated Circuits, pp.49-57, 1998
- [6] A. Duncan, U. Ravaioli, J. Jakumeit, IEEE Trans. ED, p.869, 1998
- [7] Sima Dimitrijevic, Understanding Semiconductor Devices pp.471-478, Oxford University Press, 2000