

TCAD를 이용한 EPI MOSFET의 전류-전압 특성 분석

김재홍* · 장광균 · 심성택 · 정학기 · 이종인

*군산대학교 전자정보공학부

The Current-Voltage Characteristics analysis of EPI MOSFET using TCAD

Jae-hong Kim* · Kwang-gyun Jang · Sung-taik Shim · Hak-kee Jung · Jong-in Lee

*School of Electronics and Information Engineering, Kunsan National Univ.

E-mail : ndragon_2000@hanmail.net

요 약

소자의 고집적을 위한 특성분석 기술은 빠른 변화를 보이고 있다. 이에 따라 고집적 소자의 특성을 시뮬레이션을 통하여 이해하고 이에 맞게 제작하는 기술은 매우 중요한 과제 중의 하나가 되었다. 소자가 마이크론급 이하로 작아지면서 그에 맞는 소자개발을 위해 여러 가지 구조가 제시되고 있는데 본 논문에서는 TCAD를 이용하여 여러 가지 구조 중에서 고농도로 도핑된 ground plane 위에 적층하여 만든 EPI MOSFET를 조사하였다. 이 구조의 특성과 임팩트 이온화와 전계 그리고 I-V특성 곡선을 저 농도로 도핑된 Drain(LDD) MOSFET와 비교 분석하였다. 또한 TCAD의 유용성을 조사하여 시뮬레이터로서 적합함을 제시하였다.

ABSTRACT

The technology for characteristics analysis of device for high integration is changing rapidly. Therefore to understand characteristics of high integrated device by computer simulation and to fabricate the device having such characteristics became one of very important subjects. As devices become smaller to submicron, we have investigated MOSFET built on an epitaxial layer(EPI) of a heavily-doped ground plane by TCAD(Technology Computer Aided Design) to develop optimum device structure. We compared and analyzed the characteristics of such device structure, i.e., impact ionization, electric field and I-V characteristics curve with lightly-doped drain(LDD) MOSFET. Also, we presented that TCAD simulator is suitable for device simulation.

1. 서 론

최근 소자의 집적도가 증가함에 따라 MOSFET의 크기가 작아지게 되었다. 그에 따라 MOSFET 자체의 커패시턴스는 감소하고 채널 길이가 짧아져서 소자의 동작속도는 빨라지게 되었다. 그러나 크기가 작은 MOSFET에서의 전류-전압 특성의 열화 및 기생 커패시턴스에 의한 성능 감쇠 등이 나타나게 되었다. 그리고, 소스와 드레인 접합깊이가 얇아지면 소스와 드레인 저항이 증가하여 소자 성능이 떨어지게 된다. 또한 얇은 접합에서는 드레인 영역이 고농도가 되므로 드레인 접합 부근에서 전계가 높아지게 되어 고온 캐리어 효과(hot carrier effect)가 일어난다.

이를 해결하기 위해 구조의 공정 개선이 필요한데 본 논문에서는 개선된 구조중에서 MOSFET

를 고농도 도핑된 ground plane 위에 적층하여 만든 EPI MOSFET와 드레인 채널이 만나는 지점의 도핑농도를 줄인 저도핑 드레인(lightly doped drain:LDD) MOSFET에 대해 소자의 특성 및 임팩트 이온화와 전계, 전류-전압 특성을 비교 분석하였다. 스케일링 방법은 전압과 전력을 일정하게 유지하는 정전압 스케일링(constant-voltage scaling)을 사용하였고, TCAD를 사용하여 시뮬레이션 하였다.

II. 이론적 배경

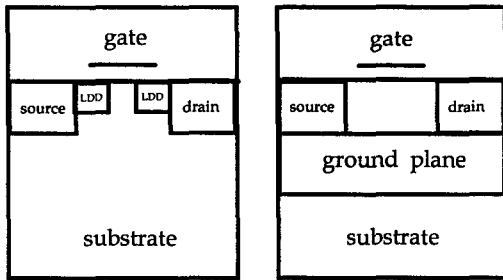
좀더 높은 집적도로 MOSFET을 설계 하고자

한다면 MOSFET의 크기를 줄여야 한다. 그러나 회로나 소자의 파라미터는 변화시키지 않고 표면상의 크기만을 축소한다면, MOSFET의 많은 특성들이 열화 된다. 따라서 소자의 I-V특성을 유지하도록 하기 위해 적당한 스케일링이 필요한데 일정한 전계를 유지하는 full scaling(constant-field scaling)과 전압과 전력을 일정하게 유지하는 정전압 스케일링(constant-voltage scaling)이 있다. [1]-[3]

본 논문에서는 위의 두 가지 스케일링 중 정전압 스케일링을 사용하여 소자의 크기만 $1/k(k>1)$ 배로 줄이고 동작전압은 일정하게 유지하였다. 도핑 농도는 k^2 배로 도핑 하였다.

그림 1-(a)는 LDD MOSFET 구조이다. 이 구조는 드레인 접합에서의 고전계에 의한 고온 캐리어 효과(hot carrier effect)를 감소시키고 게이트 폴리 필의 LDD접합 깊이가 작기 때문에 게이트와 드레인 및 소스간의 오버랩 커패시턴스(overlap capacitance)를 감소시킨다.[1]

그림 1-(b)는 EPI MOSFET 구조이다. 이 구조는 고농도로 도핑된 ground plane이 추가되어 있는데 이것의 역할은 punch-through stopper나 threshold voltage를 제어한다.



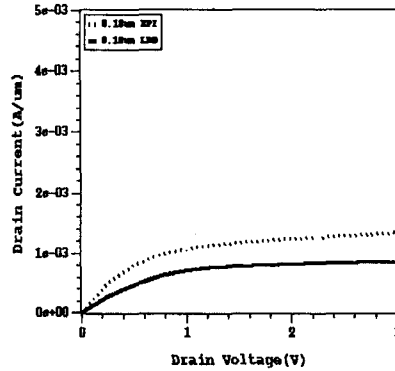
(a) LDD MOSFET 구조 (b) EPI MOSFET 구조

그림 1. MOSFET 구조

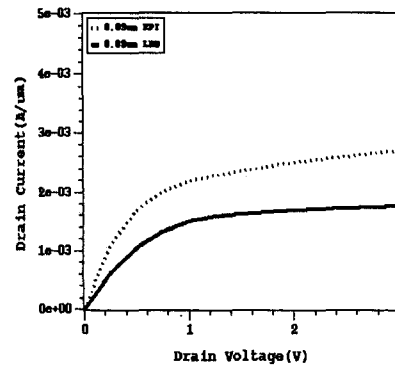
III. 실험 및 고찰

본 논문에서는 $L_g=0.18\mu\text{m}$ 인 소자를 k 값이 2일 때와 3일 때 두 가지 조건을 가지고 시뮬레이션을 하였다. 즉 $L_g=0.18\mu\text{m}$, $0.09\mu\text{m}$, $0.06\mu\text{m}$ 를 사용하였고, EPI MOSFET에서 $L_g=0.18\mu\text{m}$ 일 때 소스와 드레인의 도핑농도 $N_d=5 \times 10^{19} \text{cm}^{-3}$ 을 사용하였고, ground plane에는 $3 \times 10^{18} \text{cm}^{-3}$, 기판 도핑은 $3 \times 10^{16} \text{cm}^{-3}$ 을 도핑 하였다. LDD MOSFET에서 lightly doping은 $8 \times 10^{18} \text{cm}^{-3}$ 을 도핑 하였고, $0.09\mu\text{m}$ 와 $0.06\mu\text{m}$ 일 때에는 k^2 배로 도핑을 하였다. gate 길이가 $0.18\mu\text{m}$ 일 때 접합깊이는 $0.15\mu\text{m}$, $0.09\mu\text{m}$ 일 때 $0.075\mu\text{m}$, $0.06\mu\text{m}$ 일 때 $0.05\mu\text{m}$ 이고, 산화층 두께는 gate 길이가 $0.18\mu\text{m}$ 일 때 4nm , $0.09\mu\text{m}$ 일 때 2nm , $0.06\mu\text{m}$ 일 때 1.33nm 이다. 바이어스 조건은 베이스

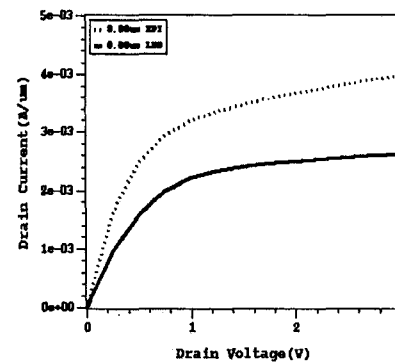
전압 $V_b=0\text{V}$, 게이트 전압 $V_g=2\text{V}$, 드레인 전압 $V_d=3\text{V}$, 기판 전압 $V_s=0\text{V}$ 를 인가하였다. 위 조건 하에서 TCAD를 이용하여 시뮬레이션을 하였다. 게이트 전압 $V_g=2\text{V}$ 일 때 드레인 전압 V_d 을 변화시키면서 채널길이에 따른 EPI 구조와 LDD 구조의 전류-전압 특성곡선을 그림 2에 도시하였다.



(a) $0.18\mu\text{m}$ 일 때



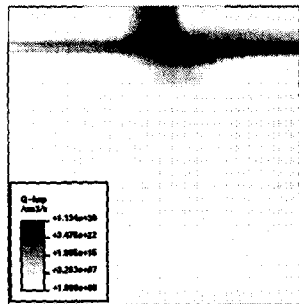
(b) $0.09\mu\text{m}$ 일 때



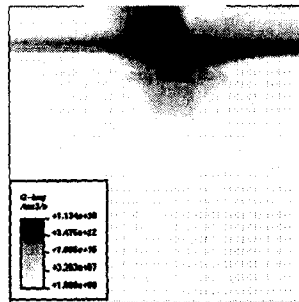
(c) $0.06\mu\text{m}$ 일 때

그림 2. 게이트 길이 변화에 따른 EPI와 LDD 구조의 전류-전압 곡선

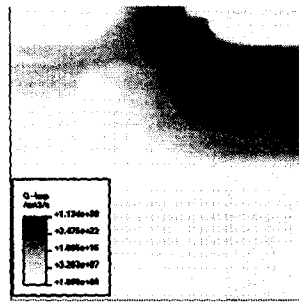
그림 2-(a), (b), (c)에서 각 게이트 길이에 대한 전류-전압 특성 곡선을 보면 EPI구조에서 전류가 더 높게 나타나는데 이것은 EPI 구조가 LDD 구조 보다 같은 게이트 전압에 대해 저항이 작다는 것을 의미한다. 이것은 같은 전류가 흐를 때 EPI 구조가 LDD 구조보다 낮은 전압을 요구한다는 것을 의미한다. 그림 3과 4는 드레인 전압 3V, 게이트 전압 3V를 가했을 때의 임팩트 이온화 현상 및 전계를 나타낸 것이다. 임팩트 이온화는 고온 캐리어에 의한 산란에 의하여 전자-정공쌍을 생성하는 과정으로써[4] 전계가 높을수록 임팩트 이온화는 높게 나타난다. 그림 3과 4에서 볼 수 있듯이 채널 길이가 작아지면서 임팩트 이온화나 전계가 올라가는 것을 볼 수 있다. 전계는 측면 확산영역 안에서 최고치를 갖는다. 이러한 전계의 상승은 임팩트 이온화의 상승을 초래한다는 것을 그림으로 알 수 있다.



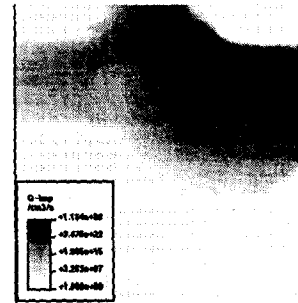
(a) 게이트 길이 0.09 μm EPI구조



(b) 게이트 길이 0.06 μm EPI 구조

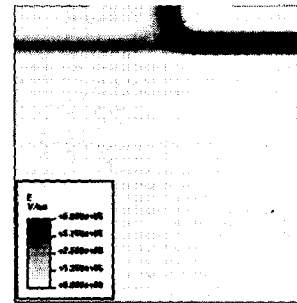


(c) 게이트 길이 0.09 μm LDD 구조

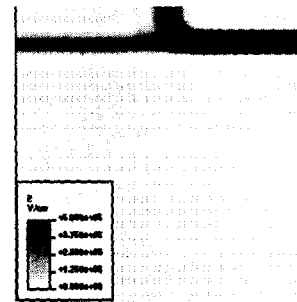


(d) 게이트 길이 0.06 μm LDD 구조

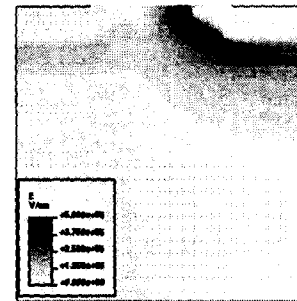
그림 3. EPI와 LDD구조에서의 임팩트 이온화



(a) 게이트 길이 0.09 μm EPI 구조



(b) 게이트 길이 0.06 μm EPI 구조



(c) 게이트 길이 0.09 μm LDD 구조

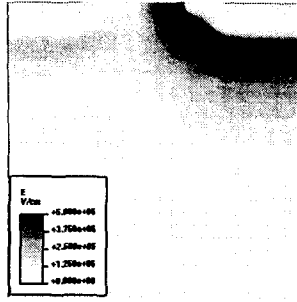
(d) 게이트 길이 $0.06\mu\text{m}$ LDD 구조

그림 4. EPI, LDD에서의 전계

V. 결 론

본 논문에서는 constant-Voltage scaling에 의해 채널 길이에 따른 MOSFET를 스케일링하였다. 게이트 길이가 감소되면서 임팩트 이온화와 전계, 전류가 증가하는 것을 확인 할 수 있었다. 각 게이트 길이에 따른 LDD와 EPI의 소자의 특성이 스케일링 이론과 잘 부합되었다.

EPI MOSFET구조와 LDD MOSFET구조의 전류-전압 특성을 보면 같은 전압이 가해 졌을 때 LDD구조보다 EPI구조에서 더 많은 전류가 흐르는 것을 볼 수 있었다. 이것은 LDD 구조보다 EPI 구조가 더 낮은 저항을 가짐을 보였다. 전계와 임팩트 이온화는 LDD구조 보다 EPI구조에서 더 많이 발생하는데 이러한 현상은 EPI 구조가 LDD 구조 보다 낮은 전압을 요구한다는 것을 알 수 있다. 즉 전력소모가 더 낮으므로 소자의 집적도를 높일 수 있다. 또한 TCAD에 대한 시뮬레이터의 실용성을 알 수 있었다.

참고문헌

- [1] 정항근, 최진영, 한철희, "집적 회로 설계를 위한 반도체 소자 및 공정", 홍릉과학출판사, p182-214, 1999
- [2] Sima Dimitrijevic, "Understanding Semiconductor Devices", Oxford University Press, p359-365, 2000
- [3] Dale L. Critchlow, "MOSFET Scaling-The Driver of VLSI Technology", IEEE, Vol 87, No 4, p659-667, 1999
- [4] C. K. You, S. W. Ko, H. K. Jung, K. Taniguchi, "A Study on Temperature and Field-Dependent Impact ionization Coefficient for Silicon Using Monte Carlo Simulation, ICPS, M019, 2000