

병렬 PD가산회로를 이용한 Hybrid FFT 연산기 설계

김성대* · 최전균* · 안점영* · 송홍복

동의대학교 전자공학과

Hybrid FFT processor design using Parallel PD adder circuit

Sung-dae Kim* · Jun-kyun Choi* · Jeom-young Ahn* · Hong-bok Song*

* Dept. of Electronic Engineering, Dong-Eui University

E-mail : kimsd@dongeui.ac.kr

요 약

본논문에서는 기존 2진 FFT(Fast fourier transform)에서 확장해 다치논리 연산기를 이용해서 고속 다치 FFT 연산기를 구현하였다. 이를 바탕으로 구현한 FFT 연산의 가산은 기존의 2치 FFT 연산과 비교해 결선과 트랜지스터 개수도 반으로 줄어드는 효과가 있다. 캐리 전파없는 가산기를 구현하기 위해서 {0,1,2,3}의 과잉 디지털 집합을 이용한 과잉 양의 수 표현(Redundant Positive-digit number Representation)을 FFT 내부적으로 이용하였고 이로 인해 능동소자의 감소와 이를 연결하기 위한 결선의 감소의 효과가 있고 VLSI(Very large scale intergation)의 설계시 정규성과 규칙성으로 효과적이다. FFT의 가산동작을 위해서는 캐리전파없는 가산기를 사용하였고 그리고 곱셈작용을 위해서는 곱셈기의 연산시간이 길고 면적이 크므로 간단한 수학적 동작을 위해서 다치 LUT(Look up table)을 이용해 곱셈의 역할을 대신하였다. 마지막으로 시스템의 호환을 위해 하이브리드형 다치 FFT 연산기를 설계하여 예로 제시하였다.

ABSTRACT

The use of Multiple-Valued FFT(Fast Fourier Transform) is extended from binary to multiple-valued logic(MVL) circuits. A multiple-valued FFT circuit can be implemented using current-mode CMOS techniques, reducing the transistor, wires count between devices to half compared to that of a binary implementation. For adder processing in FFT, We give the number representation using such redundant digit sets are called redundant positive-digit number representation and a Redundant set uses the carry-propagation-free addition method. As the designed Multiple-valued FFT internally using PD(positive digit) adder with the digit set 0,1,2,3 has attractive features on speed, regularity of the structure and reduced complexities of active elements and interconnections. For the multiplier processing, we give Multiple-valued LUT(Look up table) to facilitate simple mathematical operations on the stored digits. Finally, Multiple-valued 8point FFT operation is used as an example in this paper to illustrate how a multiple-valued FFT can be beneficial.

1. 서 론

최근 초고집적(VLSI) 기술의 급속한 발전으로 인해 많은 양의 데이터를 실시간으로 처리할 수 있게 되었다. 초고속 신호처리 및 디지털 제어와 같은 시스템을 VLSI화하기 위해서는 대량의 정보를 신속하게 처리해야 하므로 연산의 속도가 중요하게 고려되어야 한다. 그러나, 기존의 2치논리에서는 캐리 전파의해서 연산의 속도가 제한되어 질 뿐만 아니라 VLSI화에 따른 회로의 서브 마이

크론화에 의해서 내부배선의 복잡성이 증가되어 신호전송시 지연시간이 증가하는 문제들이 나타나게 되었다. 즉 2치 논리에서는 0,1이외의 수를 표현하기 위해서 캐리발생이 필연적이고, 실제 연산기 설계시 캐리들을 처리하기 위해서 능동소자의 수가 증가하게 되므로 연산의 속도가 저하되는 결과를 가져온다. 또한 서브 마이크론 화가 진행됨에 따라 VLSI에서 칩 실효면적 중에서 내부 배선이 차지하는 면적이 70%이상의 비율을 차지하는 것이 실효면적에 중요하게 되었다.

특히 일반적인 DRAM과 SRAM에는 단순한 데이터저장기능만 있는데 최근 고속의 연산처리를 위한 고속 FFT 연산처리, 이미지 프로세싱, 비디오 램등의 특성시스템으로 유용한 IRAM(Intelligent RAM)에는 로직함수와 RAM(Random access memory)이 합쳐진 Merged-logic RAM은 메모리와 로직의 병합을 생각할 때 칩면적의 70%이상을 차지하는 결선을 통해 메모리와 데이터입출력간의 병목현상과 램과 논리회로의 내부,외부간의 대역폭의 차이가 많아진다. 이를 해결하기위한 최근에 다치논리를 기본하는 응용분야들이 주목되고 있다. 다치논리의 일반적인 특징으로는 입출력의 편수를 감소시킴으로써 집적밀도를 증가시킬 수 있고, 배선의 복잡성을 감소시켜 회로를 정형화 함으로써 연산 속도를 고속화할 수 있다. 이러한 다치논리의 특징을 회로설계에 이용한다면 종래의 2진 시스템을 간략히 실현할 수 있고 또한 효율적인 처리도 가능하다. 다치 논리중에서 과잉수 표현인 PD(Positive digit)수 표현을 이용해서, 캐리전파없는 병렬가산이 가능하고 내부 구조의 정형화를 통하여 배선의 복잡성을 감소시킬 수 있다. 하지만 기존 메모리와 상관관계를 볼 때 메모리와 논리회로를 모두 다치로 하기에는 아직 시스템의 호환문제가 있으므로 이 논문에서는 입력 데이터를 인코더회로를 통해 4치로 변환하고 고속연산이 필요한 연산 논리회로는 4치로 구성하고 최종 출력시 2치로 변환해 다시 저장하거나 출력하는 시스템의 하이브리드형을 제시한다. 또한 PD 연산 회로의 구현에 있어서 전류모드 CMOS회로를 사용해 선형가산을 수행할 때 결선만으로 선형가산이 실행되어지므로 능동소자의 수를 줄일수 있고 고속의 연산을 수행할수 있다.

논리회로부분인 FFT의 연산을 하기위해 필요한 가산기는 4치 PD 가산기를 사용하여 이용하였고 곱셈기는 칩면적과 지연시간을 맞추기 어렵기 때문에 다치 LUT를 인용하였다.

II. 다치 전류모드 CMOS의 기본회로

PD 수 표현 연산회로는 다치 쌍방향 전류모드 CMOS 기본 블록으로 효율적으로 구성되어질 수 있으므로 단순화, 간략화 될 수 있어 적은 능동소자와 배선수로 연산회로를 구성할 수 있다. 또한 다치 전류 모드 CMOS 회로에서 뛰어난 장점 중에 하나는 가산, 감산을 능동소자가 아닌 결선만으로 구성될 수 있다는 점이다. 기본회로는 다음과 같다.

a) 전류원 : 기준전압 V_m (또는 V_{pp})을 가지는 CMOS로 구성되어지며 전류량은 트랜지스트 크기에 의해서 생성되어진다.

b) 전류미터 : 전류미터는 입력 전류를 복사하는 기능과 전류방향을 반전시키는 기능을 가지고 있다

c) 문턱치 검출기 : 문턱치 검출기는 입력과 비교치를 비교하여 전류 단위를 재 생성한다.

d) 쌍방향 전류미터 : 쌍방향 전류미터는 입력의 극성과 크기를 검출해서 2개의 단방향 전류로 분해하는 기능을 가진다.

본 논문에서 사용되는 기본전류 I_0 는 20 μA 로 하였다.

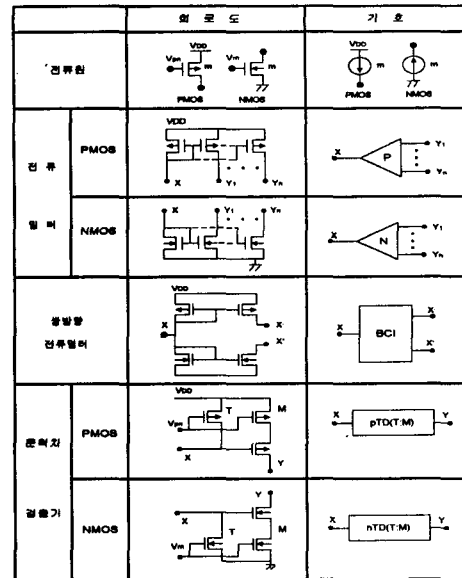


그림 1. 전류모드 CMOS회로의 기본회로

III. FFT 연산회로

3.1 기본가산회로

다 입력 가산에서는 PD(r,q) 수 표시를 이용하여 연산의 속도를 고속화 할 수 있다. r진에서 PD(r,q)는 $\{0,1,2, \dots, r-1, r, \dots, q\}$ 로 표현한다. 여기서, 양의 정수 q는 $q \geq r$ 인 정수이다. 즉 PD(2,3)은 $\{0,1,2,3\}$ 으로 표현된다. PD(r,q) 수 표현을 이용한 n 디지털의 M개 다중입력은 $X_j = (x_{n+1}^{(j)} \dots x_1^{(j)} \dots x_0^{(j)})_{PD(r,q)}$ ($j=1, \dots, M$)로 표현된다. 여기서, $x_i \in \{0,1, \dots, q\}$ ($i=0,1, \dots, n-1$)이다.

M개의 다 입력중 i번째 디지털에 대한 가산은 다음 식에 의해서 실행되어진다

$$z_i = x_i^{(1)} + x_i^{(2)} + \dots + x_i^{(j)} + \dots + x_i^{(M)}$$

$$r^l c_i^{(l)} + r^{l-1} c_i^{(l-1)} + \dots + r^k c_i^{(k)} + \dots + r^1 c_i^{(1)} + w_i$$

$$s_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} + \dots + c_{i-k}^{(k)} + \dots + c_{i-1}^{(1)}$$

여기서, $z_i \in \{0,1, \dots, q, \dots, Mq\}$, $c_i^{(l)} \in \{0, 1, \dots, r-1\}$, $w_i \in \{0,1, \dots, r-1\}$ 이다.

위의 식을 이용하여 M개의 다 입력을 갖는 PD가산기를 구성하면 다음과 같다.

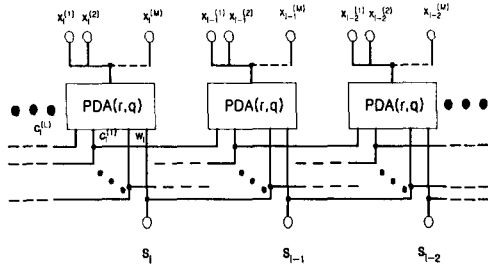


그림 2. 다중 입력을 갖는 병렬 PD(r,q)가산기

3.2 다차 2입력 가산기의 설계

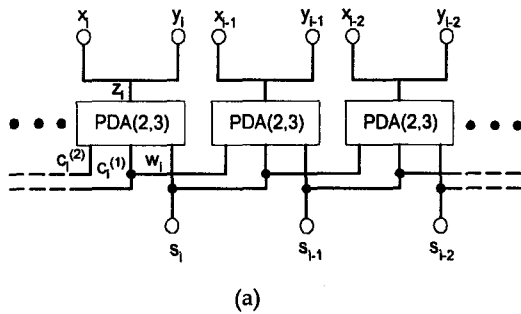
다차 2입력 가산에는 캐리 전파를 없애기 위해서 PD(2,3)를 사용하였다. PD(2,3)은 {0,1,2,3}의 디지트 집합으로 표현된다. 먼저, PD(2,3)을 이용한 2입력 가산에서 입력은 $X=(x_{n-1} \dots x_i \dots x_0)_{PD(2,3)}$ 와 $Y=(y_{n-1} \dots y_i \dots y_0)_{PD(2,3)}$ 이고, $x_i, y_i \in \{0,1,2,3\}$ 이다. X와 Y를 이용한 병렬가산은 다음의 과정을 통해서 이루어진다.

$$z_i = x_i + y_i \quad (1)$$

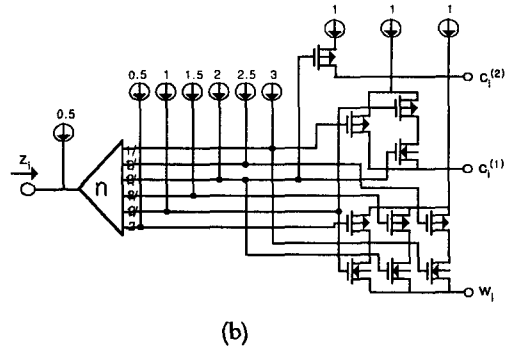
$$4c_i^{(2)} + 2c_i^{(1)} + w_i = z_i \quad (2)$$

$$s_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} \quad (3)$$

여기서 선형합 $z_i \in \{0,1, \dots, 6\}$, 캐리와 중 간합 $c_i^{(2)}, c_i^{(1)}, w_i \in \{0,1\}$, 최종합 $s_i \in \{0,1,2,3\}$ 이다. 위의 식을 이용해서 2입력 PD(2,3) 가산기를 구성하면 다음과 같다.



(a)



(b)

그림 3. 병렬 PD(2,3) 가산기 (a) 가산기, (b) PDA(2,3)소자

그림 3(b)의 과도응답 특성은 다음과 같다.

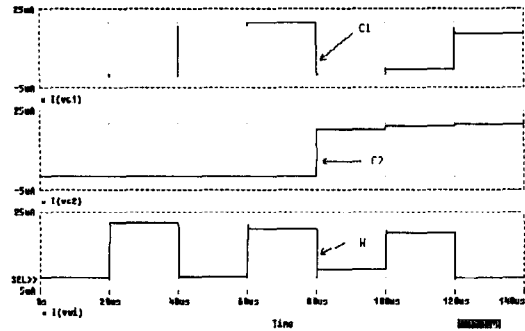


그림 4. 그림 3(b)의 과도응답 특성

3.3 다차 LUT(Look up table)

FFT연산회로에서 PD 가산기를 통해 고속의 연산을 할수 있지만 위상의 천이와 같은 부분을 고려해서 승산기는 여러 가지로 지연시간의 차이를 발생할수 있으므로 이것을 다차 LUT을 이용해 대체했다.

다차 LUT의 기본 진리치표와 기본 TR의 구성은

그림5에서 나타내었다
 예로 A와 B의 논리값이 0,2이면 A⁰와 B²의 V_{DD}의 값이 NMOS를 도통시켜 f₂의 값이 출력으로 나온다. 여기서 LUT의 입력값은 프로그램된 다차논리값을 만들어 내기 위해서 메모리나 프로그램되어있는 값으로 전달되어 질수 있다.

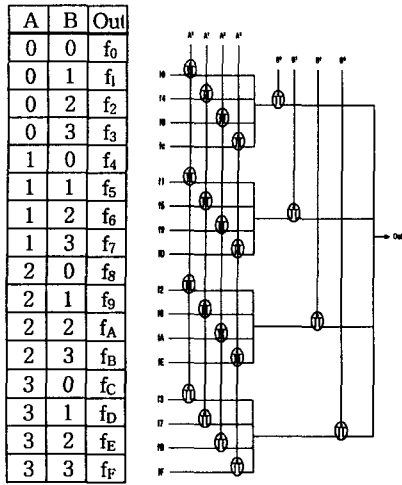


그림 5. 다치 LUT

4.4 4치 FFT 연산회로

기존의 2치 연산회로에서 볼 때 많은 가산과 승산이 필요하다. 그림6에서 보면 FFT연산은 기수2와 기수4를 접근방식이 있는데 radix-2의 방법으로 보면 그림 6(a)에서 처럼 입력 데이터가 두 개의 그룹으로 배열되어지고 FFT동작은 동시에 두그룹에서 이루어진다. 반면 radix-4의 방법으로 입력 데이터는 4개의 그룹으로 이루어져 그림(b)에서 보이는 것 처럼 4개의 그룹에서 함께 FFT연산이 이루어진다. radix-2는 전체 연산을 위해서 4단의 연산을 지내야 결과 나오게 되어 있다. 그리고 radix-4는 연산을 위해 2단이 적용된다. 하지만 radix-4은 processing element가 복잡해지지만 4치로 하면서 결선의 수를 줄이고 이로인해 기본 연산 셀을 더욱 간단히 구성할수 있다.

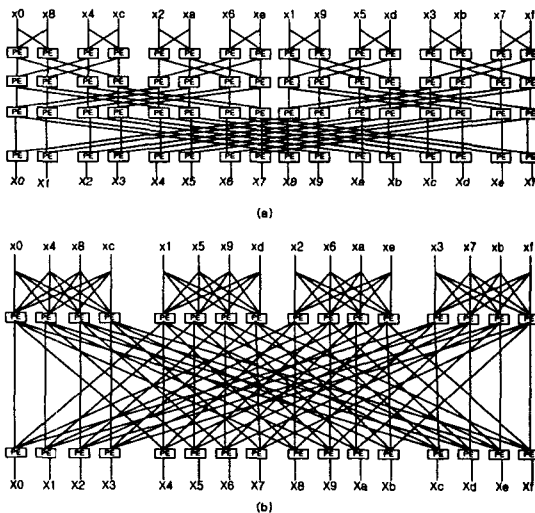


그림 6. 16Point FFT 연산회로
(a) radix2 (b)radix4

IV. 다치 하이브리드형 FFT 설계

4.1 2진 4치 Encoder의 회로설계

FFT 연산회로는 다치 전류모드 CMOS 기본 블록으로 효율적으로 구성되어질 수 있다. 하지만 전체 시스템을 다치로 구성하기에는 아직 문제점이 있기 때문에 연산 부분에서만 고속의 전류모드 회로를 사용하는 하이브리드형을 제시해서 먼저 2치의 데이터를 2비트를 4치로 표현하는 Encoder회로를 설계할수 있다. 전류모드회로의 특징중 하나인 간단한 결선에 의하여 가산이 용이하게 실현될수 있다는 것이다. 이러한 잇점을 Encoder구성에도 적용된다. 두 개의 트랜지스터는 스위칭 역할을 함으로 입력의 2치 신호에 따라 단순한 개폐 역할을 하게 된다. 따라서 2치 입력에 대한 전류 출력은 T1과 T2의 합에 의해 이루어진 출력 I_{out} 값을 가진다.

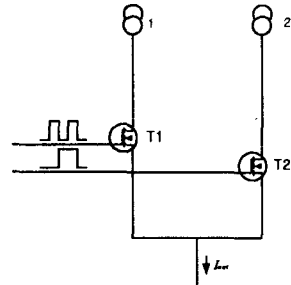


그림 7. 2진 4치 Encoder회로

4.2 4치 2진 decoder의 회로설계

Decoder의 구성에 있어서 양수만을 가질경우와 음수를 포함한 경우가 있을수 있다. 양수만을 가질 경우는 음수를 처리할 경우 2진 논리의 2의 보수의 형태로 만들어 전류의 방향을 모두 +방향(출력측 방향)으로 한다. 그림8에서 입력전류는 NMOS 밀러에 의해 다음단에서 동일한 크기의 입력이 들어오게 된다. 이때 밀러 보다 크기가 작은 전류원의 전류는 모두 밀러쪽으로 흐르게 된다. 이때의 전압은 0이 된다. 그리고 그렇지 못한 부분은 1의 값에 해당하는 전압을 가지게 된다.

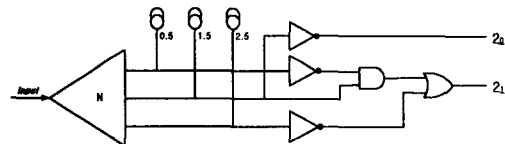


그림 8. 4치 2치 디코더회로

4.3 다치 하이브리드형 FFT 설계

기본 전압모드 2치 시스템과 호환을 위해서 그림9에서처럼 전체 FFT회로의 입력부분앞에 2치

4치 변환 인코더를 사용해 4치 전류모드로 변환하고 PD(2,3)가산기와 특성 변수값을 가지는 다치 LUT를 이용해 FFT연산회로를 구성했다. 그리고 다시 전류모드를 기존 2치로 바꾸는 디코더회로를 구성되는 전체 하이브리드형 FFT회로를 구성했다. 4치 메모리 배열과 4치 연산 소자, 그리고 4치 LUT를 이용한 radix-4 FFT 구현은 2진 시스템과 비교해 칩면적과 속도를 향상했다. 4치 메모리 배열로 통해 연산단이 2개로 줄어들었다. 그리고 32비트의 데이터는 32개의 셀이 16개의 4치 셀로 대응되고 4치 LUT은 단지 4치 값을 전송하기 위해 단지 한 결선을 이용하여 쪼고 이로 인해 칩내부 결선의 면적과 파워를 줄일수 있다.

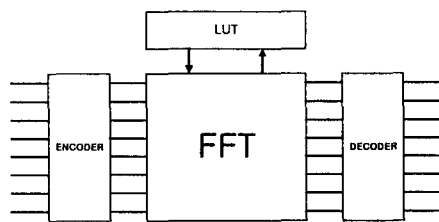


그림9. 다치 하이브리드형 FFT 연산회로

V. 결 론

본 논문에서는 캐리 전파 없이 병렬 가산이 가능하고 게이트 지연을 줄여 연산의 속도를 고속화 할 수 있는 PD 수 표현의 가산기와 이를 이용한 FFT연산회로를 구성하였다. PD 수 표현의 가산기 구성의 예로써 PD(2,3)가산기를 보였다. 또한, 승산기를 대체되는 다치 LUT로 승산기를 대신해서 가산과 승산에 생기는 지연시간을 맞추고 각 가산기와 LUT의 유효함은 기본 전류 모드 CMOS 2 μ m를 이용해 SPICE 시뮬레이션으로 확인하였다. 이상에서, PD 수 표현을 이용하여 FFT연산기를 구성한다면 연산에서 구해지는 선형 합은 별도의 능동 소자 없이 결선만으로 얻어지므로 연산기의 구조를 정형화 할 수 있고, 또한 전체 연산 시간은 연산자의 길이와는 상관없이 연산 단의 수에 비례하므로 Radix2 FFT보다 Radix 4 FFT를 이용해 연산단의 수를 줄이고 4치 전류모드 CMOS를 이용해 보다 간단한 소자의 구현이 가능하다. 향후의 과제로는 본 논문에서 설명한 승산 알고리즘을 이용하여 전체 16Point FFT를 실제 설계하고 레이아웃을 통한 Post 시뮬레이션을 함으로 FFT 동작을 검증할 것이다.

VI. 참고문헌

- [1] Alan V.Oppenheim Schafer,Ronald W. Schafer "Digital Image processing" Prentice Hall
- [2] Bernd Jahne " Digital Image Processing "

Third Edition in Springer

- [3] Ali Sheikholeslami,Ryuji Yoshimura and P. Glenn

Gulak "Look-Up Table for Multiple-Valued, Combinational logic" in proc. int 28th Symp MVL 1998,pp. 264-269

- [4] M. Kameyama, T.Hanyu, and T. Higuchi, "Design and Implementation of quaternary NMOS integrated circuits for pipelined image processing," IEEE J. Solid-state Circuits, vol. SC-22, no. 1, pp. 20-27, 1987.

- [5] A. Avizienis, "Signed-digit number representation for fast parallel arithmetic," IRE Trans. Elect Computer., vol. EC-10, pp. 389-400,Sept. 1961

- [6] N. Takagi, H. Yasuura, and S. Yajima, "High-speed VLSI multiplication algorithm with a redundant binary addition tree," IEEE Trans. Comput., vol.C-34,pp. 789-76, sep..1985.

- [7] 양대영,송홍복 "양의 수 표현을 이용한 다치 연산기 설계" 동의대학교 전자공학과 1999년