

ac-PDP의 상판 Bus 전극 위치 변화에 따른 addressing 속도 및 발광효율에 관한 연구

A Study on the Addressing speed and Luminous Efficiency as Positions of Bus Electrodes in ac PDP

김윤기, 이성현, 문영섭, 김규섭, 조정수, 박정후
부산대학교 전기공학과

Yun-gi Kim, Sung-hyun Lee, Young-seop Moon, Gyu-Seop Kim, Jung-soo Cho, Chung-hoo Park
Dept. Electrical Engineering Pusan National University

Abstract

In this paper, we investigated the relationship between the position of bus electrode and address time, luminance and luminous efficiency in ac PDP of 50in. XGA resolution. When the bus electrode was placed in which was about $140\mu\text{m}$ apart from discharge gap, the luminous efficiency was the highest and address time was the least. Whereas, when the bus electrode was placed in the edge of ITO, the luminance was the highest.

1. 서 론

정보화 시대가 도래하면서 대량의 정보를 신속하게 전달시켜 줄 수 있는 대형 디스플레이에 대한 요구가 증대되고 있다. 이에 차세대 평판 디스플레이에 대한 연구가 활발히 진행 중이다. 현재 PDP(Plasma Display Panel)는 기존의 CRT(Cathode ray tube)나 LCD(Liquid Crystal Display)에 비해 대형화가 용이하다는 장점으로 인해 주목받고 있다. 그러나, ADS(Address and Display period Separated) 방식의 구동을 행하는 PDP가 상품으로서 대화면화 및 고정세화 그리고 저가격화를 실현하기 위해서는 휘도, 효율 및 어드레싱 속도를 향상시켜야만 한다. 본 연구에서는 이러한 문제의 해결방안을 모색하고자 PDP의 셀 구조적인 측면에서 접근하여, 유지전극 상의 bus 전극의 위치가 address 기간 중에 미치는 방전 특성과 방전 유지 기간 중에서 휘도 및 효율에 어떠한 영향을 미치는지 규명하고자 하였다.

2. 본 론

2.1 실험 방법

현재 널리 이용되고 있는 ac-PDP의 개략도를 그림 1에서 나타내고 있다. ac-PDP는 3mm 두께

의 2장의 유리로 구성되어 있고, 이 중 상판에는 ITO(Indium Tin Oxide) 및 Cr/Cu/Cr로 이루어진 방전유지전극이 있고, printing 법에 의해 형성된 $\text{SiO}_2\text{-PbO}$ 계열의 유전체가 유지전극을 덮고 있으며, 유전체 보호층인 MgO 박막이 sputtering 기법에 의해 유전층 상에 증착되어 있다. 그리고, 하판에는 방전을 제어하기 위한 Cr/Cu/Cr의 어드레스 전극과 표면방전에서 발생하는 진공자외선(VUV, vacuum ultra violet)을 가시광으로 변환하는 R, G, B 삼원색의 형광체가 도포되어 있으며, 인접 셀과의 구분을 위하여 sandblaster 기법에 의한 격벽이 형성되어 있다.

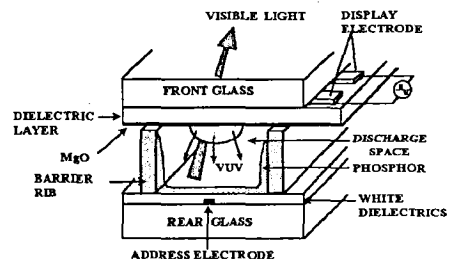


그림 1. ac PDP의 개략도

Fig. 1 The schematic diagram of ac-PDP

그림 2는 본 실험에서 제작한 유지전극 모양을 나타내고 있다. Bus 전극의 위치가 ITO 전극의 edge 부에 위치하고 있는 기존의 전극구조에서 방전 갭으로부터 $140\mu\text{m}$, $100\mu\text{m}$ 만큼 위치를 변화시킨

Type1과 Type2의 구조이다. 동일한 시료제작 조건하에서 시료의 특성을 서로 비교하기 위하여 동일한 기판 위에 시료를 제작하여 제작 공정상의 오차를 최소화하도록 하였다.

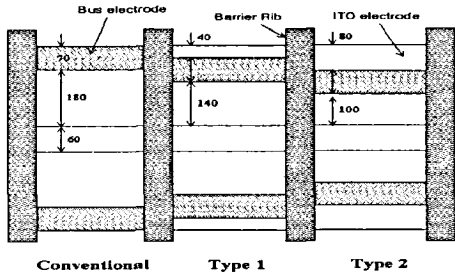


그림 2. 실험에 사용한 Bus 전극 위치에 따른 전극 구조

Fig 2. The structure of electrode as bus electrode position

그림 3은 완성된 시료의 방전 전압특성과 광특성을 측정하기 위한 실험장치의 구성도이다. 실험장치는 크게 시험용 방전챔버 부분과 구동회로 부분으로 구성되어 있다. 방전 챔버는 직경 200mm, 높이 80mm의 원통형 구조로 되어 있으며, 시료의 방전상태와 광특성을 외부에서 관측하기 용이하도록 상부면은 표면 가공한 석영창으로 제작하였다.

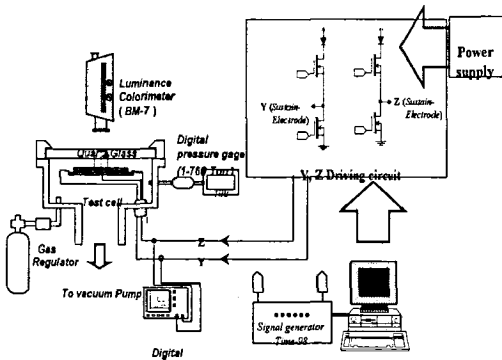


그림 3 방전특성 시험용 챔버의 개략도
Fig. 3 The schematic diagram of test chamber

실험을 위해 제작된 상판과 하판을 봉합하여 이 챔버 내부에 장착한 후, 진공도를 10^{-6} Torr까지 초기 배기하고, He-Ne(30%)-Xe(2%) 가스를 300Torr까지 주입하여 aging 후 측정을 행하였다. 실험에 사용한 시료는 유지전극 6쌍을 기준으로

하였다. 휘도의 측정은 휘도측정기(Luminance Colormeter BM-7)를 이용하였다. 구동회로 부분은 signal generator 부분과 analog switching 부분으로 구성되어 있다.

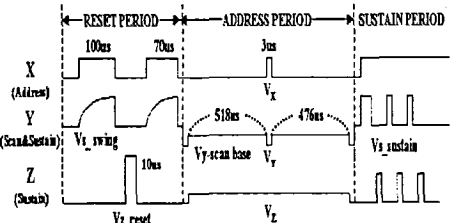


그림 4. 구동 파형의 개략도
Fig. 4 Schematic diagram of driving waveform

그림 4는 실험에서 인가된 ADS 방식의 구동 파형의 개략도로서 전체 주기는 2ms 이며, address 기간 중에 V_x 와 V_y 전압 펄스를 인가한 후, 방전 전류의 delay를 관측하여 address time을 산출하였으며, 이 때 3전극으로 유입되는 방전전하량을 CT를 이용하여 계측하였다. address 방전에서 발생한 방전전하들에 의해 형성된 벽전하는 다음 sustain 방전의 형상을 좌우하기 때문에 원하는 화상을 정확히 표시하기 위해서는 address 기간 중에 각 전극으로 유입되는 전하량을 명확히 파악하여 다음 sustain 펄스 전압 선정의 기초를 마련해야만 한다. 한편, sustain 기간 중에 50kHz의 교류 펄스를 인가하여 휘도 및 소비전력을 산출하여 최종적으로 효율을 제시하였다.

2.2 실험 결과 및 고찰

그림. 5는 유지전극내의 Bus 전극 위치에 따른 방전개시 전압 및 방전 유지전압 특성을 나타내고 있다. 방전 gap이 $60\mu\text{m}$ 로 모두 일정하기 때문에 방전전압 특성은 bus 전극의 위치에 관계없이 거의 유사함을 알 수 있었다.

그림. 6은 Bus 전극 위치를 따라서 압력 변화시 휘도 및 소비전력 특성을 나타내고 있다. 휘도의 경우 압력이 높아질 수록 모든 type에 대해서 상승하는 것을 알 수 있고, 특히 300torr 근방에서는 type 1의 휘도 및 소비전력이 가장 높았지만, 400torr으로 압력이 증가할 수록 기존 형태의 휘도 및 소비전력이 증가함을 알 수 있었다. 이로써 압력이 증가할 수록 after glow 상태에서 gas 내의 여기 입자들에 의한 광의 striation이 방전 gap으로

부터 먼 위치까지 진전해 나감을 추정할 수 있었다.[1]

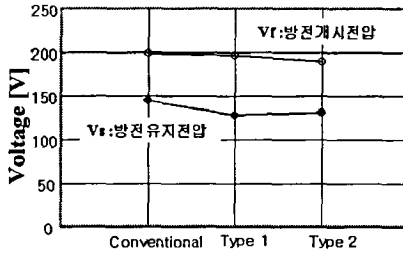


그림 5. Bus 전극 위치에 따른 방전전압 특성
Fig. 5 Characteristics of discharge voltage as a parameter of position of bus electrode.

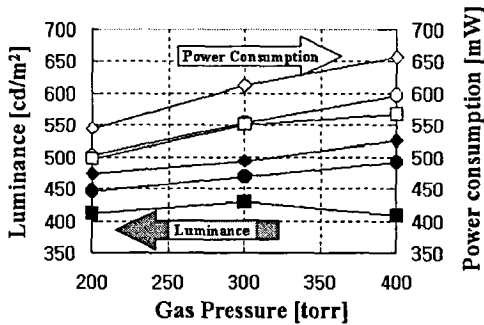


그림 6. 압력에 따른 휘도 및 소비전력 특성
Fig. 6 Luminance and power consumption as a parameter of gas pressure

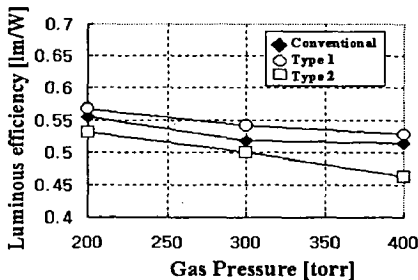


그림 7. 압력에 따른 효율 특성
Fig. 7 Luminous efficiency as a parameter of gas pressure

그림 7은 압력에 따른 효율 특성을 나타내고 있다. 휘도에 따른 소비전력을 나타내는 효율 항목에서는 압력이 증가할 수록 방전 전하량이 줄어든 type 1의 효율이 기존 type에 비해 약 5% 정도 증

가함을 알 수 있었다.

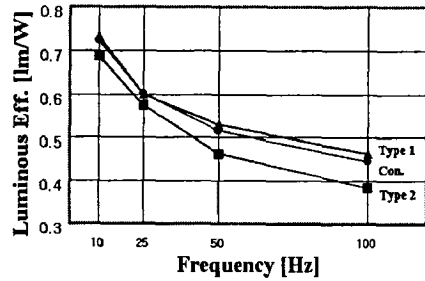


그림 8. 인가 펄스의 주파수에 따른 효율 특성
Fig. 8 Luminous efficiency as a parameter of frequency of applied pulse

그림 8은 인가 전압 펄스의 주파수에 따른 효율 특성을 나타내고 있다. 10kHz에서 100kHz의 영역에서 실험을 행한 결과 전체적으로 기존의 형태와 type 1이 거의 유사한 효율 특성을 나타내었으며, 주파수가 상승할 수록 효율이 감소함을 알 수 있었다.

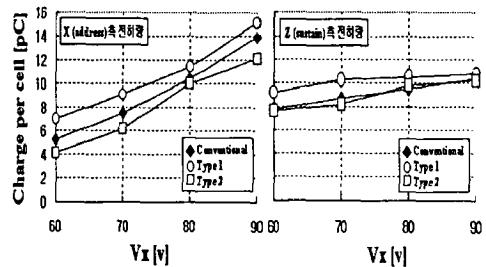


그림 9. Vx 변화에 따른 방전전하량의 변화
Fig. 9 Charge variation as a parameter of Vx in address period

그림 9는 address 기간 중의 address 전극에 인가되는 전압을 변화시켰을 때의 address 전극과 유지전극으로 유입되는 방전전하량의 변화를 나타내고 있다. Vx 전압이 증가할 수록 address 축으로 유입되는 전하량이 증가하는 반면에 유지전극 축으로의 변화량은 상대적으로 적은 것을 알 수 있다. Address 이후 유지 방전의 발생을 용이하게 하기 위해서는 유지전극으로의 전하 전달량이 많은 편이 유리하다. 그림에서 type 1의 Z 축으로의 전하전달량이 기존의 type에 비해 안정 동작 영역인 70~80V 사이에서 약 11~18% 증가함을 알 수 있었다.

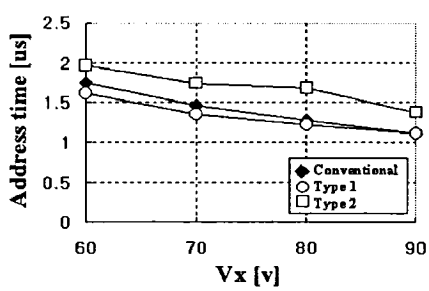


그림 10. V_x 변화에 따른 address time의 변화
 Fig. 10 Variation of Address time as a parameter of V_x in address period

그림 10은 V_x 변화에 따른 방전전류의 delay로써 산출한 address time을 나타내고 있다. Address 방전은 서로 마주보고 있는 address 전극과 scan 전극 사이에서 triggering 방전이 발생하여 scan 전극과 유지전극으로의 면방전으로 이행함으로써 원하는 셀 내에 벽전하를 쌓아두는 개념의 방전이다. 이 때 address 전극과 scan 전극간의 대향방전에 bus 전극이 주도적인 역할을 하며 bus 전극의 위치가 투명 전극의 중앙으로 위치하는 것이 address 속도를 향상시키는데 유리하다고 알려진 바가 있다.[2] 따라서 어느 정도의 위치가 가장 적절한 지를 파악하기 위해서 본 실험을 행한 결과 V_x 전압의 변화에 따라서는 bus 전극의 위치가 방전 gap으로부터 약 $140\mu\text{m}$ 떨어진 경우가 기존의 $180\mu\text{m}$ 떨어진 경우보다 안정 동작 영역인 $70\sim 80\text{V}$ 사이에서 약 $5\sim 8\%$ 정도 address time을 줄일 수 있음을 알 수 있었다. 그러나, gap으로부터 $100\mu\text{m}$ 떨어진 type 2의 경우에는 오히려 address time이 증가하는 것을 알 수 있었다. 이는 ADS 구동 방식에서 address 기간 중에도 어느 정도 벽전하가 잔류하고 있을 때, address time을 줄일 수 있음을 의미한다.[3] Bus 전극이 gap으로부터 $100\mu\text{m}$ 내에 위치하는 경우는 reset 과정에서 발생하는 잔류 벽전하량이 줄어들기 때문에 address time이 오히려 증가하는 것으로 생각된다.

그림 11은 address 기간 중의 scan 전극에 인가되는 전압을 변화시켰을 때의 address 전극과 유지전극으로 유입되는 방전전하량의 변화를 나타내고 있다. 안정 동작 영역인 $140\sim 150\text{V}$ 영역에서 유지 전극 측으로 유입되는 전하량은 V_x 가 변시와 유사하게 type 1이 기존의 type에 비해 약 10% 정도 증가함을 알 수 있었다. 또한, V_y 전압을 변화시킨 경우에는 address 전극과 유지전극 측 모두 방전전하의 유입이 증가함을 알 수 있었다.

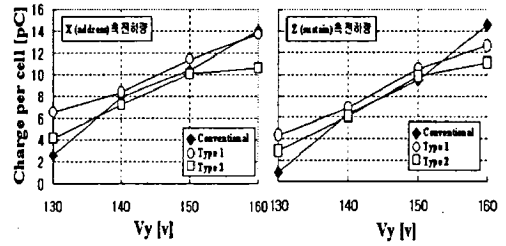


그림 11. V_y 변화에 따른 방전전하량의 변화
 Fig. 11 Charge variation as a parameter of V_y in address period

그림 12는 V_y 변화에 따른 address time을 나타내고 있다. 역시 안정 동작 영역인 $140\text{V}\sim 150\text{V}$ 사이에서 type 1이 기존 type에 비해서 address time이 약 4~7% 정도 감소하는 것을 알 수 있었다.

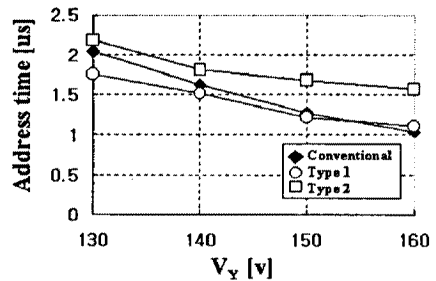


그림 12. V_y 변화에 따른 address time의 변화
 Fig. 12 Variation of Address time as a parameter of V_y in address period

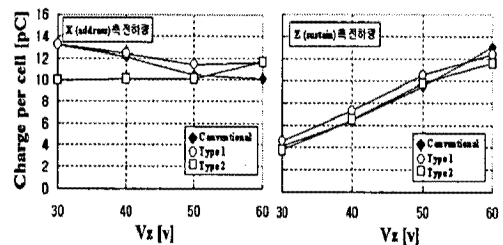


그림 13. V_z 변화에 따른 방전전하량의 변화
 Fig. 13 Charge variation as a parameter of V_z in address period

그림 13은 address 기간 중의 유지 전극에 인가되는 전압을 변화시켰을 때의 address 전극과 유지전극으로 유입되는 방전전하량의 변화를 나타내

고 있다. 유지 전극에 인가되는 전압이 증가할 경우 address 전극 측으로 유입되는 전하량은 어느 정도 포화하거나 다소 줄어드는 것을 알 수 있었고, 유지 전극으로 유입되는 전하량은 type에 관계없이 단위 셀당 약 0.3pC/V의 비율로 증가하는 것을 알 수 있었다. 이 경우도 안정 동작 영역인 40~50V사이에서 type 1이 기존 type에 비해 유지 전극 측으로 유입되는 전하량이 약 11~13% 정도 증가하는 것을 알 수 있었다.

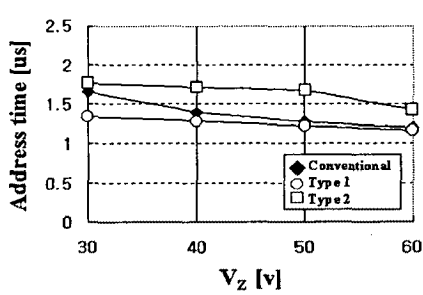


그림 14. Vz 변화에 따른 address time의 변화
 Fig. 14 Variation of Address time as a parameter of Vz in address period

그림 14는 Vz 변화에 따른 address time을 나타내고 있다. 안정동작 영역인 type 1이 기존의 type에 비해 40V~50V 사이에서 4~8% 정도 address time이 줄어드는 것을 알 수 있었다.

3. 결 론

기존의 셀 구조에 있어서 bus 전극의 위치에 따른 유지 방전 동안의 휘도 및 효율 특성과 address 기간 중의 각 전극으로의 방전전하 유입량 및 정확한 화상 구현을 위해 요구되는 address time에 관하여 연구한 결과

유지 방전 동안의 휘도는 기존의 type이 가장 우수한 것으로 나타났지만, 효율의 경우 type 1이 약 5% 정도 향상되는 것을 알 수 있었다. Address 기간 중 address 방전에 소요되는 시간은 안정 동작 영역 내에서 type 1이 기존 type에 비해 약 5~10% 정도 줄어들었으며, 유지전극으로의 전하 유입량은 약 10~18% 정도 증가하였다. 이로써 addressing 속도 및 효율 측면에서는 bus 위치를 투명전극의 edge에서 40μm 이내의 범위에서 옮기는 것이 유리함을 알 수 있었다.

참 고 문 헌

[1] H.S.Jeong et al, "Time-Resolved Imaging of VUV Emission from a He-Xe Micro Surface Discharge", IEEE Trans. on Plasma science, Vol. 27, No. 1, pp171-181, 1999
 [2] H.Hirakawa et al, "Cell Structure and Driving Method of a 25-in.(64-cm) Diagonal High Resolution Color ac Plasma Display", SID 98 Digest, pp 279-282, 1998
 [3] C. Punset et al, "Addressing and sustaining in alternating coplanar plasma display panels" Journal of applied physics, Vol86, No. 1, pp124-133, 1999