

## 초소형정밀기계용 SOI구조의 제작

Fabrication of SOI Structures For MEMS Application

정귀상\*, 감경두\*\*, 정수태\*\*

(Gwiy-Sang Chung\*, Kyung-Doo Kang\*\* Su-Tae Chung\*\*)

### Abstract

This paper describes on the fabrication of a SOI substrate by SDB technology and electrochemical etch-stop. The surface of the thinned SDB SOI substrate is more uniform than that of grinding or polishing by mechanical method, and this process was found to be a very accurate method for SOI thickness control. During electrochemical etch-stop, leakage current versus voltage curves were measured for analysis of the open current potential(OCP) point, the passivation potential(PP) point and anodic passivation potential. The surface roughness and the controlled thickness selectivity of the fabricated a SDB SOI substrate were evaluated by using AFM and SEM, respectively.

**Key Words(중요용어)** : Electrochemical etch-stop(전기화학적 식각정지), SDB SOI(실리콘기판 직접 접합 에스오아이), Thickness control(두께제어), Surface flatness(표면평탄도)

### 1. 서 론

최근, Si 마이크로머시닝기술을 이용한 마이크로 3차원 구조물 제작이 용이해짐에 따라, 전자소자와 기계부품 그리고 신호처리용 마이크로프로세스까지 집적화된 마이크로 전자기계시스템(MEMS : Micro Electronic and Mechanical System)을 구현하고자 하는 연구가 활발히 진행되고 있다.<sup>[1, 2]</sup> 특히, Si 벌크마이크로머시닝기술은 압저항 효과와 홀 효과 등 감지에 대한 우수한 물리적, 자기적 효과와 기계적 미세구조물 제작이 용이하기 때문에 압력센서, 가속도센서, 각도센서, MOS 홀센서, 벨브 그리고 펌프 등의 마이크로 센서 및 액츄에이터 개발에 널리 이용되고 있다. 고성능 MEMS를 연구·개발하기 하기 위한 능동소자 혹은 표면 미세구조물을 제작하기 위해서는 Si 벌크마이크로머

시닝기술과 기존 IC 제조기술 그리고 Si foundry와 단결정 Si의 우수한 기계적 성질뿐만 아니라 전기적 절연체 상부에 단결정 Si 박막이 존재하는 SOI(Si-on-Insulator)구조의 기판을 이용하는 것이 가장 적합한 기술로 전망되고 있다.

현재, SOI구조의 제작기술중에는 절연층 상부에 성장된 비결정 혹은 다결정의 Si 박막을 용융후 재결정화하는 방법,<sup>[3]</sup> 에피택시 성장을 이용하는 방법,<sup>[4]</sup> 기판내부에 산소이온 주입 후 열처리를 행함으로써 산화층을 형성하여 표면 Si층과 기판을 분리하는 방법<sup>[5]</sup> 그리고 산화막이 형성된 두 장의 Si기판을 직접접합(SDB : Si-wafer Direct Bonding)한 후, 한 면의 Si기판을 화학적·기계적 연마로써 박막화하는 방법<sup>[6]</sup> 등이 있다. 여러가지 방법중에서 SDB기술은 완벽한 단결정 Si 박막과 우수한 절연특성을 갖는 매몰층 산화막뿐만 아니라 대면적의 SOI기판을 제작할 수 있다. 특히, MEMS분야에 있어서 매몰 cavity 혹은 3차원 미세구조물을 갖는 Si 벌크마이크로머시닝 후막 혹은 박막 다이어프램, 센터레버, 브릿지<sup>[7]</sup> 등을 보다 쉽고 정확하게 제작이 가능하며 단결정 Si의 우수한 전기적·기계적 특성을 이용할 수 있기 때문에 최근 활발히 연

\* : 동서대학교 정보통신공학부  
(부산광역시 사상구 주례동 산69-1번지 Fax : 051-320-2122 E-mail : gschung@dongseo.ac.kr)  
\*\* : 부경대학교 전자공학과  
(부산광역시 남구 대연3동 599-1번지 Tel : 051-620-6451)

구·개발되고 있다.<sup>[8, 9]</sup> 이러한 SDB SOI기술을 MEMS분야에 이용하기 위해서는 SOI 능동층의 박막화와 정확한 두께제어기술이 무엇보다도 중요하다. 현재, SDB SOI구조의 박막화에는 그라인딩 후 폴리싱에 의한 기계적인 방법(non-selective method)이 널리 사용되고 있지만<sup>[10]</sup>, 장비의 평탄도와 정밀도에 크게 의존하며, 대면적의 능동층 박막두께를 정확하게 제어하기가 대단히 어렵다.

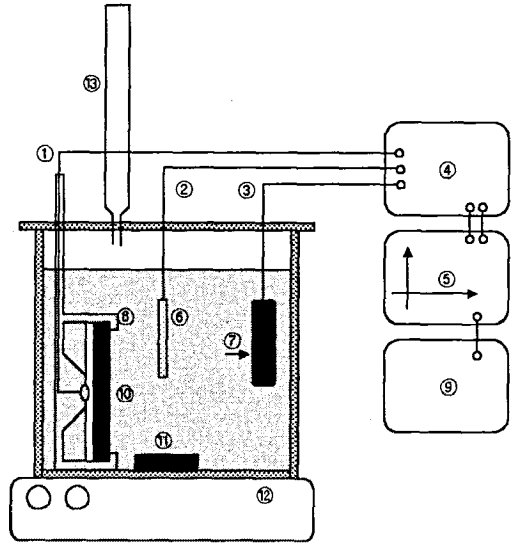
Si의 이방성 습식식각기술을 이용해서 cavity나 다이어프램 제작시 두께제어법으로는 식각시간법, 불순물 농도차를 이용하는 방법<sup>[11]</sup>과 전기화학적 식각정지법<sup>[12]</sup> 등이 있다. 그러나, 고농도 불순물을 식각정지층으로 사용할 경우, 잔류응력의 영향과 고농도 부분에 소자를 형성할 수가 없다. 한편, 역바이어스된 pn 접합 다이오드의 성질과 양극산화현상을 이용한 전기화학적 식각정지법은 식각정지에 필요한 불순물의 농도가 높지 않고 매우 정확한 능동층의 두께제어가 가능하다.

따라서, 본 연구에서는 전기화학적 식각정지법을 SDB SOI기판의 박막화에 적용하여 식각정지 표면 및 박막두께 제어특성을 분석·평가하였다.

## 2. 실험

그림 1은 SDB SOI기판을 제작하기 위해 사용된 전기화학적 식각 장치도를 개략적으로 나타낸 것이다. TMAH/IPA/pyrazine 이방성 식각용액<sup>[13]</sup>을 사용하여 식각용액의 온도를 80°C로 유지했으며, 식각시 Si기판의 두께변화에 따른 인가전압값의 변화를 막기위하여 WE(Working Electrode)와 RE(Reference Electrode)사이에 항상 일정한 전압값을 공급해주기 위해 Potentiostat를 사용하여 WE, RE 및 CE(Counter Electrode)의 3전극 시스템을 구성하였다. 식각용액의 교반효과를 주기 위해서 magnetic stirring을 사용하였으며, 식각용액의 온도는  $\pm 0.5^\circ\text{C}$ 로 유지하였다. 전기화학적 식각시 식각용액과 ohmic contact간의 접촉을 방지하기 위하여 Teflon, O-ring 및 wax를 이용하여 샘플 홀더를 제작하였다.

그림 2는 SDB기술과 전기화학적 식각정지를 이용한 SDB SOI기판 제작공정 순서를 나타낸 것이다. 먼저, 5000Å의 열산화막이 성장된 p-형 지지기판과 p-sub.에 15  $\mu\text{m}$ 의 n-epi.가 성장된 능동기판은 표면의 유기오염물을 제거시키기 위해서 HCl과 H<sub>2</sub>O<sub>2</sub>를 혼합한 용액과 H<sub>2</sub>SO<sub>4</sub>과 H<sub>2</sub>O<sub>2</sub>을 혼합한



1. WE(Working Electrode)
2. RE(Reference Electrode)
3. CE(Counter Electrode)
4. Potentiostat
5. Plotter
6. Ag/AgCl
7. Pt mesh
8. Teflon holder
9. PC
10. Sample
11. Magnetic stir-bar
12. Hot plate
13. Reflux condenser

Fig. 1. The configuration for electrochemical etch -stop.

용액에서 10분간 순차적으로 세정하였다. 세정이 완료된 p-형 지지기판은 전기화학적 식각정지시 능동기판의 n-epi.영역으로 전압을 인가하기 위해 SDB공정을 행하기 전에 이방성 식각하였다. 식각이 완료된 p-형 지지기판과 p-sub./n-epi. 능동기판은 SDB공정을 위하여 HF 2.0 % 희석용액에서 1분간 전처리 한 후, 0.1 kg/cm<sup>2</sup>의 무게를 인가하면서 초기접합<sup>[14]</sup>을 수행하였으며, 초기접합된 기판은 1000°C에서 60분간 열처리를 실시하였다. 그리고 능동층이 성장된 p-sub.기판의 passivation potential(PP점)과 open current potential(OCP점)을 각각 분석하여 전기화학적 식각정지시 공급된 인가전압을 결정하였다.<sup>[15]</sup> n-epi.층에서 식각정지된 Si기판 표면의 평탄도는 AFM을 이용하여 식각용액의 농도 및 IPA와 pyrazine의 첨가에 따라 분석하

였다. 또한, SEM을 이용하여 식각정지된 박막의 두께를 분석·평가하였다.

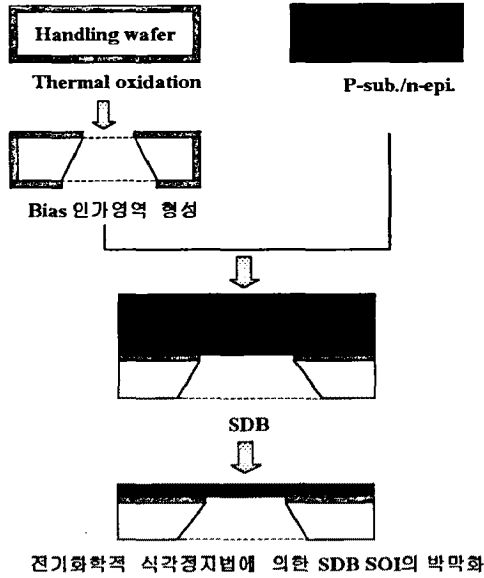


Fig. 2. A fabrication process cross-sectional view of a SDB SOI substrate by electrochemical etch-stop.

### 3. 결과 및 고찰

그림 3은 전기화학적 식각정지시 사용된 p-형 기판의 누설전류 대 전압특성 곡선을 나타낸 것이다. 식각용액은 TMAH 20 wt.%, 식각용액의 온도는 80 °C로 유지하여 측정하였다. PP점과 OCP점을 분석하기 위해 Potentiostat를 사용하여 -2 V~+2 V까지의 인가전압 범위에서 scan rate를 5 mV/sec로 scanning하였다. 이때 Si로부터 식각 용액으로 흘러 나오는 전류의 값을 측정하여 전압-전류 특성 곡선을 도시한 것이다. 그리고 실험에 사용된 p-형 기판의 농도는  $10^{14} \sim 10^{15} \text{ cm}^{-3}$ 이다. 양극 산화현상이 일어남으로 인해 증가하던 누설전류가 갑자기 감소하는 전압은 0.9 V로 PP점이 되고, 양극산화현상 이후 감소한 전류값은 약 0.3 mA를 유지하였다. 그리고 서서히 증가하던 누설전류가 0이 되는 OCP점은 -1.5V로 나타났다.

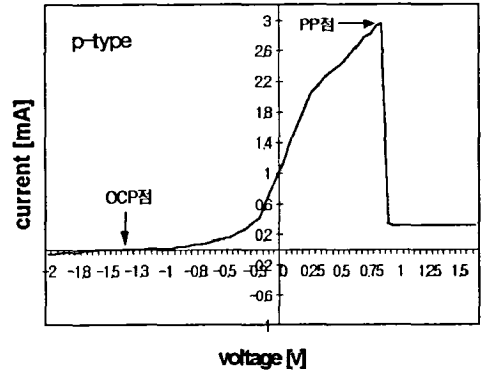


Fig. 3. Current-Voltage characteristic curve of p-type Si at electrochemical etch-stop.

그림 4는 전기화학적 식각정지법에 의해 제작된 SDB SOI기판의 단면도 SEM사진을 나타낸 것이다. 사진에서 알 수 있듯이 전기화학적 식각정지법에 의해 p-sub.기판상에 성장된 15  $\mu\text{m}$ 의 n-epi.층에서 식각이 정확하게 정지됨을 알 수 있다. 또한, 식각정지된 기판의 n-epi.층 두께가 15  $\mu\text{m}$ 으로 전체적으로 균일하며 전기화학적 식각정지법은 SDB SOI기판 제작에 적용할 경우, SOI 박막의 정확한 두께제어가 가능함을 알 수 있었다.

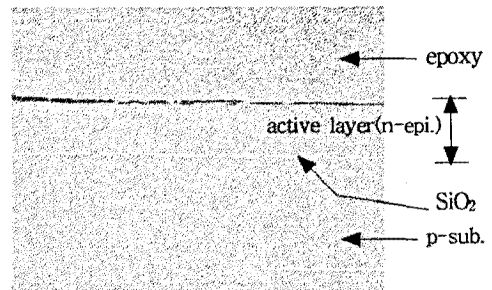
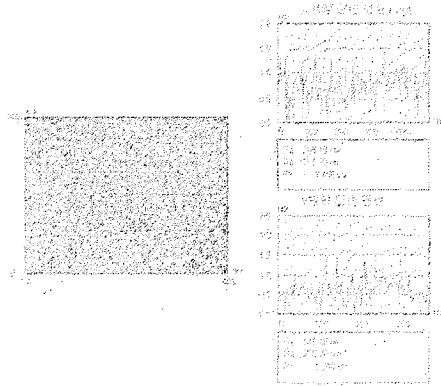


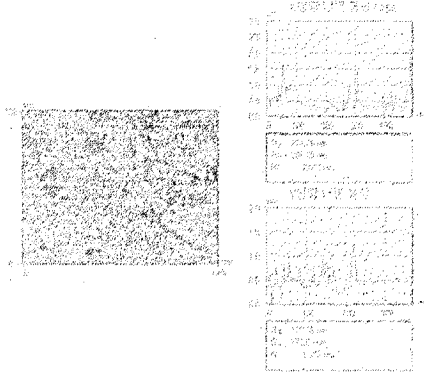
Fig. 4. SEM picture of a cross-sectional view SDB SOI substrate fabricated by electrochemical etch-stop.

그림 5는 TMAH 식각용액의 농도(5, 10, 15, 20 wt.%)에 따라 식각정지된 Si 표면의 AFM 이미지를 나타낸 것이다. 식각용액의 농도가 낮을수록 표면의 평탄도가 나빠지는 것을 알 수 있으며, 20 wt.%의 경우에 가장 양호한 식각정지된 표면 평탄도를 얻을 수 있다. 특히, 농도가 낮은 5 wt.%와 10 wt.%의 경우는 식

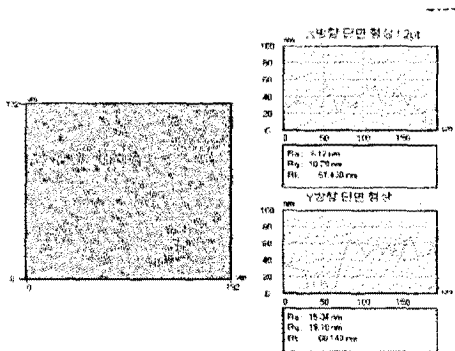
각속도가 빨라지는 장점은 있지만, 표면의 평탄도가 최소 120.06 nm에서 최대 216.56 nm까지 변화했다. 한편, 15 wt.%와 20 wt.%에서의 표면 평탄도는 최소 12.15 nm에서 최대 15.04 nm까지 변화함으로써 비교적 우수한 식각정지 표면특성을 얻을 수 있다.



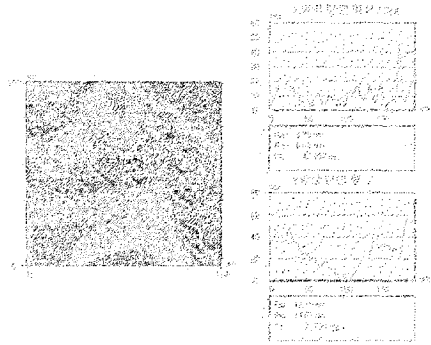
(a) TMAH 5 wt.%.  
Roughness parameters:  
Rz: 120.06 nm  
Ra: 12.15 nm  
Rq: 15.04 nm  
Rt: 216.56 nm



(b) TMAH 10 wt.%.  
Roughness parameters:  
Rz: 120.06 nm  
Ra: 12.15 nm  
Rq: 15.04 nm  
Rt: 216.56 nm



(c) TMAH 15 wt.%.  
Roughness parameters:  
Rz: 120.06 nm  
Ra: 12.15 nm  
Rq: 15.04 nm  
Rt: 216.56 nm



(d) TMAH 20 wt.%.  
Roughness parameters:  
Rz: 120.06 nm  
Ra: 12.15 nm  
Rq: 15.04 nm  
Rt: 216.56 nm

Fig. 5. Flatness variations of etched-stopped surface according to the concentration of TMAH at electrochemical etch-stop.

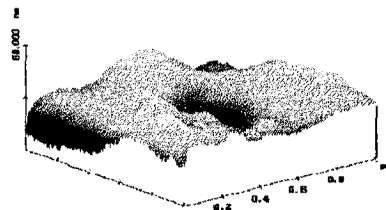
그림 6은 본 실험에서 사용한 Si기판의 거울면과  $\pm 5\mu\text{m}$  이상의 편차를 갖는 Si기판의 뒷면을 TMAH 20 wt.% 식각용액에서 전기화학적 식각정지된 Si 표면의 AFM 이미지이며, 표 1은 각각 분석된 평탄도 결과를 요약한 것이다.

표. 1 Si 표면의 거칠기 분석결과

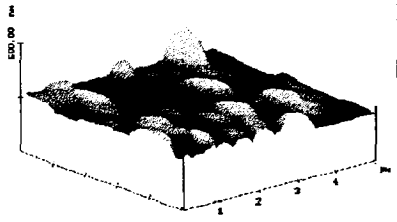
Tab. 1 Roughness analysis results of Si surfaces

거칠기 기판종류	Rough.(ave.)	Rough.(rms.)
Si기판 거울면	5.171 nm	7.310 nm
식각정지된 Si표면	13.056 nm	17.135 nm

전기화학적 식각정지된 Si기판 표면의 평탄도는 일반 Si기판의 거울면보다 평균 거칠기가 증가하는 것으로 나타났다.



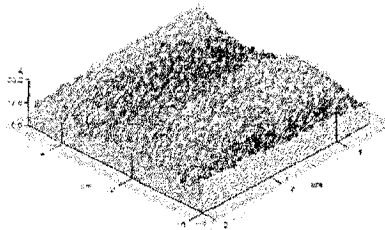
(a) Mirror surface of a Si wafer.



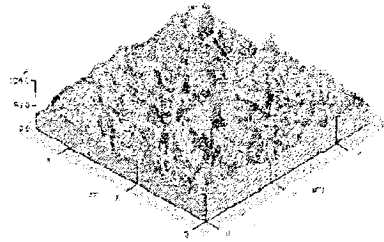
(b) Electrochemical etch-stoped Si surface.

Fig. 6. AFM images of Si surface roughness.

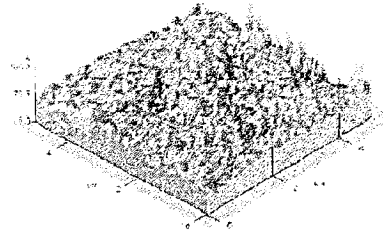
그림 7은 표면 평탄도를 개선하기 위해 TMAH 20 wt.%에 IPA 및 pyrazine이 첨가되어 식각정지된 Si 표면의 AFM 이미지를 각각 나타낸 것이다. 그림 7(a)는 본 연구에서 사용한 Si기판 거울면의 AFM 이미지로 평균 거칠기가 5.12 nm로 측정되었으며, (b)는 TMAH에 IPA 17 vol.%가 첨가된 이방성 식각용액에서 전기화학적 식각정지된 Si 표면의 AFM 이미지로 평균 거칠기가 5.48 nm로 나타났다. 이와 같은 결과는 TMAH 20 wt.%에서 식각정지되었을 때의 일반적인 평균 거칠기인 12~13 nm와 비교할 때, 매우 개선되었음을 알 수 있다. 그러나 IPA를 첨가하므로써 평탄도는 크게 개선되지만, 식각속도의 감소를 야기시키는 것으로 보고되고있다.<sup>[16]</sup> 그림 (c)는 TMAH 20 wt.%/IPA 17vol.%/ pyrazine 0.5 g/100ml 이방성 식각용액에서 전기화학적 식각정지된 Si 표면의 AFM 이미지로 평균 거칠기는 5.4nm로 나타났다. 일반적으로 식각속도 개선을 위해 사용되는 pyrazine를 첨가하더라도 TMAH 이방성 식각용액에 IPA만을 첨가했을 때의 평균 거칠기와 비슷한 결과를 얻었다.



(a) Mirror surface of Si wafer.



(b) TMAH 20 wt.%/IPA 17 vol.%.



(c) TMAH 20 wt.%/IPA 17 vol.%/pyrazine 0.5g/100ml.

Fig. 7. AFM images of etch-stopped Si surfaces according to TMAH/IPA/pyrazine etching solutions at electrochemical etch-stop.

#### 4. 결 론

본 논문에서는 전기화학적 식각정지법을 이용하여 SDB SOI기판 제작할 경우, SOI 두께제어 및 TMAH/IPA/pyrazine 이방성 식각용액의 농도의 변화에 따라 식각정지된 Si 표면의 평탄도 특성을 분석·평가하여 다음과 같은 결론을 얻었다.

- 1) 전기화학적 식각정지시 Si기판으로부터 식각용액(TMAH 20 wt.%, 온도 80°C)으로 흘러나오는 전류값을 측정된 결과, p-형 Si기판의 OCP점과 PP점은 각각 -1.5 V와 0.9 V로 나타났다.
- 2) 전기화학적 식각정지법으로 SDB SOI기판을 제작할 경우, 15 μm 두께의 n-epi.층에서 정확한 식각정지를 얻을 수 있었다. 인가된 전압은 0.85 V로 식각정지 후 n-epi.층의 표면 평탄도는 일반 Si기판의 거울면보다 거칠어지는 것으로 나타났다.
- 3) TMAH 이방성 식각용액의 농도가 증가할수록 식각정지된 Si 표면 평탄도는 개선되었고, TMAH

/IPA/pyrazine 이방성 식각용액에서 전기화학적 식각정지시 양호한 식각표면을 얻을 수 있다.

결과적으로, TMAH/IPA/pyrazine 이방성 식각용액에서의 전기화학적 식각정지법은 평탄도가 우수하며 정확한 SDB SOI의 박막화가 가능하다. 따라서, SDB기술과 전기화학적 식각정지에 의한 SDB SOI기판의 제작법은 마이크로일렉트로닉스소자와 마이크로머시닝기술에 의한 마이크로 센서, 마이크로 액츄에이터 그리고 3차원 마이크로 시스템 연구개발에 매우 유용하게 사용될 수 있을 것으로 기대된다.

### 참고문헌

- [1] M. Huff, et. al., "A pressure-balanced electrostatically actuated microvalve", *IEEE Solid-State Sensors & Actuators Workshop*, pp. 123-127, 1990.
- [2] P. Barth, et. al., "A monolithic silicon accelerometer with integral air damping and over-range protection", *IEEE Solid-State Sensors & Actuators Workshop*, pp. 35-38, 1988.
- [3] E. W. Maby, et. al., "MOSFET's on silicon prepared by moving melt zone recrystallization of encapsulated polycrystalline silicon on an insulating substrate", *IEEE Electron Device letter*, vol. EDL-2, pp. 241-243, 1981.
- [4] M. Ishida, et. al., "Epitaxial Al<sub>2</sub>O<sub>3</sub> films on Si by low-pressure chemical vapor deposition", *Appl. Phys. letter*, vol. 53, pp. 1326-1328, 1988.
- [5] Y. Irita, et. al., "Multiple SOI structure fabricated by high dose oxygen implantation and epitaxial growth", *Jpn. J. Appl. Phys.*, vol. 20, pp. L909-L912, 1981.
- [6] T. Abe, et. al., "Silicon wafer bonding mechanism for silicon-on-insulator structures", *Jpn. J. Appl. Phys.*, vol. 29, pp. L2311-L2314, 1990.
- [7] J. M. Noworolski, et. al., "Fabrication of SOI wafers with buried cavities using silicon fusion bonding and electrochemical etchback", *Sensors & Actuators A*, vol. 54, pp. 709-713, 1996.
- [8] K. Mitani, et. al., "Formation of interface bubbles in bonded silicon wafers : A thermodynamic model", *Appl. Phys. letter A*, vol. 54, pp. 543, 1992.
- [9] S. Cristoloveanu, et. al., "Electrical characteristics on of silicon on insulator materials and device", *Kluwer Academic*, pp. 16-22, 1995.
- [10] A. Yamada, et. al., "A computer controlled polishing system for silicon-on-insulator (SOI)", *5th Int. Workshop on Future Electronics Devices*, pp. 201-205, 1988.
- [11] A. Soderarg, "Investigation of buried etch stop layer in silicon made by nitrogen implantation", *J. Electrochem. Soc.*, vol. 139, pp. 561-567, 1992.
- [12] G. S. Chung, et. al., "A study on electrochemical etch-stop in TMAH/IPA/ pyrazine solutions", *J. Korea Sensors Society*, vol. 7, pp. 126-131, 1998.
- [13] G. S. Chung, et. al., "The effect of pyrazine on TMAH/IPA/pyrazine silicon anisotropic etching characteristics", *J. KIEE*, vol. 47, pp. 2265-2271, 1998.
- [14] G. S. Chung, et. al., "A study on pre-bonding according to HF pre-treatment conditions in Si wafer direct bonding", *J. Korea Sensors Society*, vol. 9, pp. 134-140, 2000.
- [15] G. S. Chung, et. al., "Fabrication of high-yield Si microdiaphragms using electrochemical etch-stop in TMAH/IPA/ pyrazine solutions", *Proceedings of SPIE*, vol. 3892, pp. 346-355. 1999.
- [16] G. S. Chung, et. al., "Si anisotropic etching characteristics of TMAH/IPA", *J. KIEEME*, vol. 10, pp. 481-486, 1997.