

전기화학적 식각정지에 의한 SDB SOI의 박막화

정연식, 정귀상
 부경대학교 전자공학과, 동서대학교 정보시스템공학부

Thinning of SDB SOI by electrochemical etch-stop

Yun-Sik Chung, Gwi-Yang Chung
 Electronic Eng. Pukyong national univ, School of information and system Eng. Dongseo univ

Abstract - This paper describes on thinning SDB SOI substrates by SDB technology and Electro-chemical etch-stop. The surface of the fabricated SDB SOI substrates is more uniform than that grinding or polishing by mechanical method, and this process is possible to accurate SOI thickness control. During Electrochemical etch-stop, leakage current versus voltage curves were measured for analysis of the open current potential (OCP) point and the passivation potential (PP) poin and determinated to anodic passivation potential. The surface roughness and selectively controlled thickness of the fabricated SOI substrates were analyzed by using AFM and SEM, respectively..

1. 서 론

SOI기판은 구조적으로 활성영역(active region)이 기판으로부터 완전하게 격리되어 있기 때문에 MOS FET의 경우 n+-p간의 접합면적을 최소화할 수 있으며 소자설계의 단순성과 유연성에 우수한 장점을 가지고 있다. 접합면적의 최소화는 접합 기생정전용량의 현저한 감소를 초래하여 빠른 동작 속도를 얻을 수 있다. 또한 높은 집적도에 의한 연결선 용량 및 소자지연시간도 더욱 감소시킬 수 있다. 이러한 SOI구조의 장점들은 고속, 고집적, 저전력소자 제작에 광범위하게 응용될 것이다. 그리고 SOI구조를 이용한 공정기술은 회로의 직접도 한계를 극복할 대안으로 기대되는 3D-IC 개발의 바탕기술로써 주목받고 있다[1, 2].

현재 SOI기판제조 의 기본공정에는 절연층 상부에 성장된 비결정 혹은 다결정의 Si박막을 용융 후 재 결정화하는 방법, 에피택시 성장을 이용하는 방법, 기판내부에 산소이온 주입 후 열처리를 행함으로써 산화층을 형성하여 표면 Si층과 기판을 분리하는 방법 그리고 산화막이 형성된 두 장의 기판을 직접접합하여 한 면의 Si기판을 화학적 기계적 연마로써 박막화하는 방법이 있다. 여러 방법중에서 반데르 발스력(Van der Vaals force)과 계면 조건에 따른 화학적 상호작용(chemical interaction)을 이용하는 Si기판 직접접합 (SDB : Si-Direct Bonding)기술은 어떤 접착제도 사용하지 않고 Si기판을 접합하는 기술로서, SIMOX에 비해 완벽한 결정구조를 갖는 Si박막과 우수한 품질의 매물층 산화막을 제공하는 장점 때문에 최근에 가장 대두되는 SOI제조 방법이다[3]. 그러나 SDB기술은 접합시 포획된 기체나 열처리 공정중에 발생하는 void문제의 해결과 SOI구조의 active층을 정확한 두께제어으로써 박막화하는 것이 필수적이다. 특히, SDB SOI의 박막화에 일반적으로 널리 사용되는 grinding이나 polishing같은 기계적인 방법(non-selective method)은 polishing 장비의 평탄도와 정밀도에 크게 의존하고, 최종적으로 박막화된 active층의 정확한 두께제어가 어렵다[4].

따라서, 본 연구에서는 SDB SOI 박막화에 일반적으로

사용되고 있는 grinding이나 polishing과 같은 기계적인 방법 보다 균일한 막의 두께를 얻을 수 있고, 막 두께 제어에 우수한 특성을 보이는 전기화학적 식각정지법을 이용하여 박막화 하고자 하였으며[5], 전기화학적 식각정지방법에 의해 박막화된 SDB SOI구조의 표면 평탄도와 선택적으로 제어된 막의 두께는 각각 AFM과 SEM을 통하여 분석·평가 하였다.

2. 실 험

본 연구에서 사용된 Si기판은 (100)면의 결정방위를 가지고 5000Å의 thermal oxide가 성장된 p형 handling 기판과 (100)면의 결정방위를 가지는 p-sub. 상에 15µm의 n-epi가 성장된 active 기판이며, 크기는 2.0cm×2.0cm이다.

그림 1은 SDB SOI 박막화를 위한 전체적인 실험공정 순서를 나타낸 것이다.

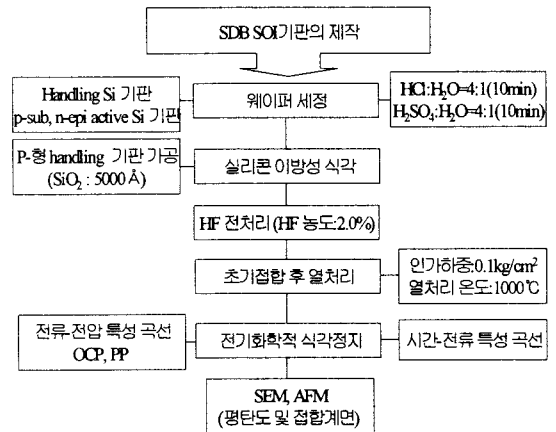


그림 1. SDB SOI 박막화를 위한 공정순서.
 Fig. 1. Experiment process sequence of SDB SOI thinning.

5000Å의 열산화막이 성장된 p-형 handling 기판과 p-sub에 15µm의 n-epi가 성장된 active기판은 화학적인 산화작용을 통해 표면의 유기오염물을 제거시키기 위해서 HCl과 H2O2를 혼합한 용액과 H2SO4와 H2O2를 혼합한 용액에 순차적으로 세정하였다. 이 중 p-형 handling 기판은 전기화학적 식각정지시 n-epi.쪽으로 인가될 전압을 위해 SDB전에 이방성 식각하였다. 식각이 완료된 p-sub/n-epi기판과 p-형 기판은 HF 2.0% 희석용액에서 1분간 전처리 한 후, 0.1kg/cm²의 무게를 인가하면서 초기 접합을 수행하였으며, 초기접합된 기판은 1000°C에서 60분간 열처리를 실시하였다. 그리고 active층이 성장된 p-sub.의 passivation potential(PP점), open current potential(OCP점)을 각각 분석하여 전기화학적 식각정지시

공급될 인가전압을 결정하였다. n-epi에서 식각정지된 기판은 AFM과 SEM을 사용하여 각각 식각정지 표면의 평탄도와 제어된 박막의 두께를 분석·평가하였다.

그림 2는 이방성 식각으로 handling 기판을 가공함으로써 식각정지시 bias 인가 영역을 형성하게 되고, active 기판과 접합한 후 전기화학적 식각정지법에 의해 n-epi층에서 SDB SOI 박막화 공정이 이루어지는 블록도를 나타낸 것이다.

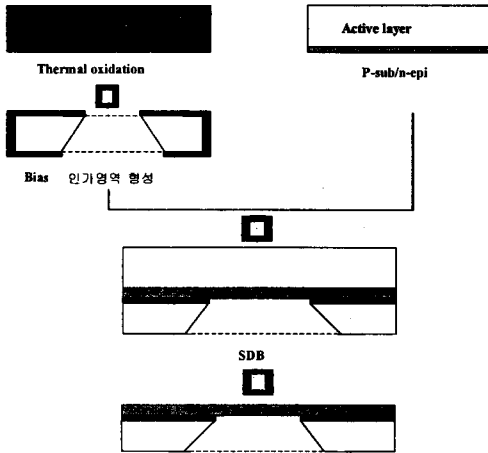
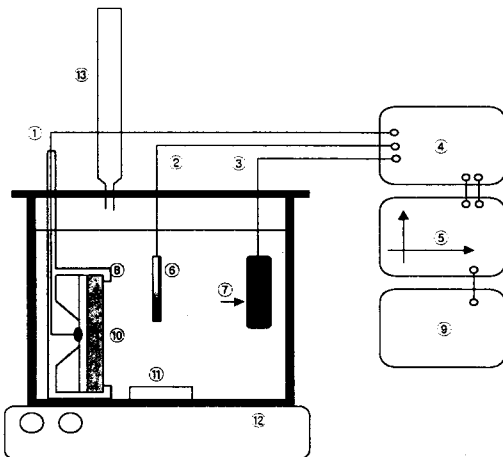


그림 2. 전기화학적 식각정지법에 의한 SDB SOI 박막화
Fig. 2. Experiment process of a SDB SOI thinning by electrochemical etch-stop.

그림 3은 전기화학적 식각정지에 사용된 실험 장치도를 개략적으로 나타낸 것으로 식각정지에 필요한 누설전류 대 전압특성 곡선을 먼저 도사하였다.



1. WE(Working Electrode)
2. RE(Reference Electrode)
3. CE(Counter Electrode)
4. Potentiostat
5. PC
6. Ag/AgCl
7. Pt mesh
8. Teflon holder
9. Plotter
10. Sample
11. Magnetic stir-bar
12. Hot plate
13. Reflux condenser

그림 3. 전기화학적 식각정지를 위한 장치도.
Fig. 3. Experiment system for electrochemical etch-stop.

TMAH 20w%, 식각용액 온도는 80°C로 유지하면서, 식각시 Si기판의 두께변화에 따른 인가전압값의 변화를 막기 위하여 WE(Working Electrode)와 RE(Reference Electrode) 사이에 항상 일정한 전압값을 공급해주는 Potentiostat를 사용하여 WE, RE 및 CE(Counter Electrode)의 3전극 시스템을 구성하였다. 용액의 교반효과를 주기 위해서 magnetic stirring을 이용하였으며, 식각용액의 온도는 $\pm 0.5^\circ\text{C}$ 로 유지하였다. Electrochemical etching에 사용하기 위해 Teflon, O-ring 및 wax를 이용하여 용액과 ohmic contact 간의 접촉을 방지하기 위해서 사용하였다.

3. 결과 및 고찰

그림 4는 전기화학적 식각정지시 사용되는 p형 기판의 누설전류 대 전압 특성곡선을 나타낸 것으로 TMAH 20w%, 온도는 80°C, 인가한 전압의 범위는 -2V~2V이며, 5mV/sec로 scanning 하면서 측정하였다. 그리고 p형 기판의 농도는 $10^{14} \sim 10^{15} \text{ cm}^{-3}$ 이다. 양극 산화현상이 일어난 후 갑자기 누설전류가 감소하는 전압은 0.9V로 PP점이 되고 누설전류가 0이 되는 OCP점은 -0.15V로 나타났다. 여기서 n형의 PP점은 p형의 PP점 보다 낮은 곳에 존재하므로 전기화학적 식각정지법을 이용할 경우, p형 영역은 모두 식각되고 n형 영역에서 양극 산화현상이 일어날 수 있는 전압을 결정할 수 있다. 그러므로 식각정지시 공급할 인가전압은 p형의 PP점보다 조금 낮은 곳에서 결정될 수 있다[6].

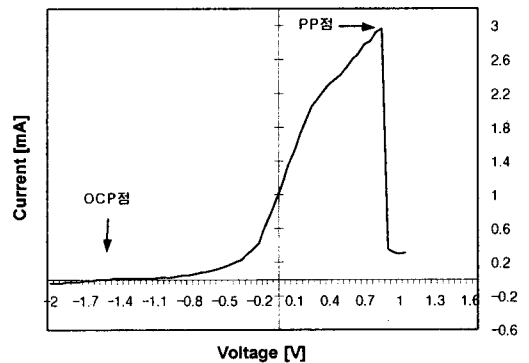
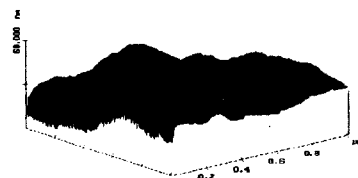


그림 4. p-형 Si기판의 I-V 특성곡선.
Fig. 4. Leakage current-voltage characteristic curve of p-type Si.

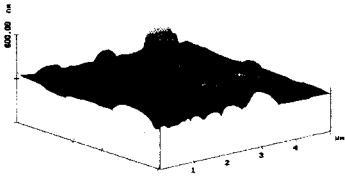
그림 5는 일반적인 Si기판의 거울면과 Al_2O_3 powder를 이용하여 polishing한 면, 그리고 전기화학적 방법으로 식각이 정지된 n-epi층의 AFM 이미지를 나타낸 것이다. 각각의 기판에서 분석된 면의 평탄도 결과는 표. 1에 나타내었다. 전기화학적으로 식각정지된 Si기판 표면의 평탄도는 일반 Si기판의 거울면 보다 평균 평탄도의 거칠기가 증가하는 것으로 나타났다.



(a) 일반적인 Si기판의 거울면.



(b) Al₂O₃ powder에 의해 polishing된 Si기판 표면.



(c) 전기화학적으로 정지된 Si기판 표면.

그림 5. 기판 표면의 AFM 이미지.
Fig. 5. AFM image of Si surface.

표. 1 기판 표면의 표면평탄도 분석결과.
Table. 1 Roughness analysis results of Si surfaces.

거칠기 기판종류	Rough.(ave.)	Rough.(rms.)
Si기판의 거울면	5.171 nm	7.310 nm
Al ₂ O ₃ powder polishing된 면	27.367nm	37.610nm
전기화학적 식각정지면	13.056 nm	17.135 nm

그러나 일반적인 기계적 polishing의 경우(Al₂O₃ powder)와 비교해 보면 평균 평탄도에 있어서 상당히 개선된 결과를 얻을 수 있었다. 식각정지 후 일반 Si기판 보다 거칠어지는 표면 평탄도는 식각시, 사용된 TMAH 수용액속에 일정양의 IPA 용액을 첨가하므로써 더욱 개선시킬 수 있으리라 생각된다[7].

그림 6은 SDB SOI기판을 사용하여 전기화학적 식각정지법에 의해 active 기판상에 성장된 15 μ m의 n-epi층에서 식각이 정지된 SEM 이미지를 나타낸 것이다. 식각 정지된 기판의 n-epi층 두께가 15 μ m 정도로 전체적으로 균일하게 제어되었음을 알 수 있다.

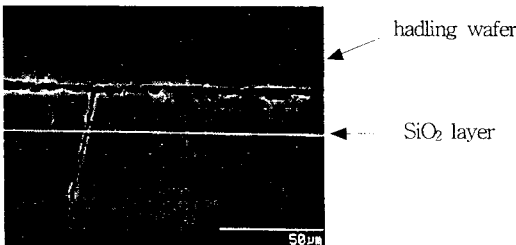


그림. 6 식각정지된 SDB SOI구조의 단면 SEM사진.
Fig. 6. SEM of SDB SOI substrate fabrication by electrochemical etch-stop.

4. 결 론

전기화학적 식각정지법으로 SDB SOI를 박막화할 경우 다음과 같은 결론을 얻었다.

① Si으로부터 식각용액(TMAH 20w%, 온도 80 $^{\circ}$ C)으로 흘러나오는 전류값을 측정된 결과, 전류값이 갑자기 감소하는 p형 기판의 PP점은 0.9V로 이 이상의 전압이 인

가되었을 때는 양극산화현상에 의해 산화막이 형성되어 식각이 정지되었다.

② SDB SOI구조를 이용하여 15 \pm 0.2 μ m 두께의 n-epi에서 식각정지를 위해 인가된 전압은 0.85V로 식각정지 후 n-epi층의 표면 평탄도는 일반 Si보다는 조금 거칠어졌으나 Al₂O₃ powder를 이용한 polishing보다는 양호한 결과를 보였다. 만약 IPA 수용액이 첨가된 TMAH를 이용한다면 표면 평탄도를 더욱 개선할 수 있으리라 생각된다.

③ 식각정지특성 즉, 두께제어에 있어서는 15 \pm 0.2 μ m 두께의 n-epi층에서 거의 균일한 박막의 두께를 얻을 수 있었다.

따라서 전기화학적 식각정지법을 이용한 SDB SOI의 박막화 기술은 대단히 정확한 SOI층 두께 제어가 가능할 것이며, 식각정지된 표면의 평탄도는 TMAH/IPA/Pyrazine 이방성 식각용액을 사용하여 식각정지된 표면의 평탄도를 크게 개선될 것이다.

[참 고 문 헌]

- [1] W. H. Lee, T.Osakama, K. Asada, and T. Sugano, "Desing methodology and size limitations of submicrometer MOSFET's for DRAM application", *IEEE Trans. Electron Devices*, vol. 35, no. 11, pp. 1876, 1988.
- [2] C. C. H. Hsu, B. S. Wu, G. G. Shahidi, B. Davari, W. H. Chang, and A. Acovic, "Understanding of enhanced sensitivity to hot carrier degradation in drain engineered n-FET's", *Int. Conf. on Solid State Device and Materials, Tsukuba*, pp. 512-516, 1992
- [3] K. Pertersen, "Silicon Fusion Bonding for pressure Sensors", *IEEE Solid State Sensor & Actuator Workshop*, pp. 144-147, 1988.
- [4] W. P. Maszara, G. Goetz, A. Caviglia and J. B. Mckitterick, "Bonding of silicon wafers for silicon-on-insulator", *J. Appl. Phys.*, vol. 64, no. 10, pp. 4943-4950, 1988.
- [5] G. S. Chung and J. S. Park, "A Study on electrochemical etch-stop in TMAH/IPA/pyrazine solutions", *J. Korea sensors Society*, vol. 7, pp. 126-131, 1998.
- [6] Y. Irita et al., "Multiple SOI structure fabricated by high dose oxygen implantation and epitaxial growth", *Jpn. J. Appl. Phys.*, vol. 20, pp. L909-L912, 1981.
- [7] G. S. Chung and J. S. Park, "The effect of pyrazine on TMAH/IPA/pyrazine silicon anisotropic etching characteristics", *J. KIEE*, vol. 47, pp. 2265-2271, 1998.