

수직 방향 채널 LDMOS(lateral double diffused MOSFEET)

이승철, 오재근, 한민구, 최연익*
 서울대학교 전기재료 및 소자 연구실, 아주대학교 전자공학부*

A New Vertical Channel LDMOS(lateral double diffused MOSFEET)

Seung-Chul Lee, Jae-Geun Oh, Min-Koo Han, Yearn-Ik Choi*
 School of Electrical Engineering Seoul National University, Ajou University*

Abstract - 본 논문에서는 채널과 드리프트 영역을 트랜치 안쪽에 형성하여 소자 크기를 줄임으로서 항복전압을 감소시키지 않고 낮은 온 저항을 얻을 수 있는 새로운 수직방향 채널 LDMOS(Lateral Double Diffused MOSFET)를 제안한다. 기존의 LDMOS 구조와 비교할 때 동일한 60V의 항복 전압에서 소자 크기가 4 μ m로 줄어들었고 이에 따라 온 저항은 절반의 수준으로 (0.45 m Ω cm) 감소하였다. 또한 소자 크기의 감소로 인해 전력용 집적회로를 구성할 때 집적도가 두 배 가량 증가하게 된다.

제안된 소자와 기존의 소자의 구조에 대한 단면도가 그림 1에서 보여지고 있다. 제안된 소자는 트랜치 안쪽에 채널과 드리프트 영역이 형성되기 때문에 트랜치 옆면만큼의 길이가 감소하여 소자 크기가 감소하고 이에 따라 집적도가 두 배 가량 증가한다. 제안된 소자의 제작 과정은 그림 2와 같다.

1. 서 론

LDMOS는 스위칭 속도가 빠르고 입력 단에서의 임피던스가 크다는 장점 때문에 전력용 집적회로에 널리 사용되는 소자이다. 하지만 LDMOS는 IGBT와 같은 다른 전력용 소자에 비해서 동일한 게이트 전압에 대해서 전류의 크기가 작다는 단점을 지니고 있어 항복 전압을 높이면서 낮은 게이트 전압에서도 높은 전류를 얻을 수 있도록 온 저항을 감소시키는 것이 주된 연구 대상이 되고 있다. 항복 전압을 유지하면서 온 저항을 낮추기 위한 방법으로는 RESURF(REDUCED SURFACE FIELD) 구조를 적용하는 방법이 있다[1]. 이 RESURF는 기판의 전위에 영향으로 낮은 전압에서 항복 현상이 일어나는 원인이 되는 표면에서의 전계 집중을 감소시켜 항복 전압을 높이는 구조이다. 그러나 기존의 구조에 RESURF 구조를 도입하는 방법은 항복 전압을 유지하면서 소자의 크기를 줄여 온 저항을 감소할 수 있지만 소자 크기를 감소시키는데 한계가 있다.

본 논문에서는 RESURF 구조를 적용해 항복전압을 높이면서 최근에 반도체 소자에서 널리 이용되고 있는 트랜치를 이용하여 [2] 소자의 크기를 효과적으로 감소하는 구조를 제안한다. 트랜치에 의한 소자 크기의 감소로 인해 온 저항의 크기가 효과적으로 감소하였고 소자의 집적도 또한 두 배 가량 높일 수 있다.

2. 본 론

2.1 소자 구조와 제작

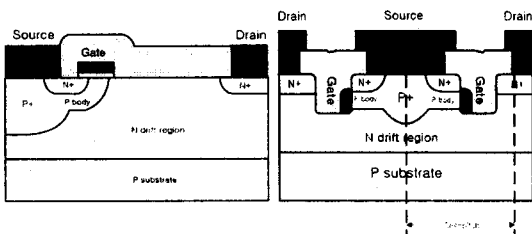
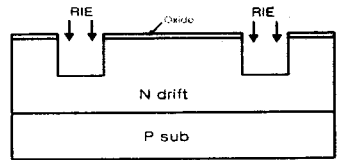
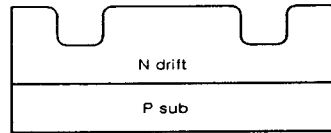


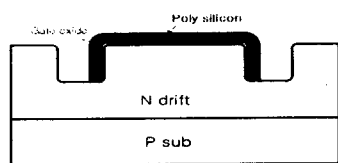
그림 1. a) 기존의 LDMOS, b) 수직 채널 LDMOS



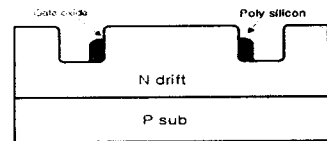
a)



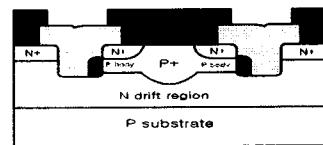
b)



c)



d)



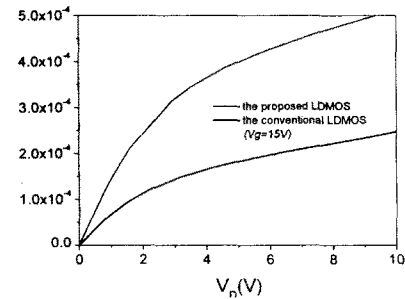
e)

그림 2. 제작 과정

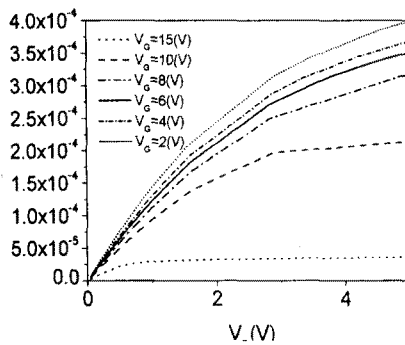
제안된 소자의 제작 과정은 다음과 같다. a) 먼저 실리콘 표면에 $1\mu\text{m}$ 깊이의 트랜치를 RIE를 이용하여 식각한다. b) 트랜치의 코너 부분에서 전계의 집중에 의한 낮은 전압에서의 항복 현상 발생을 억제하고 RIE에 의한 실리콘 표면에 손상된 부분을 제거하기 위하여 코너 라운딩을 수행한다. 코너 라운딩은 트랜치된 실리콘 표면에 산화막을 성장시킨 후에 다시 습식 식각을 통하여 제거하는 방법을 통하여 코너 부분이 곡선이 되도록 하는 방법을 선택하였다. c) 코너 라운딩 공정 후에 게이트 산화막을 성장하고 폴리 실리콘을 증착한 후 게이트를 형성한다. d) 게이트 형성 후에 재식각을 통해서 트랜치의 옆면의 채널 부분에만 게이트가 위치하도록 한다. e) 게이트 형성 이후의 공정은 기존의 LDMOS 소자 제작 공정과 동일하다. DMOS에서 채널 길이는 p 바디와 n+ 소스 영역의 확산 길이 차이 의해서 결정이 된다. 일반적으로 기존의 구조에서는 채널이 수평 방향으로 형성이 되는데 수평 방향의 확산 길이가 수직 방향 길이의 0.8배로 알려져 있지만 채널 길이 조절에 어려움이 있고 측정에 의해서 확인도 거의 불가능하다. 반면에 제안된 소자에서는 채널이 수직 방향으로 형성이 되므로 ASR과 같은 측정 장비를 통해서 측정 후에 공정 조건을 손쉽게 결정하여 채널의 길이를 용이하게 조절할 수 있는 장점이 있다.

2.2 결과 및 토의

본 논문에서는 제안된 소자의 특성을 확인하기 위해 2-D 시뮬레이터인 MEDICI와 Tsuprem4 가 사용되었다(6,7).



a)



b)

그림 3.

- a) 기존의 소자와 제안된 소자의 전류-전압 곡선 비교
- b) 제안된 소자의 게이트 전압에 따른 전류-전압 곡선

그림 3-a에서 기존의 소자와 제안된 소자의 전류-전압

특성이 보여지고 있다. 그래프에서 보듯이 소자 크기 감소에 의해서 온 저항이 절반 정도 감소하여 동일한 게이트 전압에서 전류 크기가 두 배정도 증가한 것을 확인할 수 있다. (게이트 전압 = 15V, 드레인전압 = 1V)

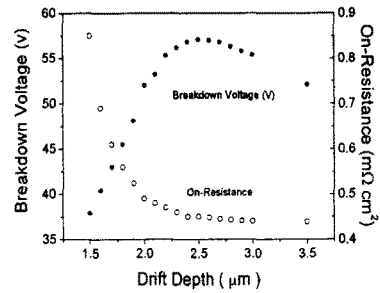
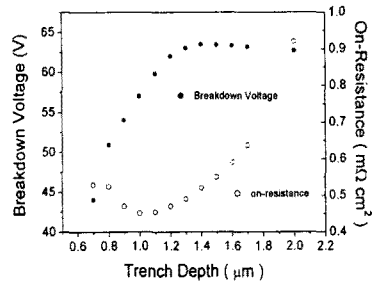
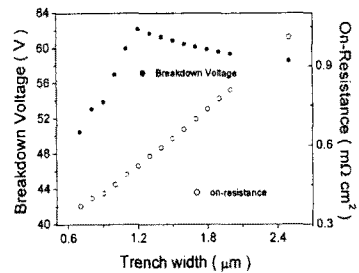


그림 4. 드리프트 영역의 깊이에 따른 항복 전압과 온 저항 곡선

그림 4는 드리프트 영역의 깊이에 따른 항복 전압과 온 저항의 크기를 나타낸 그래프이다. 드리프트 영역의 깊이가 깊어질수록 전류가 흐를 수 있는 유효 단면적이 증가하기 때문에 온 저항은 작아진다. 하지만 드리프트 영역의 깊이가 너무 얕으면 수평 방향으로의 전계 보다 수직 방향으로의 전계 집중이 더 커지게 되어 항복 전압에 일찍 다다르게 되고 반면에 깊이가 너무 깊어져서 RESURF 조건에서 벗어나게 되면 p바디와 드리프트 영역으로의 전계 집중으로 인해 낮은 전압에서 항복 현상이 일어난다. 따라서 항복 전압이 최대가 되고 온 저항이 수렴하는 지점인 $2.5\mu\text{m}$ 정도로 설계하는 것이 타당하다.



a)



b)

그림 5. a) 트랜치 깊이에 b) 트랜치 폭에 따른 항복 전압과 온 저항의 관계

제안된 소자는 채널과 드리프트 영역이 트랜치 안쪽에 형성되기 때문에 드리프트 영역의 길이는 트랜치의 깊이와 폭에 의해서 결정된다. 따라서 트랜치 깊이가 깊어지고 폭이 넓어질수록 드리프트 영역의 길이가 길어진다. 기존의 RESURF를 도입하지 않는 LDMOS에서는 드리프트 영역의 길이가 길어지면 항복 전압이 증가한다. 하지만 제안된 소자는 RESURF 조건을 만족하기 때문에 작은 소자 셀 크기에서도 높은 항복 전압을 얻을 수 있고 드리프트 길이의 증가에 따라 증가하지 않고 일정하게 수렴하여 소자의 크기를 불필요하게 크게 설계하지 않아도 된다(그림5). 하지만 온 저항은 드리프트 길이가 길어질수록 계속 증가하기 때문에 그림 5에서 보듯이 트랜치의 깊이는 항복 전압이 최고가 되는 1.2 μ m로 설계하는 것이 적절하다.

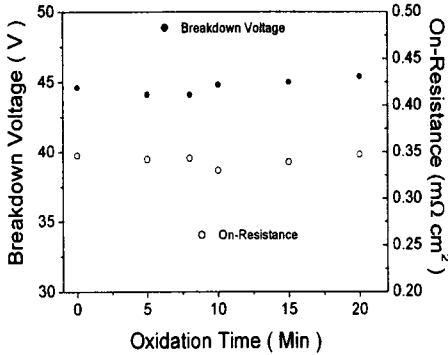


그림 6. 코너 라운딩 산화 시간에 따른 특성

일반적으로 트랜치를 이용한 소자의 단점은 트랜치의 코너 부분에서 항복 현상이 일어나서 신뢰성에 문제가 있다는데 있다. 따라서 트랜치 코너 부분에서의 전계 집중을 막기 위한 방법이 연구의 초점이 되고 있다. 제안된 소자는 RESURF 구조에 의해서 항복 현상이 드레인 하부의 드리프트 영역과 p substrate 사이의 접합에서 일어나기 때문에 코너 라운딩의 정도에 따라서 항복 전압 특성의 변함이 없다.(그림 6) 따라서 트랜치를 이용하였지만 온 저항과 항복전압 면에서는 높은 신뢰성을 나타낸다. 하지만 트랜치를 식각하는 과정에서 실리콘의 표면이 손상을 입기 때문에 이를 회복하기 위해서는 코너 라운딩이 필요하다.

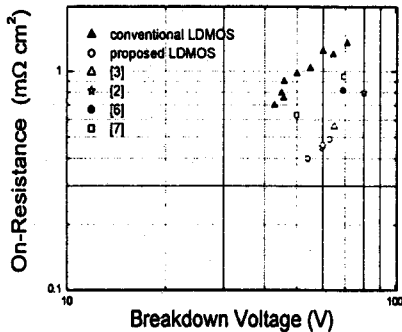


그림 7. 다른 LDMOS 와의 비교

그림 7은 제안된 소자의 특성을 기존의 구조를 이용

한 경우와 다른 그룹에서 연구된 소자의 특성을 비교한 것이다. 그래프에서 보듯이 다른 소자 구조에 비해서 동일한 항복전압에서 낮은 온 저항을 보이고 있다.

3. 결 론

본 논문에서는 RESURF와 트랜치 구조를 도입하여 높은 항복 전압과 낮은 온 저항의 특성을 나타내는 새로운 구조의 LDMOS를 제안하였다. 제안된 소자가 기존의 구조에 비해서 작은 셀 크기로 동일한 항복 전압을 유지하면서 소자 크기의 감소로 인해 낮은 온 저항 특성을 보이는 것을 2-D 시뮬레이션을 통해서 확인하였다. 트랜치 마스크 한 장을 추가하여 60V의 항복 전압에서 기존의 소자 구조에 비해 온 저항이 절반 정도인 0.45 mΩcm² ($V_{\text{drain}}=15\text{V}$, $T_{\text{oxide}}=50\text{nm}$)로 감소하였다. 또한 동일한 항복 전압을 위해서 전체 소자 셀의 크기가 기존의 구조의 절반 정도로 감소하기 때문에 집적도가 두 배정도 증가하는 효과가 있다.

(참 고 문 헌)

- [1] T. Efland, et al., "An optimized RESURF LDMOS power devices module compatible with advanced logic process", IEDM Tech Dig. Pp237-240,1992
- [2] M. Fujishima et al., "A trench lateral power MOSFET using self-aligned trench bottom contact holes", IEDM pp359-362,1997
- [3] R. Zhu, "A 65V, 0.56m² Resurf LDMOS in a 0.35m CMOS Process", ISPSD, 2000
- [4] MEDICI, User's Manual, Version 1999.4 Technology Modeling Associates, Inc, 2000
- [5] Tsuprem4, User's Manual, Version 98.4, Technology Modeling Associates, Inc, 1998
- [6] Taylor Efland, "Self-Aligned RESURF to LOCOS Region LDMOS Characterization shows Excellent R_{sp} vs BV Performance", ISPSD, 1996
- [7] Chin-Yu Tai, "16-60V Rated LDMOS show advanced performance in an 0.72m Evolution BiCMOS Power Technology", IEDM,1997