경사진 게이트를 갖는 Recessed Source SOI LDMOS

김정희, 최연익, 정상구
아주대학교 전자공학과

An SOI LDMOS with Graded Gate and Recessed Source

Chung-Hee Kim, Yearn-Ik Choi and Sang-Koo Chung
School of Electronics Engineering, Ajou University

Abstract - An SOI(Silicon-On-Insulator) LD(Lateral Double-diffused)MOS with graded gate and recessed source is proposed. The proposed structure can increase the breakdown voltage by reducing the electric field crowding at the edge of gate. Simulation results by TSUPREM4 and MEDICI have shown that the breakdown voltage of proposed device was found to be 52 V while that of conventional device was 45 V. At the same breakdown voltage of 45 V, the on-resistance of the LDMOS with graded gate and recessed source was 14.4 % lower than that of conventional structure.

1. 서 론

SOI(Silicon-On-Insulator)기술은 절연격리가 용이하다. 또한 고온시 누설전류와 기생 정전용량이 작으며, 직접도를 향상시킬수 있다[1]. 특히 SOI 기판위에 제작된 LDMOS는 높은 항복전압과 빠른 동작속도를 얻을 수 있기 때문에 PIC(Power Integrated Circuit)에 적합한 소자이다.

SOI LDMOS의 설계변수로 중요한 것이 on 저항과 항복전압이다. 드리프트 영역의 농도를 낮추어 항복전압을 향상시키면 on 저항은 증가하게 되고, 농도를 높이면 on 저항은 감소하지만 항복전압은 떨어지게 되는 trade-off 관계가 있다. 따라서 주어진 항복전압에서 가장 낮은 on 저항을 얻을 수 있도록 소자를 설계하는 것이 중요하다[2].

Yang등이 제안한 recessed source SOI LDMOS는 recessed 깊이만큼 소오스부분이 낮아져, 필드 플레이트(field plate) 역할을 하는 게이트 전극이 평면으로는 같은 길이를 갖지만 실제로는 그 길이가 늘어나 항복전압을 높일 수 있는 소자이다[3]. 그러나 여전히 게이트 끝단에서의 전계 집중 현상은 발생한다. 이 점을 고려하여 경사진 게이트를 갖는 recessed source SOI LDMOS를 제안하였다. 제안된 소자는 게이트를 형성한 후, p 베이스를 확산하는 동안 게이트 끝단의 산화막을 재성장시켜 항복전압을 향상시킬 수 있다. 재성장된 산화막의 드리프트영역의 침투는 전류흐름이 적은 곳에서 일어나 전류량에 거의 영향을 끼치지 않아 기존의 구조와 동일한 on 저항을 얻을 수 있었다. 기존의 구조와 제안한 구조의 항복특성과 on 특성을 TSUPREM4와 MEDICI를 사용하여 비교 검토하고 그 타당성을 검증하였다.

2. 본 론

그림1에 시뮬레이션에 사용한 소자들의 단면도를 나타내었다. 그림 1(a)는 기존의 recessed source SOI LDMOS이고 그림 1(b)는 제안된 경사진 게이트를 갖는 recessed source SOI LDMOS이다. 기존의 구조와 제안된 구조를 비교연구 하기위해 TSUPREM4로 공정 시뮬레이션을 수행하였고, 2차원 소자 시뮬레이터인 MEDICI를 사용하여 on 특성 및 항복 특성을 조사하였다. 표 1은 시뮬레이션에 사용된 여러 변수들의 값을 나타낸다.

표 1. 시뮬레이션에 사용한 변수들

변수		값
n 드리프트영역	두께, t_{dr} [μm]	3
	길이, L_{dr} [μm]	3.25
	농도, N_{dr} [cm^{-3}]	6×10^{15}
p^- 베이스	표면농도, N_b [cm^{-3}]	3×10^{17}
	접합깊이, X_{bj} [μm]	1
P^+	표면농도, N_p [cm^{-3}]	3×10^{17}
	접합깊이, X_{pj} [μm]	1.5
N^+ 소스	표면농도, N_s [cm^{-3}]	1×10^{20}
	접합깊이, X_{sj} [μm]	0.25
매몰산화막의 두께, t_{bo} [μm]		2
recess 깊이, t_{rd} [μm]		1.5
기판의 농도, N_{sub} [cm^{-3}]		4×10^{15}
산화막 재성장 시간 (건식산화, 1100℃)		100 min

2.1 항복전압 특성

항복전압을 구하기 위해서 게이트와 소오스를 접지시키고, 드레인에 양의 전압을 인가했다. 제안한 경사진 게이트를 갖는 recessed source 구조의 항복전압은 52 V로 기존의 recessed source 구조의 45 V에 비해 15.5 %의 항복전압이 향상되었다. 그림 2는 드레인에 40 V의 전압이 인가되었을 때의 공핍층내에서의 등전위선의 분포와 표면 전계를 나타낸다. 여기서 실선은 등전위선을 나타내고 점선은 공핍층의 경계를 나타낸다. 그림에서 보듯이 기존의 구조는 산화막의 두께가 얇아 게이트 끝단(A)에서 등전위선이 조밀하게 분포하고 있는 것을 확인할 수 있다. 이에 반해 경사진 게이트를 갖는 구조는 위로 올려진 산화막에 의해서 게이트 끝단(A′)에서 등전위선이 더 균일하게 분포하는 것을 볼 수 있다. 그림 2 (c)는 소자의 표면에 근접한 B-B′의 선으로 잘려진 부분의 표면 전계를 나타낸다. 같은 전압이 걸렸을 경우 제안된 소자의 최대표면전계가 기존의 소자보다 낮음을 알 수 있다. 따라서 경사진 게이트를 갖는 recessed source SOI LDMOS는 기존의 소자에 비해 높은 항복전압을 얻을 수 있음을 확인할 수 있다.

2.2 순방향 I - V 특성

소자의 순방향 I-V특성을 조사하기 위해 게이트에 10 V를 인가하고 드레인의 전압을 증가시키면서 그 특성을 살펴보았다. 그림 3은 기존의 recessed source SOI LDMOS와 제안된 경사진 게이트를 갖는 recessed source SOI LDMOS의 순방향 I-V 특성곡선이다. 제안된 구조의 I-V 특성은 기존의 구조와 일치함을 확인할 수 있다.

그림 4는 게이트 전압 10 V, 드레인 전압 0.1 V를 인가하였을 때의 전류 흐름을 나타낸다. 기존의 구조와 제안된 구조의 전류 흐름에 차이가 없음을 확인할 수 있따. 이때 recessed source 구조와 경사진 게이트를 갖는 recessed source 구조의 on 저항은 각각 92.9 mΩ · ㎟로 같은 값임을 확인하였다.

항복전압이 같은 경우의 on 특성을 비교하기 위해서 항복전압이 45 V가 되도록 드리프트 영역의 농도를 조절해 주었으며 그때의 드리프트영역의 농도와 on 저항을 표 2에 나타내었다. 표 2에서 알 수 있듯이 제안한 경사진게이트를 갖는 recessed source SOI LDMOS의 on 저항은 79.6 mΩ · ㎟로 recessed source SOI LDMOS의 92.9 mΩ · ㎟에 비해 14.4 % 향상된 특성을 보였다.

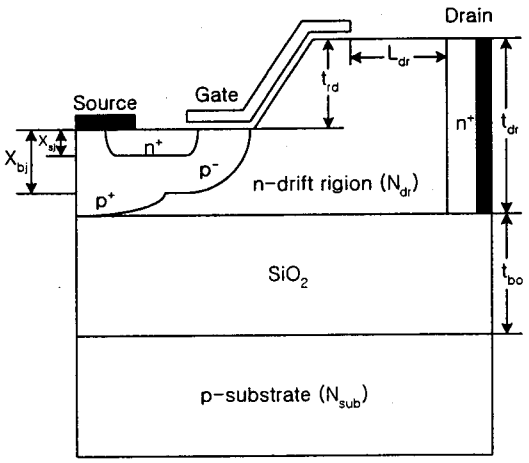
표 2. 항복전압이 45 V일 때의 on 저항

SOI LDMOS 구조	드리프트영역농도 [cm^{-3}]	on 저항 [mΩ · ㎟]
기존의 구조	6×10^{15}	92.9
경사진 게이트 적용	8.5×10^{15}	79.6

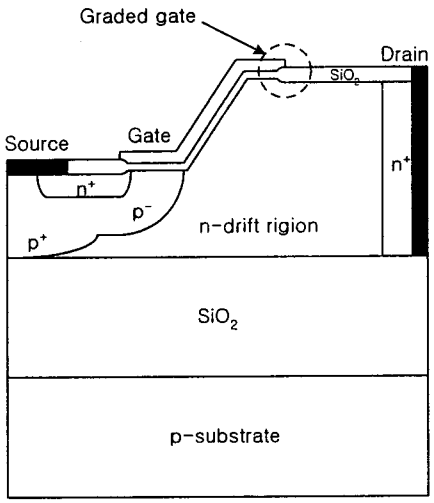
3. 결 론

기존의 recessed source를 갖는 SOI LDMOS의 항복전압을 개선시키기 위해 경사진 게이트를 갖는 recessed source SOI LDMOS를 제안하였다. 제안된 구조는 기존의 구조의 게이트 끝단에서의 전계집중을 완화시켜 항복전압이 향상됨을 확인하였다. MEDICI 시뮬레이션 결과, 제안된 구조는 기존의 구조에 비해 45 V의 같은 항복전압에서 on 저항이 14.4 % 낮아 졌다.

This work was supported by the Brain Korea 21 Project. The author would like to thank Ajou University for providing the research equipment.

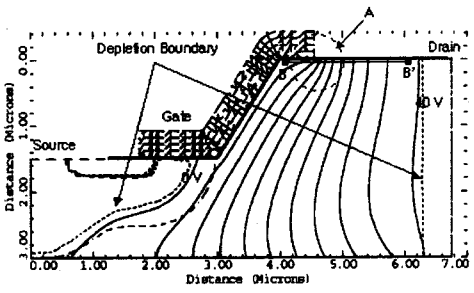


(a)



(b)

그림 1. Recessed source SOI LDMOS의 단면도
(a) 기존의 구조
(b) 경사진 게이트를 갖는 구조



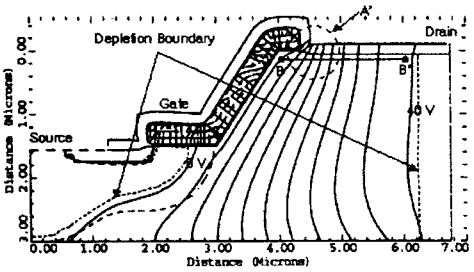
(a)

[참 고 문 헌]

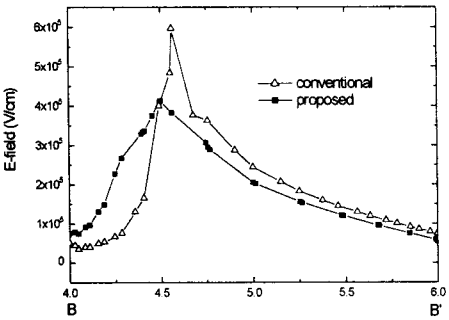
[1] B.Murari, F.Bertotti and G.A.Vignola *Smart PowerICs*, Springer, 1996.

[2] Der-Gao Lin, S.larry Tu, Yee-Chaung See, and Pak Tam, "A Novel LDMOS Structure with a Step Gate Oxide," *IEDM Tech. Dig.*, pp. 963-965, 1995.

[3] 양회윤, 김성룡, 최연익, "ON 저항이 작은 Recessed Source 구조 SOI LDMOS의 수치해석," *Trans. KIEE*, Vol. 48c, No. 9, Sep. 1999.



(b)



(c)

그림 2. V_{DS}=40 V인 경우 recessed source SOI LDMOS의 공핍층의 등전위선 분포와 표면 전계 분포
(a) 기존의 구조
(b) 경사진 게이트를 갖는 구조
(c) 표면전계분포

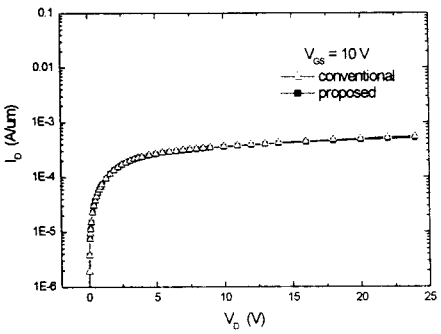
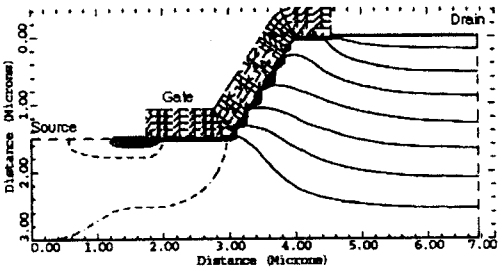
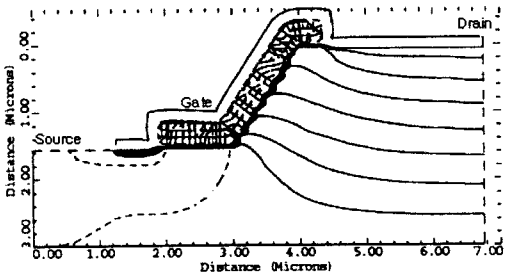


그림 3. V_{GS}=10 V인 경우 순방향 I - V 특성곡선



(a)



(b)

그림 4. V_{GS}=10 V, V_{DS}=0.1 V 일 때 recessed source SOI LDMOS의 전류 흐름도
(a) 기존의 구조
(b) 경사진 게이트를 갖는 구조