

Pentacene을 이용한 유기 TFT의 전기적 특성 향상에 관한 연구

이종혁*, 박재훈*, 류세원**, 김형준**, 최중선*
 *홍익대학교 전기제어공학과, **홍익대학교 금속재료공학과

A STUDY ON THE ELECTRICAL CHARACTERISTICS IMPROVEMENTS OF PENTACENE-BASED ORGANIC THIN FILM TRANSISTORS

Jong-Hyuk Lee*, Jae-Hoon Park*, Se-Won Ryu**, Hyung-Joon Kim**, Jong-Sun Choi*

*Dept. of Electrical and control Eng., Hongik Univ., **Dept. of Metallurgical and Materials science

Abstract - In this work the electrical characteristics of organic TFTs with the semiconductor-insulator interfaces have been interested. Pentacene is used as an active semiconducting layer. The semiconductor layer of pentacene was thermally evaporated in vacuum at a pressure of about 2×10^{-6} Torr and at a deposition rate of 0.3Å/sec. Aluminium and gold were used for gate and source/drain electrodes. before pentacene is deposited on the insulator, the gate dielectric surfaces of two samples were rubbed with lateral and perpendicular to direction of the channel length respectively.

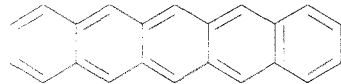


그림 1. Pentacene의 분자 구조.

Pentacene은 2.0×10^{-6} Torr의 진공도에서 800Å의 두께로 열 증착법을 이용해 성막하였는데 패턴의 형성은 웨도우 마스크를 사용하였다. 소스와 드레인 은 웨도우 마스크를 이용하여 금을 진공 증착하였다. 본 연구에서는 채널의 길이를 50 μm로, 폭은 5 mm로 제작하였다. 소스와 드레인 전극 형성을 마치고 나면 pentacene TFT 소자가 완성된다. 그림 2는 본 연구에서 사용한 TFT의 소자 구조를 나타낸 것인데 절연층의 두께와 러빙에 의한 표면 처리 여부에 따른 소자를 구분하여 제작하였다.

1. 서 론

21세기 정보화 사회에서 디스플레이 기술은 가장 중요한 기술 중의 하나이고, 고해상도, 대면적 디스플레이에 대한 요구가 점차 커지고 있다. 이러한 디스플레이를 구현하기 위해서 발광 소자와 화소 스위칭 소자가 필요한 경우가 있다. 현재 LCD에는 비정질 또는 다정질 실리콘 TFT(Thin-Film Transistors)가 사용되고 있다. 이 TFT의 활성층인 반도체를 유기물질로 대체할 수 있다면 성형성, 유연성, 경제성 등의 장점들을 얻을 수 있을 것이다. 여러 가지 유기 반도체들 중 pentacene이 가장 우수한 TFT 특성을 보여 주는 것으로 보고되고 있다.¹⁾⁻⁴⁾

본 연구에서는 pentacene을 활성층으로 하는 TFT 소자를 제작하였고, 게이트 절연층의 두께 변화에 따른 소자 특성 변화와 활성층과 접촉하는 게이트 절연층의 표면에 대한 러빙 처리의 효과에 대해 연구하였다.

2. 본 론

2.1 실험 방법

세정 과정을 거친 유리 기판 위에 반도체 공정에서 가장 널리 쓰이고 있는 현상 공정을 이용하여 게이트 전극을 형성하였다. 게이트 전극으로는 알루미늄을 사용하였고 열 증착법에 의해 1500Å의 두께로 성막하였다. 게이트 전극 형성 후 PECVD(Plasma enhancement chemical vapor deposition)를 사용하여 게이트 절연층인 SiO₂를 1000Å과 3000Å의 두께로 성막한 후 BOE(Buffer oxide etchant)를 사용하여 식각을 하였다. BOE는 불산과 불화암모늄을 100:1로 섞은 산화막 제거 용액이다. 그리고 게이트 절연층의 표면 처리로 러빙(rubbing)을 이용하였다. 표면 처리 과정이 끝난 후에는 활성층을 형성하게 되는데 활성층으로는 pentacene을 사용했고 그림 1에 분자 구조를 나타내었다.

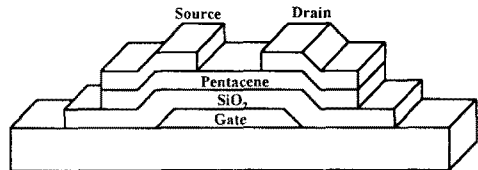


그림 2. Pentacene TFT 소자 구조.

2.2 실험 결과

2.2.1 게이트 절연막 두께 조절에 따른 특성 변화

다른 두께를 가지는 절연막을 사용하여 소자를 제작하였을 때 나타나는 전기적 특성 변화를 알아보기 위해 각각 1000Å과 3000Å 두께의 절연막을 사용한 Pentacene TFT들을 제작하였다. 드레인-소스 간의 전압은 -20 V로 고정시켰고 게이트 전압을 0 V에서 -25 V까지 변화시켜가면서 드레인 전류를 측정하였다. 절연막 두께 변화에 따른 pentacene TFT 소자의 전달 특성을 그림 3에 나타내었다.

1000Å의 절연막을 사용한 소자의 경우 3000Å의 절연막을 사용한 소자에 비해 다소 적은 전류량이 흐르는 것을 볼 수 있다. 또한 3000Å의 절연막을 사용한 소자가 1000Å의 절연막을 사용한 소자에 비해 좀더 일찍 포화되는 것도 알 수 있다. 이것으로 보아 1000Å의 다소 얇

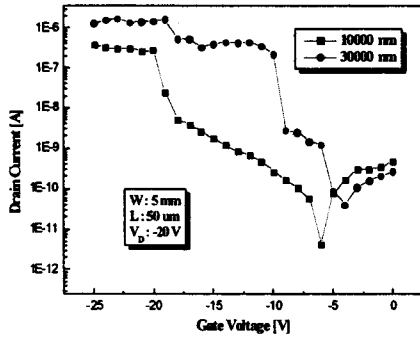


그림 3. 절연막 두께 변화에 따른 전달 특성 곡선.

은 절연막 층이 1700Å의 게이트 전극을 완전히 절연시키는 정상적인 절연성을 가지지 못하고 있는 것으로 예측된다.

2.2.2 표면 처리한 SiO₂를 사용한 Pentacene TFT의 특성 결과

절연층으로 사용하는 SiO₂는 가지 형태(dendrite)의 무질서한 표면 특성을 가지므로 활성층과의 접촉 시 전하 운반자(carrier)들의 흐름을 방해하는 요인이 된다. 하지만 러빙법과 같은 표면 처리를 통해 이런 무질서한 표면 특성을 향상시켜 pentacene 분자들이 절연층 위에 성막될 때 방향성을 가지면서 배열되고 분자 grain들의 크기를 변화시켜 운반자 이동도에 큰 영향을 미칠 수 있다.

제작된 pentacene TFT 소자의 전기적 특성 분석을 위해 소자의 전달 특성(transfer characteristics)과 출력 특성(output characteristics)을 각각 측정하였다.

Pentacene은 p형 반도체 특성을 가지기 때문에 다수 캐리어(majority carrier)는 정공(hole)이 되고, 유기 박막 트랜지스터는 축적 모드(accumulation mode)에서 동작하므로 게이트 전극과 드레인 전극에 음의 전압을 인가하여 전기적 특성을 측정하였다.

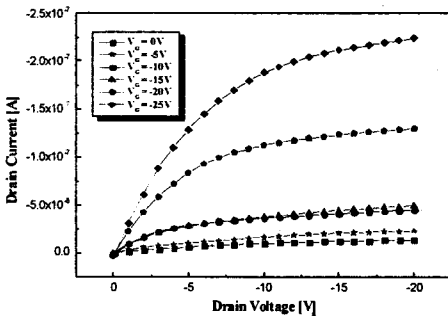


그림 4(a). 러빙하지 않은 소자의 출력 특성 곡선.

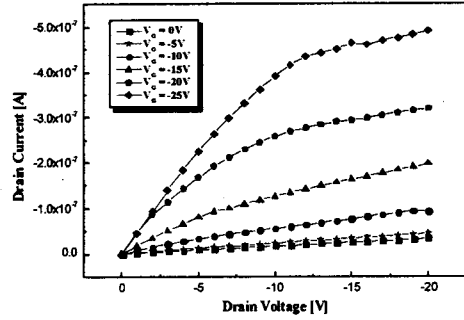


그림 4(b). 드레인-소스에 수평한 방향으로 러빙한 소자의 출력 특성 곡선.

그림 4(a),(b)는 본 연구에서 제작한 유기 박막 트랜지스터의 출력 특성을 나타낸 것이다. 드레인-소스에 수평인 방향으로 러빙한 소자와 러빙하지 않은 소자를 비교하여 볼 때, 러빙한 소자 쪽이 향상된 특성을 보이고 있다. 이것은 러빙에 의한 게이트 절연막 표면의 방향성이 향상되고 pentacene의 그레인(grain) 크기가 증가하였기 때문이다. 만약 그레인 크기가 작은 경우 그레인의 경계에서 산란(scattering) 등이 일어나 운반체의 이동을 방해함으로써 전기적 특성을 떨어뜨리기 때문이다.⁵⁾

이러한 전기적 특성의 향상은 소자의 전달 특성을 나타낸 그림 5에서도 확인할 수 있다.

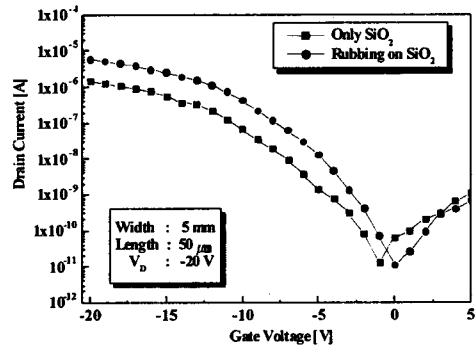


그림 5. 러빙에 따른 전달 특성 곡선.

On/off 전류비가 러빙하지 않은 소자의 경우 약 10⁵ 정도로 나타났고 수평으로 러빙한 소자의 경우 약 10⁶ 정도로 더 우수한 특성을 나타내었다. 문턱 전압값과 전계 효과 이동도를 산출하기 위해 식 1을 사용하여 수평으로 러빙한 절연막을 갖는 소자의 linear fitting 결과 를 그림 6에 나타내었다.

$$I_D = \frac{W}{2L} C_i \mu (V_G - V_T)^2 \quad (\text{식 1.})$$

W 는 채널 폭이고 L 는 채널 길이, C_i 는 절연 정전 용량, V_T 는 문턱 전압, 그리고 μ 는 전계효과 이동도이다.

이 논문은 1999년도 한국학술진흥재단의 연구비에 의하여 연구되었음. (KRF-99E0016)

(참 고 문 헌)

- [1] 정태형, "Organic/Polymer Electroluminescence display", pp 1 ~ 3 1998.
- [2] C.A. Armstrong, S. Uppal "Differentiation of effects due to Grain and Grain Boundary Traps in laser annealed Poly-Si Thin Film Transistors", J.J. Appl. Phys. Vol. 37 (1998) pp. 1721 ~ 1727.
- [3] T. Tsumura et al, *Synthetic Metals*, 25, 11, 1990.
- [4] G. Horowitz et al, *Thin Solid Films*, 111, 93, 1984.
- [5] 이재혁, 이용수, 박재훈, 최종선, 김유진, "표면 처리한 SiO₂를 게이트 절연막으로 하는 박막 트랜지스터의 특성 연구", 대한전기학회 추계부문학술대회 논문집 (2000) pp. 455 ~ 457.

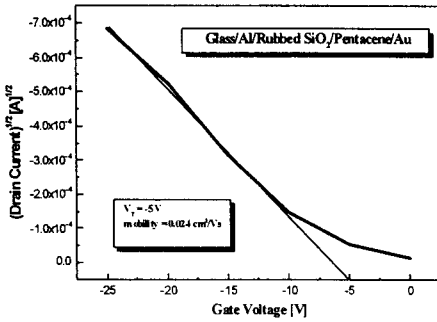


그림 6. 문턱 전압과 전계 효과 이동도를 산출한 전류-전압 특성 곡선.

산출된 문턱 전압값은 표면 처리하지 않은 소자의 경우 -7 V, 수평으로 러빙 처리한 소자의 경우에는 -5 V로 나타났다. 전계 효과 이동도의 경우는 각각 0.014 cm²/Vs, 0.024 cm²/Vs로 나타났다.

그러나 채널 길이에 수직인 방향으로 러빙한 소자는 위와 같은 특성을 얻을 수 없었다. 그 이유는 채널이 형성되는 방향에 수직으로 pentacene 분자들이 배열되어 운반자의 이동이 매우 어렵기 때문일 것이라 생각된다.

3. 결 론

유기물인 pentacene을 이용한 TFT를 제작할 경우 게이트 절연막과 반도체 사이의 계면을 부드러운 친을 사용하여 러빙법을 실시했을 때의 계면 효과 특성 변화에 의한 전기적 특성 향상을 연구하였다. 그 결과 on/off ratio(10⁶), 문턱 전압(-5 V), 그리고 전계 효과 이동도(0.024 cm²/Vs)의 결과들이 표면 처리하지 않은 소자보다 러빙 처리했을 때가 더 향상되는 것을 확인할 수 있었다. 즉 무질서한 게이트 절연막의 표면을 러빙에 의해 한 방향으로 정렬함으로써 pentacene 분자들의 배향을 향상시켰다는 의미이다. 하지만 전극 방향에 수직으로 러빙한 소자의 경우엔 배향의 방향이 채널에 대해 수직 방향이 되어 채널이 형성된다 하더라도 축적된 운반자들이 pentacene 분자 사이를 움직이기 힘들다는 추측을 해볼 수 있지만 좀더 이것에 대한 심층적인 연구가 필요할 것이다.