

플래시 EEPROM 응용을 위한 산화막 특성

The Oxide Characteristics in Flash EEPROM Applications

강 창 수, 김 동 진, 강 기 성
(C. S. Kang, D. J. Kim, K. S. Kang)

Abstract

The stress induced leakage currents of thin silicon oxides is investigated in the VLSI implementation of a self learning neural network integrated circuits using a linearity synapse transistor. The channel current for the thickness dependence of stress current, transient current, and stress induced leakage currents has been measured in oxides with thicknesses between 41Å, 86Å, which have the channel width \times length $10 \times 1\mu\text{m}$, $10 \times 0.3\mu\text{m}$ respectively.

The stress induced leakage currents will affect data retention in synapse transistors and the stress current, transient current is used to estimate to fundamental limitations on oxide thicknesses. The synapse transistor made by thin silicon oxides has represented the neural states and the manipulation which gaves unipolar weights. The weight value of synapse transistor was caused by the bias conditions. Excitatory state and inhibitory state according to weighted values affected the channel current. The stress induced leakage currents affected excitatory state and inhibitory state.

Key Words : Stress current, Transient current, Stress induced leakage currents, Excitatory state, Inhibitory state

1. 서 론

시냅스는 ANN(artificial neural network)의 기본 요소로써 VLSI ANN에서 최소영역을 차지하여야 한다.[1] 응용범위 확대를 위한 고속, 고집적 신경회로망의 회로설계와 소자개발 등이 가속화되고 있으며 고집적 시냅스 설계는 바이어싱, 가중치 그리고

잡음 등의 기능개선에 연구가 집중되고 있다.[2]

유연성, 정확성 그리고 잡음 면역성 등이 우수한 뉴런의 여기와 금지상태는 시냅스당 한 개의 금속산화물반도체 전계효과트랜지스터로 인공 신경회로망을 구현하였다.[3] 신경회로망의 시냅스는 한 개의 금속산화물반도체 전계효과트랜지스터로 전달콘덕턴스 승적기를 갖는 시냅스가 보고되었다.[4] 자기인지 회로망의 최적방법은 동적 가중치 저장구조에서 저장 캐패시터를 어드레싱하는 시냅스 트랜지스터 또는 부유게이트가 요구되기도 한다.[5] 나노기술에 의한 초고집적 반도체 신경회로망 시냅스 트랜지스터의 최소 영역은 미세패턴을 형성시키는 리소그라피 기술과 셀의 설계 기술에 의존한다.[6] 이러한 시냅스 트랜지스터는 단위면적당 전하용량, 누설전류 그리고 전류 구동능력 등이 향상된 트랜지스터를 개발

유한대학 전자과
(Tel : 02-2610-0744, 0740
FAX 02 2610 0744, 0740
E-mail : cskang@yuhan.ac.kr djkim@yuhan.ac.kr)
강원도립대학 정보통신과
(Tel : 033 660 3451
FAX : 033 660 3455
E-mail: kskang@kangwonpu.ac.kr)

하는데 있다.[7] 이를 위해 얇은 시냅스 트랜지스터를 제작하여 스트레스전류, 전이전류, 스트레스 유기 누설전류(SILC : stress induced leakage current) 등에 대한 연구가 진행되고 있다.[8] 본 논문에서는 자기인지 신경회로망에 사용되는 소자의 얇은 산화막을 갖는 선형 시냅스 트랜지스터를 제작하고 산화막 특성에 의한 스트레스전류, 전이전류, 스트레스유기 누설전류에 의한 채널전류의 전류 구동능력을 측정하여 응용 가능성을 조사하였다.

II. 결과 및 토의

시냅스 트랜지스터의 채널 폭과 길이가 $10 \times 1 \mu\text{m}$ 이고 산화막 두께가 각각 41Å, 86Å인 시냅스 트랜지스터의 산화막 전압에 대한 산화막 전류밀도에서 산화막 터널링 온전류 전압은 41Å, 86Å에서 각각 4V, 7.2V이다.

시냅스 트랜지스터의 산화막 두께가 41Å인 트랜지스터에서 스트레스 펄스 온 오프 주기 각각 100초, 스트레스 바이어스 펄스전압을 1V, 2V, 3V, 4V, 5V 그리고 6V로 인가하면서 측정한 산화막전류는 그림 1과 같다.

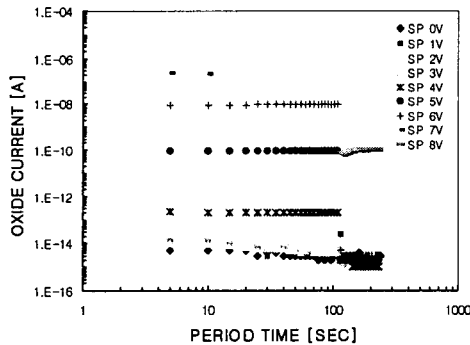


Fig. 1. The stress pulse on off period vs. oxide current in the synapse transistor with the oxide thickness 41Å

스트레스 펄스전압을 1V, 2V 그리고 3V로 인가하면서 측정한 전류는 시간에 따라 감소하고, 스트레스 펄스전압을 4V, 5V 그리고 6V로 인가하면서 측정한 전류는 시간에 따라 일정하게 유지함을 알 수 있다. 스트레스 펄스전압을 인가하면서 측정한 전류량은 각각 $5.6 \times 10^{-6} \text{C}/\text{cm}^2$, $7.4 \times 10^{-6} \text{C}/\text{cm}^2$, $7.9 \times 10^{-6} \text{C}/\text{cm}^2$, $2.1 \times 10^{-4} \text{C}/\text{cm}^2$, $9.3 \times 10^{-2} \text{C}/\text{cm}^2$ 그리고 $9.1 \text{C}/\text{cm}^2$ 이었다. 이 때의 1V, 2V 그리고 3V는 저전압 누설전류 스트레스 펄스전압이고 4V, 5V 그리고

6V는 산화막 터널링 스트레스 펄스전압이다. 스트레스 펄스전압 7V를 인가했을 때는 절연막 파괴가 발생하였고 전류량은 $1.5 \times 10^6 \text{C}/\text{cm}^2$ 이었다. 인가중에 인가 바이어스전압에 의한 항복현상이 발생했음을 알았다. 항복현상이 발생한 후 스트레스 펄스전압 8V를 인가하여 측정한 전류량은 $2.3 \times 10^6 \text{C}/\text{cm}^2$ 이었다. 스트레스 펄스전압 8V를 인가하여 산화막 파괴에 의한 전류량은 스트레스 펄스전압 7V에 의한 전류량치와 비교하여 변화가 작음을 알 수 있다.

스트레스 펄스전압을 각각 인가한 후, 스트레스 펄스 오프 주기에서 측정한 전이전류에서 초기 전이전류는 각각 $1.0 \times 10^{-15} \text{A}$, $1.2 \times 10^{-14} \text{A}$, $5.0 \times 10^{-15} \text{A}$, $2.0 \times 10^{-15} \text{A}$, $2.0 \times 10^{-15} \text{A}$ 그리고 $5.0 \times 10^{-15} \text{A}$ 이고 말기 전이전류는 각각 $1.0 \times 10^{-15} \text{A}$, $1.0 \times 10^{-15} \text{A}$, $1.0 \times 10^{-15} \text{A}$, $1.0 \times 10^{-15} \text{A}$, $2.0 \times 10^{-15} \text{A}$ 그리고 $2.0 \times 10^{-15} \text{A}$ 였다. 이러한 전이전류는 스트레스전류와 반대방향 전류이다. 이때 1V, 2V 그리고 3V는 산화막 누설전류 스트레스 펄스전압에 의한 전이전류이고 4V, 5V 그리고 6V는 산화막 터널링전류 스트레스 펄스전압에 의한 전이전류이다.

저스트레스 펄스전압에 의한 전이전류는 산화막 터널링 스트레스 펄스전압에 의한 전이전류보다 과도천이가 안정되어 있음을 보여준다. 스트레스 펄스전압을 증가시킬수록 전이전류 차가 증가함을 알 수 있었다. 스트레스 펄스전압을 7V를 인가했을 때는 절연막 파괴가 발생하였으며 이 때에 흐르는 초기와 말기의 전이전류는 각각 $6.5 \times 10^{-11} \text{A}$, $9.7 \times 10^{-11} \text{A}$ 이었다. 스트레스 펄스전압을 8V를 인가했을 때는 완전한 절연막 파괴에 의하여 흐르는 초기와 말기 전이전류는 각각 $7.8 \times 10^{-11} \text{A}$, $1.2 \times 10^{-10} \text{A}$ 이었다.

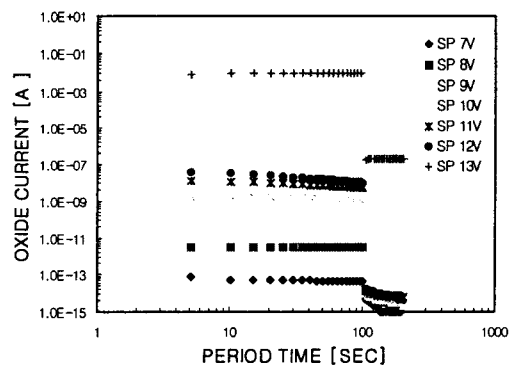


Fig. 2. The stress pulse on off period vs. oxide current in the synapse transistor with the oxide thickness 86Å

산화막 86Å인 시냅스 트랜지스터에서 스트레스 펄스전압은 주기 100초, 오프주기 100초인 스트레스 펄스전압을 7V, 8V, 9V, 10V, 11V, 12V 그리고 13V로 인가하면서 측정한 산화막전류는 그림 2와 같다.

스트레스 펄스전압을 7V에서 12V까지 인가하면서 측정한 산화막전류는 시간에 따라 일정하게 유지함을 알 수 있다. 스트레스 펄스전압은 주기에 따른 전류량은 각각 $1.4\text{C}/\text{cm}^2$, $1.5 \times 10^1\text{C}/\text{cm}^2$, $4.9 \times 10^2\text{C}/\text{cm}^2$, $7.7 \times 10^3\text{C}/\text{cm}^2$, $3.6 \times 10^4\text{C}/\text{cm}^2$ 그리고 $8.6 \times 10^4\text{C}/\text{cm}^2$ 이었다. 스트레스 펄스전압 13V를 인가했을 때는 절연막 파괴가 발생하였고 전류량은 $4.0 \times 10^{12}\text{C}/\text{cm}^2$ 이었으며 인가중에 인가전압에 의한 항복 현상이 발생했음을 알았다.

스트레스 펄스 오프 주기시에 측정한 전이전류는 스트레스 전류와 반대방향 전류이다. 스트레스 펄스전압 7V, 8V, 9V, 10V, 11V, 12V 그리고 13V를 인가한 후 초기 전이전류는 각각 $5.0 \times 10^{-15}\text{A}$, $9.0 \times 10^{-15}\text{A}$, $1.0 \times 10^{-14}\text{A}$, $1.2 \times 10^{-14}\text{A}$, $1.5 \times 10^{-14}\text{A}$ 그리고 $1.6 \times 10^{-14}\text{A}$ 였고 말기 전이전류는 $1.0 \times 10^{-15}\text{A}$, $2.0 \times 10^{-15}\text{A}$, $2.0 \times 10^{-15}\text{A}$, $5.0 \times 10^{-15}\text{A}$, $6.0 \times 10^{-15}\text{A}$ 그리고 $7.0 \times 10^{-15}\text{A}$ 였다. 스트레스 펄스전압을 증가시킬수록 전이전류의 차가 증가함을 알 수 있었다. 스트레스 펄스전압을 13V를 인가했을 때는 절연막 파괴가 발생하였으며, 이 때에 흐르는 초기와 말기의 전이전류는 각각 $1.8 \times 10^{-7}\text{A}$, $2.1 \times 10^{-7}\text{A}$ 이었다. 항복현상에 의한 전류량은 $4.0 \times 10^{10}\text{C}/\text{cm}^2$ 으로 측정되었다.

스트레스 펄스전압에 의한 산화막전류는 산화막 두께가 감소함에 따라 증가함을 보여주고 있다. 이것은 시냅스 트랜지스터를 제작하는 산화막의 한계를 예상할 수 있다. 그리고 스트레스 펄스전압을 인가한 후, 산화막 전하용량에 의한 전이전류는 시간에 역비례함을 알 수 있다. 이와 같이 스트레스전압에 의한 전이전류는 가중치에 영향을 주고 있다. 데이터 유지능력에 대한 스트레스 유기 누설전류의 전이전류는 회로설계와 구동에 고려되어야 한다.

산화막 두께 86Å인 소자에 드레인전압을 5V, 스트레스 펄스전압을 각각 2.2V, 3.2V, 4.2V, 5V, 6.3V, 그리고 7V로 변화시키면서 인가한 상태의 온 오프 주기의 채널전류는 그림 3와 같다.

드레인전압을 5V, 스트레스 온 주기 펄스전압을 변화시키면서 측정한 채널전류는 각각 $1.5 \times 10^{-5}\text{A}$, $1.0 \times 10^{-4}\text{A}$, $2.2 \times 10^{-4}\text{A}$, $3.8 \times 10^{-4}\text{A}$, $6.0 \times 10^{-4}\text{A}$, 그리고 $7.6 \times 10^{-4}\text{A}$ 로 측정되었다. 이 때 스트레스전압을 0.7V로 한 후 측정한 채널전류는 $1.6 \times 10^{-14}\text{A}$ 로 측정되어 채널전류가 형성되지 않음을 보여 주었다. 측정된 채널전류는 스트레스 펄스전압을 증가시킬수록

증가함을 알았다. 일정한 게이트 전압하에 바이어스 드레인전압 변화에 대한 채널전류보다 일정한 드레인 전압하에 가중치 스트레스전압을 변화시키면서 측정된 채널전류 차가 더 큼을 알 수 있다.

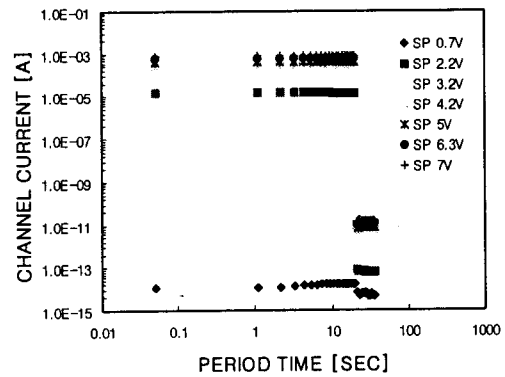


Fig. 3. The stress pulse voltage on period vs. channel current in the synapse transistor with the oxide thickness 86Å

스트레스전압을 변화시키면서 드레인 펄스전압 오프 주기시의 채널전류는 각각 $6.2 \times 10^{-14}\text{A}$, $1.7 \times 10^{-13}\text{A}$, $4.9 \times 10^{-12}\text{A}$, $7.3 \times 10^{-12}\text{A}$, $1.0 \times 10^{-11}\text{A}$ 그리고 $1.5 \times 10^{-11}\text{A}$ 로 측정되었다. 스트레스전압이 인가되고 드레인 펄스전압이 인가되지 않을 때의 측정된 채널 오프전류는 스트레스전압을 증가시킬수록 증가함을 알 수 있었다. 그러나 스트레스전압이 4.2V 이상이 되고 난 후부터는 채널의 오프전류가 조금씩 변화됨을 알 수 있다. 측정된 채널전류는 스트레스 펄스전압을 증가시킬수록 증가함을 알았다. 이 때 스트레스 펄스전압을 0.7V를 측정하고 난 후, 드레인 펄스전압이 5V에서 0V로 인가될 때 채널전류는 $5.0 \times 10^{-15}\text{A}$ 로 측정되었다. 스트레스 전압하에 드레인 펄스전압 인가 후에 흐르는 채널전류 차가 일정 드레인전압 하에 스트레스 펄스전압 인가 후에 흐르는 채널전류 차보다 큼을 알 수 있다. 이와 같은 조건에 의하여 가중치 조건을 실현할 수 있음을 보여준다.

산화막 스트레스전류는 산화막 두께가 감소함에 따라 증가하고 있다. 이러한 현상은 뉴런상태를 나타내는 시냅스 트랜지스터의 터널링 산화막의 두께 한계를 예측할 수 있다. 스트레스 인가 유기전류인 전이전류는 스트레스전압이 증가함에 따라 증가하였다. 그리고 전이전류는 산화막 두께에 관계없이 시간에 따라 반비례적으로 일정하게 감소하였다. 이러

한 현상은 뉴런상태를 표현하는 시냅스 트랜지스터의 산화막 두께와 관계가 없음을 알 수 있다. 이와 같이 뉴런상태를 나타내는 시냅스 트랜지스터의 산화막 두께의 한계는 과도전압보다 스트레스전압에 의해 영향을 받음을 보였다. 시냅스 트랜지스터의 뉴런상태를 나타내는 스트레스전류와 전이전류에 의해 유기되는 채널전류는 시냅스 트랜지스터로 사용하기 위한 좋은 특성을 나타냈으며 스트레스 전압에 의해 유기되는 스트레스 유기 누설전류에 의한 채널전류도 펄스주기 오프전류도 스트레스 펄스전압 1V와 7V에 의해 각각 $4.0 \times 10^{-15}A$ 와 $1.6 \times 10^{-10}A$ 로 측정되어 뉴런상태의 특성을 나타냄을 알았다. 이와 같이 자기인지 신경회로망 최적구현을 위한 얇은 산화막을 갖는 아날로그 기억소자의 선형 시냅스 트랜지스터의 특성이 우수하여 응용이 기대된다.

III. 결 론

신경회로망 최적 구현을 위한 시냅스 트랜지스터의 산화막 두께는 각각 41Å, 86Å인 얇은 산화막으로 제작하고 산화막 전류밀도, 스트레스전류, 전이전류 그리고 바이어스에 의한 채널전류를 측정하여 응용가능성을 조사하였다.

1. 산화막 터널링 전압은 산화막 두께 41Å, 86Å에서 각각 4V, 7.2V로 측정되었다.
2. 인가전압에 의한 스트레스전류는 시간에 따라 일정하게 유지하고 인가전압에 따라 비례하였으며, 전이전류는 시간에 따라 반비례로 감소하였다.
3. 게이트전압 스위칭율이 클수록 상승신호의 시작부분과 하강신호의 끝부분에서 채널전류가 감소하였다.
4. 산화막 두께가 증가할수록 채널전류의 펄스주기 온전압이 증가하였고 펄스주기 온전압이 펄스주기 오프전압보다 크게 측정되었다.
5. 시냅스 트랜지스터의 가중치와 바이어스 조건에 따라 여기상태와 금지상태의 채널전류는 각각 산화막 두께 41Å에서 $1.3 \times 10^{-5}A \sim 3.6 \times 10^{-3}A$, $2.2 \times 10^{-7}A \sim 1.5 \times 10^{-6}A$, 산화막 두께 86Å에서 $1.5 \times 10^{-5}A \sim 7.6 \times 10^{-4}A$, $6.2 \times 10^{-14}A \sim 1.5 \times 10^{-11}A$ 로 측정되었다.
6. 산화막 두께가 증가할수록 채널전류의 펄스주기 온전류가 증가하였고 펄스주기 온전류가 펄스주기 오프전류보다 크게 측정되었으며 펄스주기 오프전류도 스트레스 펄스전압 1V와 7V에 의해 각각 $4.0 \times 10^{-15}A$ 와 $1.6 \times 10^{-10}A$ 로 측정되었다.

참고 문헌

- [1] A.F. Murray, et al., "Pulse stream VLSI neural networks mixing analog and digital techniques," IEEE Trans. on Neural Networks, Vol. 2, pp. 193~204, 1991
- [2] B. Flower, et al., "The implementation of single and dual transistor VLSI synapses," Proc. 3rd Int. Conf. Microelectronics Neural Networks, pp. 1~10, 1993
- [3] D.E. Johnson, et al., "Neural network implementation using a single MOST per synapse," IEEE Trans. on Neural Network, Vol. 6, No. 4, pp. 1008~1011, 1995
- [4] T. Ohmi, et al., "A neuron MOS network using self learning compatible synapse circuits," IEEE Journal of Solid State Circuits, Vol. 30, No. 8, pp. 913~922, 1995
- [5] A.J. Annema, "Feed forward neural networks," Kluwer Academic Publishers, Boston, 1995
- [6] Bruno Ricco, A. Pieracci, "Tunneling Bursts for Negligible SILC Degradation," IEEE Transactions on Electron Devices, Vol. 46, No. 7, pp. 1497~1500, 1999
- [7] P. Riess, G. Ghibaudo, G. Pananakakis, J. Brini, "Measurement and Modeling of the Annealing Kinetics of Stress Induced Leakage Current in Ultra Thin Oxides," Microelectronics Reliability 39, pp. 203~207, 1999
- [8] Eric M. Vogel, W. Kirkden Henson, Curt A. Richter, John S. Suehle, "Limitations of Conductance to the Measurement of the Interface State Density of MOS Capacitors with Tunneling Gate Dielectrics," IEEE Transactions on Electron Devices, Vol. 47, No. 3, pp. 601~608, 2000