

(Sr · Ca)TiO₃ 세라믹스의 용량-전압 특성

Capacitive-Voltage properties of (Sr · Ca)TiO₃ Ceramics

강재훈*, 최윤식*, 김충혁**, 김진사**, 박용필***, 송민중****

(Jae-Hun Kang*, Woon-Shik Choi*, Chung-Hyeok Kim**, Jin-Sa Kim**, Yong-Pil Park***, Min-Jong Song****)

Abstract

In this study, the capacitance-voltage properties of (Sr_{1-x}·Ca_x)TiO₃(0.05 ≤ x ≤ 0.20)-based grain boundary layer ceramics were investigated. The ceramics were fabricated by the conventional mixed oxide method. The sintering temperature and time were 1480~1500°C and 4 hours, respectively.

The 2nd phase formed by the thermal diffusion of CuO from the surface leads to very excellent dielectric properties, that is, ε_r > 50000, tan δ < 0.05, ΔC < ±10%. The capacitance is almost unchanged below about 20[V] but it decreases slowly about 20[V]. The results of the capacitance-voltage properties indicated that the grain boundary was composed of the continuous insulating layers.

Key Words : Capacitance-Voltage, Grain boundary layer, Sintering temperature, Insulating layer

1. 서론

SrTiO₃계 입계절연형 캐패시터가 갖는 고용량성과 전압-전류 특성의 비선형성을 이용한 복합기능 소자가 연구·개발되어 실용화되고 있다. 이와 같은 다기능 소자는 전자기기의 소형화, 고성능화에 요구되는 고신뢰성을 동시에 만족시키고 있다.

ZnO나 SrTiO₃등으로 제작된 세라믹 바리스터의 비선형 전압-전류 특성은 지금까지의 많은 연구결과 결정입계에 형성된 전위장벽에 기인한다는 것을 밝힐 수 있었다. 이와 같은 결정 계면의 특유한 바리스터 특성은 소결체 뿐만 아니고 ZnO 다층박막의 적층계면이나 주상으로 성장시킨 박막의 주상결정계면 그리고 SrTiO₃ 결정중에 생성된 거

대 주상 계면에서도 나타난다고 보고하고 있다.

이와 같은 계면 특유의 특성은 계면의 구조나 조성에 의하여 크게 영향받는다. 이는 잘 알려진 사실이지만, 이들에 대한 체계적인 연구는 미미한 실정이며, 지금까지 보고된 데이터를 비교하는 것도 어렵다. 특히 계면층이 존재하는 경우 계면의 미세구조와 전기적 특성의 상호 관계에 대해서는 아직까지 명확히 밝혀지고 있지 않다.

본 연구에서는 복합기능 소자로서 응용 가능하고, 온도특성이 우수한 (Sr · Ca)TiO₃계 세라믹에 표면으로부터 CuO를 열확산 시킴으로서 입계층 세라믹 캐패시터를 제작하여 열처리 조건에 따른 입계의 전기적 특성을 고찰하였다.

2. 실험

2.1 시편제작

출발원료는 순도 99.9% 이상의 SrCO₃, CaCO₃, TiO₂, Nb₂O₅와 액상 소결재로 미량의 SiO₂를 사용하였다. 각 원료를 조성식에 따라 10⁻⁴g 까지 칭량

* : 대불대학교 전기공학과
(전남 영암군삼호면 산호리,
Fax : 061-469-1265
E-mail : kangjh@mail.daebul.ac.kr)
** : 광운대학교 전기공학과
*** : 동신대학교 전기전자공학부
**** : 광주보건대학 의료정보공학부

한 후 아세톤을 분산매로 하여 알루미늄 유발에서 충분히 혼합·분쇄하였으며, 혼합물은 1150°C에서 2시간 동안 하소하였다. 하소시킨 분말은 2.5wt%의 유기결합제와 혼합한 후, 80메쉬의 체를 통과시켜 조립화하였으며, $\phi 20\text{mm}$ 의 금형을 사용하여 $1500\text{kg}/\text{cm}^2$ 의 압력으로 성형하였다. 성형한 시료는 반도체 세라믹스를 얻기 위하여 1480~1500°C (N_2 분위기)에서 4시간동안 소결하였다. 소결한 시편은 평행이 되도록 양면을 균일하게 연마하여 BL(Boundary Layer)구조를 얻기 위하여 금속 산화물(CuO)을 열확산하였다. 열확산시킨 시편의 양면을 연마한 후, 전기적 측정을 위하여 은전극을 650°C에서 20분간 소결 부착하였으며, 그림 1에 시편제작 공정을 나타낸다.

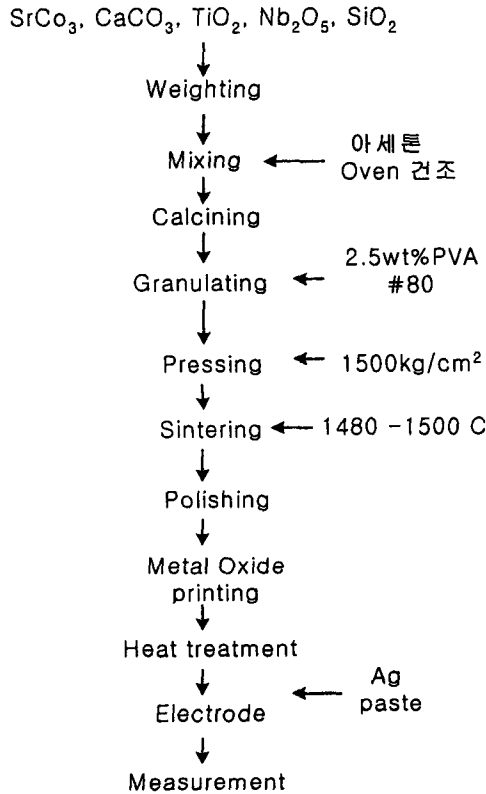


그림 1. 시편의 제작공정

Fig. 1. Fabrication process of the specimens.

2.2 측정

시편의 미세구조는 주사형전자현미경(SEM)을 이용하여 관찰하였으며, 반도체 세라믹스의 평균 결정립 크기는 code법에 의하여 측정하였다.

전류-전압 특성은 일렉트로미터(Keithely 237 source electrometer)를 사용하여 측정하였다. 정전용량-전압 특성을 측정하기 위해서 임피던스분석기(Impedance Analyzer, HP4194A)를 사용하였다. 캐리어의 밀도를 구하기 위하여 전압인가에 따른 C-V 특성 측정은 진폭 0.1V와 주파수 1kHz의 교류를 이용하여 실온에서 수행하였으며, 이때 0V로부터 40V까지 바이어스 전압 범위에서 측정하였다.

3. 결과 및 고찰

본 연구에 사용된 $(\text{Sr,Ca})\text{TiO}_3$ 계 입계절연형 세라믹의 입계 구조는 $(\text{Sr,Ca})\text{TiO}_3$ 결정립 주위의 입계에 분포된 과잉의 TiO_2 가 외부에서 침투된 CuO 의 제 2상과 반응하여 형성된 절연층과 Sr 및 Ca vacancy가 입계로 부터 결정립으로 확산되면서 반도체 결정립이 절연층으로 바뀐 확산층으로 나눌 수 있다. 따라서, BL 구조를 갖는 세라믹의 전체 정전용량은 이 두 층의 특성에 의하여 결정된다고 할 수 있다.

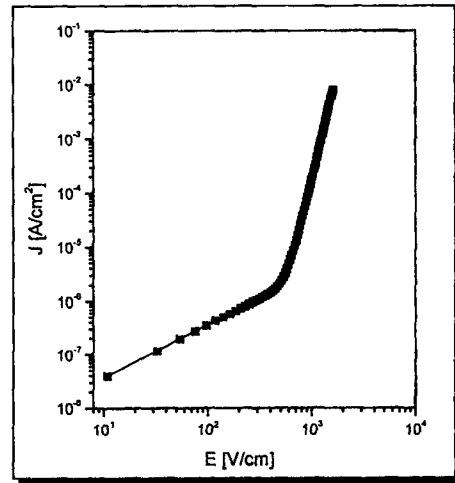


그림 3. 전류-전압 특성

Fig. 3. Current-Voltage properties.

그림 3, 4는 입계층 세라믹의 I-V 특성, C-V 특성이다. 본 연구에 사용된 시편은 그림 3에서 보는 것과 같이 전압이 증가함에 따라 일정 전압에서 전류가 급격히 증가하는 비선형성을 나타내었다. 이와 같은 전압에 대한 전류의 비선형적인 특성은

입계에 형성되는 전자고갈영역에 의한 전위발생에 기인한 것이므로, 시편에 직류 바이어스 전압을 가할 경우 그림 4와 같이 입계의 정전용량이 변하게 된다.

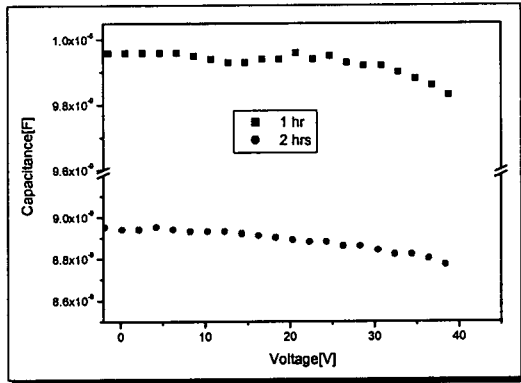


그림 4. 정전용량-전압 특성

Fig. 4. Capacitance-Voltage properties.

그림 4의 C-V 특성으로부터 인가전압이 증가하여도 정전용량은 거의 변하지 않았으나, 20[V] 이후 약간 감소함을 볼 수 있는데 이는 입계에 연속적인 절연층이 존재하고 있기 때문이라고 생각되며, 이 입계층에는 전자포획중심(electron trap center)으로 작용하는 불순물이나 격자 결함이 존재할 것으로 추측된다.

일반적으로 용량-전압(C-V)법은 시료의 공핍층 용량 C와 인가전압 V의 관계에서 직접 도너(donor)밀도 N_D 를 구하는 방법으로서 잘 알려져 있다. 쇼트키 장벽에 전압을 인가하면 일종의 절연층으로 보게되는 공핍층 두께가 변하기 때문에 용량도 변한다. 즉, 정전용량(C)과 인가전압(V)의 관계는

$$\frac{1}{C^2} = 2(V_{bi} - V - kT/q)q\epsilon N_D \quad (1)$$

로 표시되며, 여기서, q는 전자의 전하량, ϵ 은 반도체의 유전율, V_{bi} 는 내부전압, V는 외부로부터의 인가전압이다. N_D 가 쇼트키 장벽 근방에서 일정하게 분포할 때 식 (1)로부터 N_D 를 구할 수 있으나 세라믹과 같은 다결정체 입계에 존재하는 쇼트키 장벽은 2중 쇼트키 장벽으로 되어 있으므로 좌우 장벽의 공핍층 용량을 고려한 다음 식을 사용해야한다.

$$\frac{1}{C} = \sqrt{\frac{2}{q\epsilon N_D}} \cdot (\sqrt{\phi - V_1} + \sqrt{\phi + V_2}) \quad (2)$$

여기서, ϕ 는 전위장벽높이, V_1 은 부(-)측의 전위장벽 높이의 감소, V_2 는 정(+)측의 전위장벽 높이의 증가를 나타낸다. 일반적으로 세라믹과 같이 계면준위밀도가 큰 경우 $\phi - V_1 \approx \phi$, 인가전압 $V \approx V_2$ 로 되므로 식(2)는 다음 식으로 쓸 수 있다.

$$\left(\frac{1}{C} - \frac{1}{2C_0}\right)^2 = \frac{2(\phi + V)}{q\epsilon N_D} \quad (3)$$

여기서, C, C_0 는 입계 1층당의 용량이고, C_0 는 $V=0$ 일때의 값이므로

$$\frac{1}{C_0} = 2\left(\frac{2\phi}{q\epsilon N_D}\right)^{1/2} \quad (4)$$

의 관계가 있다. 즉, 식 (3)을 plot하여 그 기울기와 절편으로부터 N_D 와 ϕ 를 구할 수 있게 된다.

이와 같이 C-V법에서는 비파괴 도너밀도, 전위장벽높이를 구하는 것이 가능하나, C-V법에서 구한 도너밀도, 전위장벽높이는 입계 1층당의 특성으로 환산하여 구한 물성값이므로 평균 결정립의 신뢰도가 중요하게 된다.

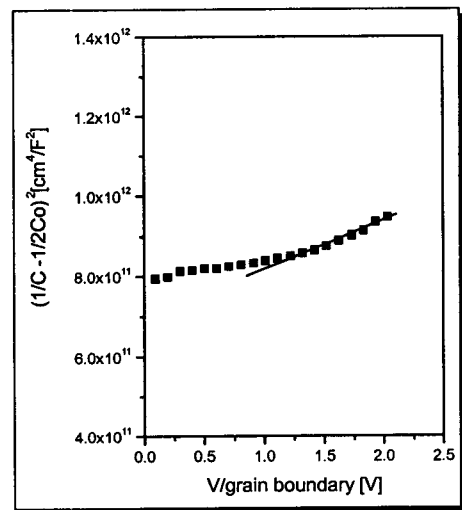


그림 5. $(1/C - 1/2C_0)^2$ 와 전압과의 관계
Fig. 5. The relation of $(1/C - 1/2C_0)^2$ and Voltage.

그림 5에 시편의 $(1/C-1/2C_0)^2-V$ 결과를 나타낸다. 그림 5에서 직선의 관계가 성립하므로 그 기울기와 절편으로부터 식 (3)에 의하여 도너밀도와 전위장벽의 높이를 구할 수 있다. 또한 결정립과 입계층 사이의 계면에서의 표면상태 밀도(N_{IS})와 도너밀도, 전위장벽의 높이 사이에는 다음의 관계가 성립한다.

$$N_{IS} = \sqrt{\frac{2N_D \epsilon \phi}{q}} \quad (5)$$

따라서, 식 (3)으로부터 구한 N_D 와 ϕ 를 식 (5)에 대입하면 N_{IS} 를 구할 수 있다.

4. 결 론

$(Sr_{1-x}Ca_x)TiO_3$ 계 입계층 세라믹을 제작하여 정전용량-전압 특성을 연구한 결과 다음과 같은 결론을 얻었다.

C-V특성 분석 결과 $(Sr,Ca)TiO_3$ 산화층과 제 2 상 사이에 공핍층이 존재하고 있으나 전체 정전용량에는 크게 기여하지 못하였다. 평균결정립의 크기를 사용하여 계산된 도너밀도 N_D 는 $10^{18} \sim 10^{19} [cm^{-3}]$, 표면상태 밀도 N_{IS} 는 $10^{13} \sim 10^{14} [cm^{-2}]$ 였다.

참고 문헌

- [1] Osamu SAKURAI et al, "Microstructure of Junction Interface of Semiconductive $SrTiO_3$ Single Crystals and Change of I-V Characteristics by Oxidation/reduction", Jpn. J. Ceram. Soc., 106(3), pp.308-311, 1998.
- [2] Nobutatsu Yamaoka, "SrTiO₃-Based Boundary Layer Capacitor Having Varistor Characteristics", Ceram. Bull., Vol.62(6), pp.698~703, 1983.
- [3] P.E.C. Franken, M. P. A. Vieggers and A. P. Gehring, J. Am. Ceram. Soc., Vol64, pp.687~690, 1981.
- [4] M.Fujimoto and W.D.Kingery, J. Am. Ceram. Soc., Vol.68, pp.167~73, 1981.
- [5] D. D. Park and D. A. Payne, "Advances in Ceramics", J. Am. Ceram. Soc., Vol.7, pp.242~

253, 1981.

[6] C. Walters & R. C. Grace, "Formation of Point Defects in Strontium Titanate", J. Phys. Chem. Solids, Vol.28, p.239, 1967.

[7] Takahuro TAKADA et al., "The Effects of Additives for a $(SrCa)(TiNb)O_3$ Boundary Layer Capacitive-Varistor on the Microstructure and Electronic Properties", J. Jap. Ceram. Soc., 103(3), pp.251~256, 1995.

[8] L. Benziada-Taibi, H. Kermoun, "Structural and nonlinear dielectric properties in fluoride containing $SrTiO_3$ or $BaTiO_3$ ceramics", J. Fluorine Chemistry, 96, pp.25-29, 1999.