

Pt/Si/Ti P형 4H-SiC 오염성 접합에서 낮은 접촉 저항에 관한 연구

Low resistivity ohmic Pt/Si/Ti contacts to p-type 4H-SiC

양성준*, 이주현*, 노일호*, 김창교*, 조남인**, 정경화**, 김은동**, 김남균**
(S. J. Yang*, J. H. Lee*, I. H. Nho*, N. I. Cho**, K. H. Jung**, E. D. Kim**, N. K. Kim**)

Abstract

In this letter, we report on the investigation of Ti, Pt/Si/Ti Ohmic contacts to p-type 4H-SiC. The contacts were formed by a 2-step vacuum annealing at 500°C for 1h, 950°C for 10 min respectively. The contact resistances were measured using the transmission line model method, which resulted in specific contact resistivities in the 3.5×10^{-3} and 6.2×10^{-4} ohm/cm², and the physical properties of the contacts were examined using x-ray diffraction, microscopy, AES(auger electron spectroscopy). AES analysis has shown that, at this anneal temperature, there was a intermixing of the Ti and Si, migration of into SiC. Overlayer of Pt had the effect of decreasing the specific contact resistivity and improving the surface morphology of the annealed contact.

Key Words : Ohmic contact, silicon carbide, transmission line method, contact resistivity

1. 서 론

Si 공정기술 개발의 급속한 발전으로 반도체 기술은 급성장하여 Si 물질의 사용은 물리적 한계를 나타내고 있는 현실이다. 이에 Si 물리적 한계를 보완할 수 있는 재료로서 광역 에너지 금지대역을 갖고 있는 SiC가 각광을 받고 있다. 이러한 이유로 SiC 전력 소자는 고전압, 고출력 및 고주파 응용분야에 적합한 차세대 전력소자로서 선진국에서 적극적으로 개발하고 있다. 앞으로 고속전철 및 전기자동차의 전력제어, 이동 통신 기지국의 고주파 증폭기 등은 물론이고, 송배전 분야에서 전력제어에 광범위하게 응용됨으로써 시스템의 크기와 전력손실을 획기적으로 줄일 수 있을 것으로 예상되고 있다[1]. 따라서 SiC의 오염성 접합에 관한 연구는 SiC의 polytype에 따라 각각 달리 진행되어 왔다.

p형 4H-SiC에 관한 최근 연구 결과를 보면, 1.3×10^{19} cm⁻³의 불순물 농도를 갖는 에피층 위에 TiC을 이용하여 오염성 접합을 형성하고 950°C에서 열처리하여 낮은 접촉 저항 값을 얻었다[2-4]. 그러므로 본 연구에서는 p형 4H-SiC 표면 위에 Pt/Si/Ti 구조를 갖는 오염성 접합 소자를 제작하여 전기적 특성과 증착 표면 상태, 그리고 재료의 특성을 조사하였다[5].

2. 실험

2.1 시편 제조

본 실험에서 사용한 시편은 비저항 0.053, 결정 방향은 8°의 n-type 웨이퍼 위에 도핑 농도 3.9×10^{18} 의 p형 에피층을 0.5 μm 성장시킨 4H-SiC 웨이퍼를 사용하였다. 먼저 시편의 제작과 특성 평가를 용이하게 하기 위해서 웨이퍼를 100×1000 μm²의 크기로 잘라낸 후 유기물을 제거하기 위하여 초음파 세척기를 이용하여 순차적으로 TCE(Trichloroethylene)에서 3분, acetone에서 3분, methyl alcohol에서 3분, DI water에서 3분 세척하였다. 최종 Si 표면에

* : 순천향대학교 정보기술공학부
(충남 아산시 신창면 읍내리 산 53-1
Fax : 041-530-1333
E-mail : zuno75@hanmail.net
** : 선문대학교 전자공학과
*** : 한국전기연구원

형성된 잔류막을 제거하기 위하여 Piranha sol'n cleaning ($H_2SO_4+H_2O_2=4:1$)에 10분 동안 세정하고 자연 산화막을 제거하기 위해 BOE에 5분간 세정하였다. 이렇게 세정 공정을 마친 후, 사진 공정과 노광 공정을 하고, DC/RF sputter를 이용하여 Ti(400Å), Si(200Å), Pt(200Å)를 증착하였다. 다층으로 증착된 Pt/Si/Ti를 lift off 시키고 낮은 접촉

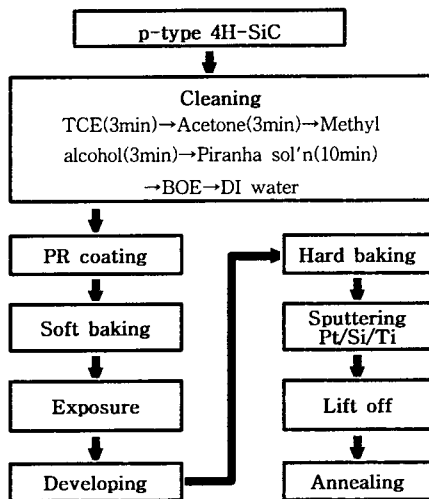


그림 1. 시편 제조 공정도

Fig. 1. Flow chart for device fabrication sequence

저항을 갖기 위하여 RTP(rapid thermal process)를 사용하여 3.4×10^{-5} Torr의 진공에서 500°C, 950°C에서 각각 1시간, 10분의 2-step의 열처리 과정을

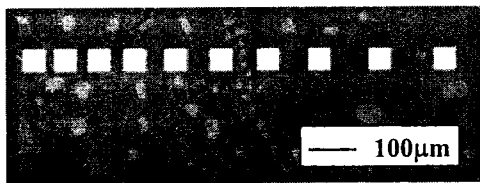


그림 2. Pt/Si/Ti/p-type 4H-SiC의 구조로 제작된 소자

Fig. 2. A Ten-terminal contact resistance test structure

수행하였다. 그림 1은 시편의 제조 공정을 보여주며, 그림 2는 TLM법으로 접촉 저항을 측정하기 위하여 제작된 시편으로써 단자의 크기는 $50 \times 50 \mu m$ 이며 단자 사이의 거리는 $10 \mu m$ 씩 증가시켜 하였다[6]. Pt/Si/Ti의 다층의 두께는 800Å으로 제작하였다.

2.2 접촉 저항 측정

그림 2의 구조로 제작된 시편에서 접촉 저항을 측정하기 위하여 probe station을 사용하였다. 10개의 단자 구조에서 접촉저항을 구해보면 다음과 같다.

$$R_1 = R_s \left(\frac{l_1}{w} \right) + 2 R_c \quad (1)$$

$$R_2 = R_s \left(\frac{l_2}{w} \right) + 2 R_c \quad (2)$$

이 식 (1),(2)을 연립하면 다음과 같은 접촉 저항 R_c 를 얻을 수 있다.

$$R_c = \frac{(l_1 R_2 - l_2 R_1)}{2(l_1 - l_2)} \quad (3)$$

그러므로 거리 l 을 갖는 접합 단자간의 전체 저항 R_T 는 다음과 같다.

$$R_T = R_s \left(\frac{l}{w} \right) + 2 R_c \quad (\delta=0 \text{인 경우}) \quad (4)$$

전체 저항 R_T 와 접합 단자간 거리 l 에 대해서 접촉 저항 R_c 를 구할 수 있다. 그림 3은 10개의 단자의 접촉 저항을 측정한 후 위의 식으로 계산된 접촉 비저항(ρ_c)를 나타내고 있다.

3. 결과 및 고찰

그림 3은 500°C, 950°C에서 각각 1시간, 10분의 2-step 열처리한 Pt/Si/Ti/ p형 4H-SiC 시편과 Ti만을 증착한 시편의 I-V 특성 곡선이다.

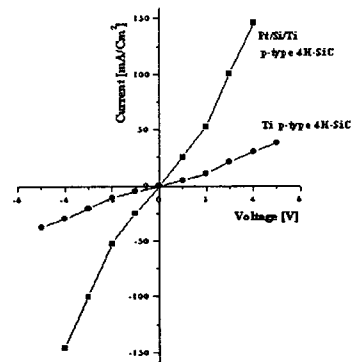


그림 3. Ti/p형 4H-SiC, Pt/Si/Ti/p형 4H-SiC에 관한 특성 곡선

Fig. 3. I-V characteristic of Ti metallization on p-type 4H-SiC, which was 2-step annealed.

그림 3의 그래프에서 보이는 바와 같이 Ti/Si/Pt의 다층 구조를 갖는 시편이 오염성 접합에 대해서 뛰어난 특성을 보여주고 있음을 알 수 있다.

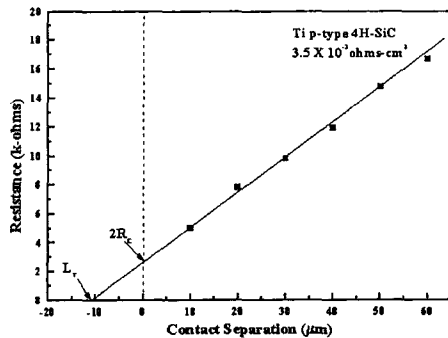


그림 4. Ti/p형 4H-SiC 시편의 TLM 패턴의 거리에 따른 접촉 저항

Fig. 4. TLM linear plot of the contact resistance as a function of contact separation for the Ti Ohmic contact on p-type 4H-SiC, which was 2-step annealed

그림 4, 5는 TLM 패턴의 거리에 따른 접촉 저항값을 나타내고 있는데 Pt/Si/Ti의 구조는 $6.2 \times 10^{-4} \Omega / \text{cm}^2$ 으로 Ti 구조의 $3.5 \times 10^{-3} \Omega / \text{cm}^2$ 보다 낮은 값을 가짐을 알 수 있다.

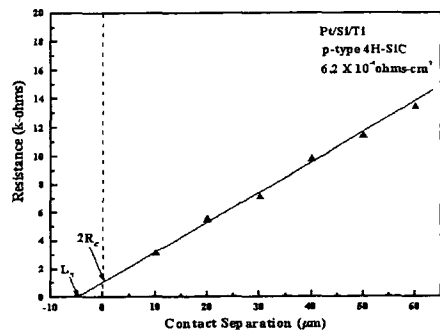


그림 5. Pt/Si/Ti/p형 4H-SiC 시편의 TLM 패턴의 거리에 따른 접촉 저항

Fig. 5. TLM linear plot of the contact resistance as a function of contact separation for the Pt/Si/Ti Ohmic contact on p-type 4H-SiC, which was 2-step annealed.

그림 6은 2단계 열처리에 따른 계면의 상호반응을

알아보기 위한 AES 분석 결과로 깊이에 따른 Si와 Ti의 농도 변화에서 알 수 있듯이 Si와 Ti가 서로 혼합되어 SiC로 확산되었음을 알 수 있다.

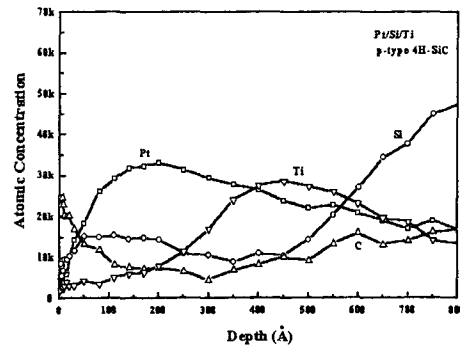


그림 6. 2단계 열처리 공정 후 AES 분석.

Fig. 6. AES analysis after 2-step annealed.

그림 7은 2단계 열처리 공정후의 XRD 분석 결과로서 열처리 전엔 형성 되지 않았던 Ti-silicides, Pt-silicides peak가 2단계 열처리 과정 후에 나타남에 따라 열처리 과정에서 silicide가 형성되었음이 사료된다.

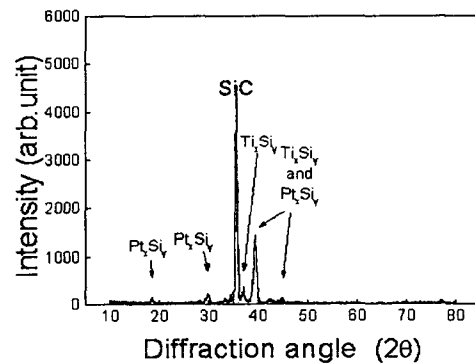


그림 7. 2단계 열처리 공정 후 XRD pattern

Fig. 7. XRD pattern after 2-step annealed.

4. 결론

본 연구에서는 Pt/Si/Ti/ p형 4H-SiC 다층간의 접합 계면의 미세 구조와 접촉 특성의 상관 관계를 통하여 낮은 오염성 접합 특성을 확인하였으며, Ti/ p형 4H-SiC과 Pt/Si/Ti/ p형 4H-SiC 구조의

오염성 접합에 관한 연구 결과는 중간층으로 Si층을 증착함으로써 Ti 금속의 산화 방지는 물론 silicide 형성시의 Pt/Ti의 확산에 의한 계면 전위장벽의 변화에 안정화를 이루었다는 것을 확인하였다.

감사의 글

본 연구는 산업자원부에서 시행하는 SiCDDP(SiC Device Development Program) 과제의 지원으로 연구되어졌습니다.

참고 문헌

- [1] C. Y. Ting, C. Y. Chen, *Solid-State Electronics*, Vol. 14, pp. 433, 1971
- [2] N. A. Papanicolaou, A. Edwards, M. V. Rao, W. T. Anderson, "Si/Pt Ohmic contacts to p-type 4H-SiC", *Appl. Phys. Lett.*, Vol. 73, No. 14, 5 October 1998
- [3] U. Schmid, R. Getto, S. T. Sheppard and W. Wondrak, "Temperature behavior of specific contact resistance and resistivity on nitrogen implanted 6H-SiC with titanium silicide ohmic contacts", *Appl. Phys. Lett.*, Vol. 85, No. 5, 1 March 1999
- [4] S. K. Lee, C. M. Zetterling, M. Östling, J. P. Palmquist, H. Hogberg, U. Jansson, "Low resistivity ohmic titanium carbide contacts to n- and p-type 4H-SiC", *Solid-State Electronics*, Vol. 44, pp. 1179-1186, 2000
- [5] L. Kassamakova R. D. Kakanakov, I. V. Kassamakov, N. Nordell, "Temperature stable Pd ohmic contacts to p-type 4H-SiC formed at low temperatures", *IEEE transactions on electron devices*, Vol. 46, No. 3, March 1999
- [6] H. H. Berger, "Models for contacts to planar devices", *Solid-State Electronics*, Vol. 15, pp. 145-158, 1972