

# 고속 저전력 곱셈기에 적합한 ENMODL CLA 설계

백한석, 진중호, 송근호, 문성룡, 한석봉, \*김강철  
경상대학교 전자공학과  
\* 여수대학교 컴퓨터 공학과

## Design of ENMODL CLA for Low Power High Speed Multiplier

H. S. Baek, J. H. Jin, G. H. Song, S. R. Moon, S. B. Han, \*K. C. Kim  
Dept. of Electronic Eng., Gyeongsang National University  
\*Dept. of Computer Eng., Yosu National University  
E-mail : hsbaek@vlsi.gsnu.ac.kr

### 요약

본 논문에서는 고속 저전력 곱셈기에 적합한 CPA(Carry Propagation Adder)부분의 ENMODL(Enhanced NORA MODL) 설계방식을 제안한다.

ENMODL 설계방식은 반복성이 많은 CLA(Carry-Look-ahead Adder) 가산기와 같은 회로에서 많은 면적을 줄일 수 있고 동작 속도를 빠르게 할 수 있다.

따라서 본 논문에서는 저전력 고속 곱셈기에 적합한 CPA 부분을 ENMODL CLA 가산기로 설계했고 현대 0.6 $\mu$ m 2-poly 3-metal 공정파라미터를 이용하여 HSPICE로 시뮬레이션 하여 회로의 성능을 확인하였다.

또한, CADENCE tool을 이용하여 16비트 곱셈기에 적합한 ENMODL CLA를 레이아웃 하여 칩 제작 중에 있다.

### I 서론

현재 컴퓨터 아키텍처 및 CMOS VLSI 설계기술의 발전으로 집적도가 높고 고속 연산 기능을 수행할 수 있는 고성능 마이크로 프로세서의 개발이 가속화되고 있다.

특히 마이크로 프로세서나 영상신호처리에 이용되는 곱셈기는 중요한 연산회로로서 어떤 알고리즘 및 캐리 생성 방식을 사용하느냐에 따라 그 성능이 결정된다. 현재 널리 사용되고 있는 곱셈기의 구조는 Booth encoder와 부분곱 생성부분인 Booth decoder, 부분곱 압축 블록, 최종합을 계산하는 CPA(Carry Propagation

Adder) 부분으로 구성되어 있다.[1,2,3]

현재 많이 사용되는 Booth 알고리즘 방식은 개선된 Booth 알고리즘(Modified Booth Algorithm)으로써 Booth encoder와 decoder부분으로 구성되어 있다.[1,2,3]

본 논문에서 사용한 Booth 알고리즘은 기존 방식들 중 성능을 비교하여 가장 우수한 알고리즘을 사용하였다.

Booth 알고리즘에서 생성된 부분곱을 압축하는 부분곱 압축 블록과 CPA는 곱셈기의 연산에서 큰 비중을 차지하고 있다. 본 논문에서 사용한 부분곱 압축 블록은 기존 방식 중 속도 및 면적에서 우수한 4-2 압축블록을 사용하였다.[1]

CPA부분은 CLA가 많이 사용되고 있으며 현재 빠른 동작 속도와 적은 면적이 요구되고 있다.

본 논문에서는 곱셈기의 최종합을 계산하는 CPA부분에 다이내믹 CMOS회로인 ENMODL CLA를 사용하여 기존의 정적 CMOS에 비해 칩 면적이 작고, 고속으로 논리를 구현하였다.[5]

그리고 설계한 ENMODL CLA를 현대 0.6 $\mu$ m 2-poly 3-metal 공정파라미터를 이용하여 HSPICE 시뮬레이션 하여 회로의 성능을 확인하였고, 또한, CADENCE tool을 이용하여 ENMODL CLA를 가지는 16비트 곱셈기를 레이아웃 하였다.

### II. 곱셈기의 구조

곱셈기의 구조는 크게 승수와 피승수를 이용하여 부분곱을 만드는 Booth 알고리즘 부분과, 부분곱을 압축

하는 부분, 마지막으로 최종합을 출력하는 CPA부분으로 이루어져 있다.[1,2,3]

1. Booth 알고리즘

Booth 알고리즘은 일반적으로 덧셈 또는 뺄셈 연산을 결정하는 Booth encoder와 여기서 결정된 신호로부터 계산에 사용할 값을 만들어 내는 Booth decoder로 구성된다[2]. 현재 많이 사용되는 Booth 알고리즘은 개선된 Booth 알고리즘이며,[1,2] 표 1은 기존의 Booth 알고리즘을 비교 분석한 것으로 참고문헌 3의 Booth 알고리즘의 성능이 가장 우수함을 알 수 있다. 따라서 본 논문의 곱셈기에는 비교 논문 중 성능이 가장 우수한 참고문헌 3의 Booth 알고리즘을 사용하였다.

표 1. Booth 알고리즘 비교

	Number of TRs	소비전력 (pw)	동작속도 (nS)
참고문헌 1	58	1.26897	5.82e-10
참고문헌 2	50	1.0728	4.33e-10
참고문헌 3	46	1.32287	3.23e-10

2. 부분곱 압축블록

큰 수의 곱셈에 있어서 부분곱의 개수는 곱셈기에서 큰 부분을 차지하게 된다. 따라서 부분곱 연산 속도가 곱셈기의 성능에 영향을 주게 되므로, 현재 많이 사용하는 방법이 부분곱 압축블록이다[2].

대표적인 부분곱 압축블록은 4-2 압축블록, 7-2 압축블록, 9-3 압축 블록이 있다[4].

본 논문에서는 이들 중 면적과 속도면에서 우수한 4-2 압축블록을 사용하였고, 그림1은 본 논문에서 사용한 4-2 압축블록의 구조로써 전가산기로 이루어져 있다.

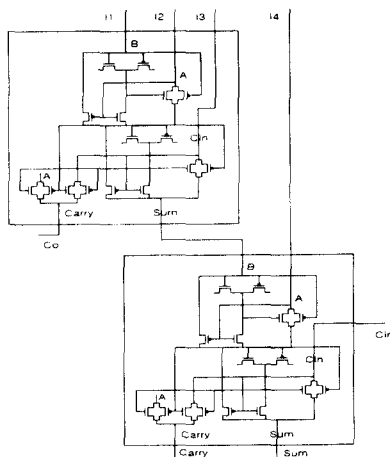


그림 1. 4-2 압축블록

3. CPA

CPA는 부분곱 압축 블록의 연산결과를 계산하여 최종합을 구하는 부분이다. CPA는 곱셈기에서 큰 부분을 차지하고 있으므로 곱셈기의 성능에 많은 영향을 주는 요인이 되며 종류는 CSA(Carry Select Adder), CLA 등이 있다. [4] 현재 많이 사용하는 CLA는 캐리 전파 시간이 빠르나 회로가 커지는 단점을 가지고 있어서 회로의 면적이 작으면서 속도가 빠른 CLA의 설계 방법이 요구된다.

따라서 본 논문에서는 면적이 작고 동작 속도가 빠른 다이내믹 로직인 ENMODL을 이용하여 CLA를 설계하였다.

III. ENMODL 구조

1. NMODL

NMODL은 MODL회로의 첫 단 출력의 인버터를 제거하고, 다음 단의 N블록을 P블록으로 바꾸면 다음 단의 인버터가 제거되어 면적을 줄일 수 있고, 2게이트 지연시간을 줄일 수 있는데 이러한 구조를 NMODL이라 한다. NMODL회로는 4개의 게이트가 줄어들고, 2게이트의 전파지연을 줄일 수 있는 장점이 있다. 그러나 NMODL 회로의 P블록에는 nMOS보다 캐리어의 이동도가 떨어지는 pMOS가 직렬로 연결되어 신호지연이 증가하고, 출력의 구동능력이 약화될 수 있고, N블록에 상용되는 clk에 더하여 clk'가 사용되므로 클럭회로가 복잡하게 되는 단점들이 있다

2. EMODL

2단으로 구성되는 MODL 회로에서는 두 번째 단계 사용되는 MODL 게이트의 모든 입력이 MODL 게이트의 출력으로부터만 들어오는 경우에 프리차지 시간 동안에 입력이 모두 LOW가 되므로 디스차지 소자 nMOS는 회로의 동작에 아무런 영향을 미치지 못한다. 따라서 clk에 연결되어 있는 디스차지 소자 nMOS를 제거할 수 있는데 이러한 구조를 EMODL이라 한다.

3. ENMODL

본 논문에서 제안하는 ENMODL의 구조는 기존의 MODL의 장점을 유지하면서 NMODL의 단점인 프리차지 소자 pMOS를 제거하여 신호 지연시간을 줄이며 구동능력을 향상시키고 면적을 줄였다. 그림2는 ENMODL의 구조로써 NMODL의 프리차지 소자 pMOS를 제거하였다.[5]

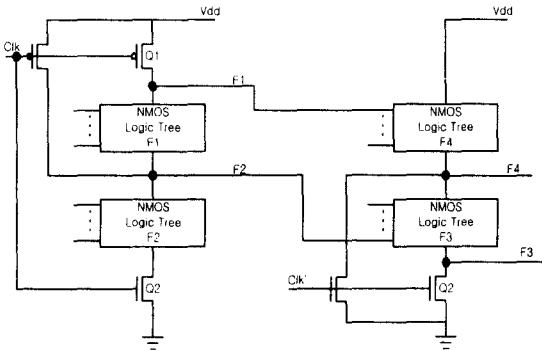


그림 2. ENMODL 구조

#### IV. ENMODL CLA 설계

##### 1. CLA 가산기의 캐리 발생 회로

가산기에서 가산이 수행되는 시간은 모든 전가산기를 통하여 캐리의 전파에 요구되는 시간에 의해 결정된다. CLA 가산기는 캐리를 미리 생성하여 전파지연을 제거함으로써 속도를 증가시키는 가산기이다. 캐리생성항을  $G_i$ , 캐리전파항을  $P_i$ ,  $i$  단의 입력 캐리를  $C_i$ , 출력 캐리를  $C_{i+1}$ 라 하면 다음 식으로 표시된다.

$$G_i = A_i \cdot B_i \quad (1)$$

$$P_i = A_i \cdot B_i' + A_i' \cdot B_i \quad (2)$$

$$C_{i+1} = G_i + P_i \cdot C_i \quad (3)$$

$i$ 가 커지게 되면 캐리발생회로가 커지게 되므로 분할하여 그룹캐리 생성항과 그룹캐리 전파항을 설계하여야 한다. 따라서 8비트로 분할하여 이에 대한 그룹캐리 생성항( $EGG_{i+7}$ )과 그룹캐리 전파항( $EGP_{i+7}$ )을 부울 함수로 표현하면 식 (5), (6)과 같다.

$$GP_{i+3} = EP_{i+3}' + EP_{i+1}' \quad (4)$$

$$GG_{i+3} = EG_{i+3}' \cdot (EP_{i+3}' + EG_{i+1}') \quad (5)$$

$$EGP_{i+7} = EP_{i+7}' + EP_{i+5}' + GP_{i+3} \quad (6)$$

$$EGG_{i+7} = EG_{i+7}' \cdot (EP_{i+7}' + EG_{i+5}' \cdot (EP_{i+5}' + GG_{i+3})) \quad (7)$$

##### 2. 26비트 ENMODL CLA설계

그림 3은 26 비트 CLA 가산기의 기본 블록도를 나타낸 것으로 본 논문에서 제안하는 26비트 CLA는 3개의 8비트 가산기와 나머지 2비트 처리부분으로 구성된다. 계층(level) 1에는 입력 A, B를 받아 캐리 생성항과 캐리 전파항을 발생시키고, 계층 3으로부터 받아들이는 캐리를 이용하여 합을 발생시킨다. 계층 2에서는 계층 1로부터 얻어진 캐리 생성항과 전파항을 이용하여 8 비트 그룹캐리 생성항과 전파항을 만들어 낸다. 이 계층은 P 블록으로 이루어지므로 clk'가 사용된다. 계층 3은 캐리를 발생시키는 부분으로 계층 1로부터 들어

오는 입력를 이용하여 캐리( $C_0-C_{26}$ )들을 발생시키는 부분과 계층 2로부터 얻은 그룹캐리 생성항과 전파항을 이용하여 그룹캐리  $C_8, C_{16}, C_{24}$ 를 만드는 부분으로 이루어진다.

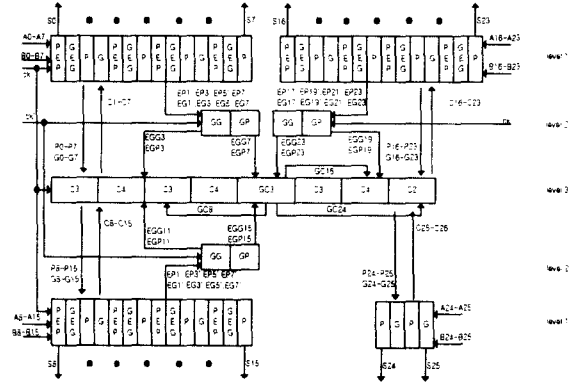
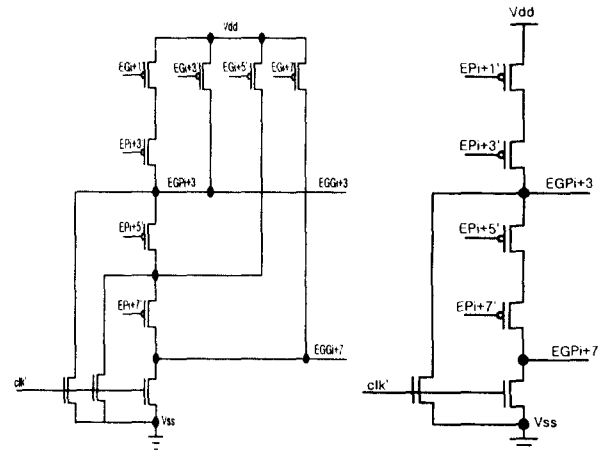


그림 3. 26비트 ENMODL CLA 블록도

계층2의 그룹캐리 생성항과 전파항은 본 논문에서 제안하는 ENMODL 구조를 이용하여 기존의 NMODL 보다 빠른 동작 및 면적을 줄이는 효과를 가져왔다. 아래 그림4는 본 논문에서 제안한 ENMODL구조로 설계된 그룹캐리 생성항과 전파항으로써 ENMODL의 특징인 프리차지 소자 pMOS가 제거된 것을 확인 할 수 있다.



(a) 그룹캐리 생성항 (b) 그룹캐리 전파항  
그림 4. ENMODL 그룹캐리 생성, 발생 회로

#### V. 모의실험 및 레이아웃

##### 1. 모의실험

본 논문에서 제안하는 방식을 확인하기 위하여 현대 0.6 $\mu$ m 2-poly, 3-metal 공정 파라미터를 이용하여 HSPICE로 모의실험 하였다.

그림 5는 NMODL 방식과 본 논문에서 제안한 ENMODL 방식의 CLA 동작 속도를 비교한 것이다.

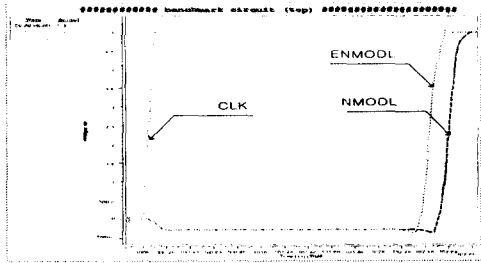


그림 5. 최종합 모의실험

표2는 본 논문에서 제안하는 방식과 기존방식의 트랜지스터 개수와 동작속도를 비교한 것이다.

표 2. 최종합 생성 블록 모의실험

	Number of TRs	C <sub>26</sub> (nS)
NMODL	992	2.55
ENMODL	986	2.39

표4에서 ENMODL 방식은 NMODL 보다 적은 개수의 트랜지스터로 구성 되어있다. ENMODL 회로의 특징인 프리차지 소자 pMOS의 감소로 인하여 면적 및 속도에 유리한 영향을 준다. 따라서 연산속도는 NMODL 보다 6.27% 성능 향상을 보여준다.

2. 레이아웃

본 논문에서 제안한 방식의 검증을 위하여 모의실험 파라미터를 이용하여 CADENCE로 레이아웃 하여 현재 칩 제작중에 있다.

그림 6은 ENMODL CLA의 전체 레이아웃으로 3개의 8비트 블록과 1개의 2비트 블록으로 구성되어 있다.

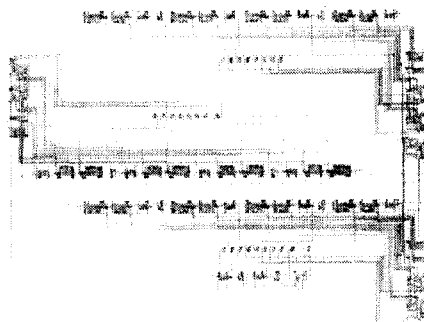


그림 6. 26비트 ENMODL CLA 레이아웃

VI. 결론

본 논문에서는 고속 저전력 곱셈기에 적합한 CPA부분을 다이내믹 로직인 ENMODL CLA를 설계하였다.

제안한 방식을 검증하기 위하여 현대 0.6μm 2-poly, 3-metal 공정 파라미터를 사용하여 모의실험 하였다.

모의실험 결과 제안한 ENMODL CLA 성능이 기존의 NMODL 방식보다 연산속도가 6% 우수함을 알았다.

모의실험 결과의 검증을 위하여 같은 공정을 사용하여 16×16비트 곱셈기를 레이아웃 하여 현재 칩 제작중에 있다.

본 논문에서 제안하는 ENMODL CLA를 가지는 곱셈기 회로는 고성능 연산기능을 요구하는 컴퓨터의 연산장치, 디지털 신호처리 시스템 및 특수 목적용 칩 등에서 뛰어난 성능을 제공할 수 있을 것으로 사료된다.

감사의 글

본 연구는 반도체설계교육센터(IDECE)의 지원을 받아 수행되었습니다.

참고문헌

- [1] Norio Ohkubo et al "A 4.4ns CMOS 54×54-b Multiplier Using Pass-Transistor Multiplexer" IEEE journal of solid-state circuit vol 30 No3 March 1995
- [2] Wen-Chang Yeh, Chein-Wei Jen "High-Speed Booth Encoded Parallel Multiplier Design" IEEE Transactions on Computer, VOL.49, NO.7, JULY 2000
- [3] G. Goto, et al "A 4.1-ns Compact 54 × 54-b Multiplier Utilizing Sign-Select Booth Encoders", IEEE Journal of Solid-State Circuits, Vol. 32, No. 11, Nov. 1997.
- [4] K. Hwang, Computer Arithmetic/Principles, Architecture, and Design, New York : Wiley, 1979.
- [5] 이효상, 송근호, 류진수, 김강철, 한석봉 " 개선된 MODL을 이용한 고성능 32비트 CLA가산기 설계" 대한전자공학회 하계종합학술대회 논문집.18(1) 1995 :357-360