

VHDL을 이용한 서보시스템의 공간벡터 변조부 설계

황정원, 박승엽
창원대학교 전자공학과
전화 : 055-266-5691 / 이동전화 : 017-674-5691

Design of the Space Vector Modulation of Servo System using VHDL

Chung-Won Hwang, Sung-Yub Park
Dept. of Electronic Eng. Changwon National University
E-mail : worinara@dreamwiz.com

Abstract

In this paper, we have space vector PWM(Pulse Width Modulation) circuits on the FPGA(Field Programmable Gate Array) chip designed by VHDL(Very high speed integrated circuit Hardware Description Language). This circuit parts was required at controlling the AC servo motor system and should have been designed with many discrete digital logics.

In the result of this study, peripheral circuits are to be simple and the designed logic terms are robust and precise. Because of it's easy verification and implementation, we could deduced that the customize FPGA chip show better performance than that of circuit modules parts constituted of discrete IC.

으므로, 설계의 관리, 교환, 수정 그리고 재사용이 용이하고, 컴퓨터 시뮬레이션 등을 통해 시스템의 검증할 수 있다.[5][6] 본 논문에서는 이러한 VHDL 장점을 활용하여 공간벡터 변조부, 데드타임 부를 모듈화하여 설계한 후, CPLD를 사용하여 원 칩(one-chip)으로 구현하고자 한다. 그림 1은 전체 시스템의 블록도를 나타낸다.

I. 서론

VHDL은 고급 프로그래밍 언어와 같은 원리에 기초를 두고 있으며 하드웨어적인 특징을 추가하여 표현능력을 향상시켜, 알고리즘 레벨에서 게이트 레벨까지의 하드웨어를 기술할 수 있도록 만들어 졌

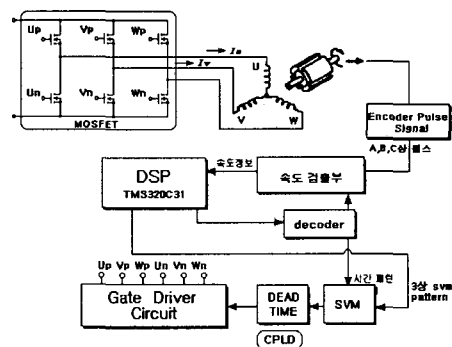


그림 1. 전체 시스템 블록도
Fig. 1 block diagram of total system

II. 공간벡터 변조부 설계

공간 벡터 변조(SVM, Space Vector Modulation) 기법은 다른 방식에 비해 직류 링크 이용률이 높고, 고조파 왜형을 줄일 수 있는 장점이 있으나 연산이 복잡하고 어려운 단점으로 일반 프로세서보다는 고속 프로세서를 이용할 경우 적합한 방식이다. 공간 벡터 변조 개념은 2차원 공간상의 임의의 공간벡터 즉, 출력 전압이나 출력 전류 벡터를 7개의 가능한 특정 벡터 중 임의의 벡터와 인접한 두 개의 공간 벡터와 그 벡터를 유지하는 시간을 나타내는 가중치와의 곱으로 표현하는 것이다.

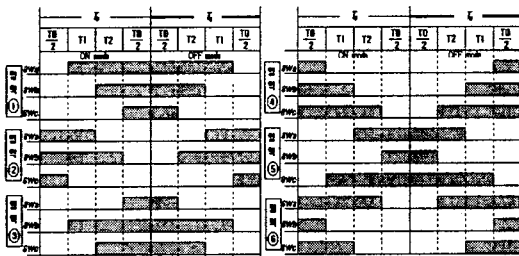


그림 2. 3상 대칭 변조의 패턴
Fig. 2. Switching Pattern of Symmetrical 3 phase modulation

2.1. 공간벡터 변조법

공간 벡터는 인버터의 스위칭을 통해 얻을 수 있는 6개의 출력전압 벡터와 2개의 무효벡터 즉, 스위치가 모두 1이거나 0인 상태를 조합하여 근사적으로 얻어낸다. 기준 전압 벡터가 결정되면, 기준 전압의 크기와 변조 각을 사용하여 인버터 스위치의 지속 시간을 변조하여 평균값이 기준 전압 벡터를 추종할 수 있다. 상태 공간 벡터 변조법에 의해 계산된 전압 패턴을 전동기에 인가하면, 3상의 PWM펄스가 공간 벡터와 유기적인 결합으로 스위칭을 행하므로, 스위칭 횟수를 줄일 수 있다.[1]~[4]

3상 대칭변조는 대칭 PWM 패턴 주기를 가지도록 영전압 벡터를 스위칭 주기 T_0 의 처음과 마지막에 $T_0/2$ 씩 분할하여 설정하는 방식으로 그림 8에서 스위칭 패턴을 보인다. 영역 ①의 지령 전압 V^* 를 발생하기 위하여 인가하는 전압벡터를 식으로 표현하면 식 (1)와 같다.

$$T_s = \frac{T_0}{2} V(0) + T_1 V(1) + T_2 V(2) + \frac{T_0}{2} V(7)$$

2.2 공간벡터 변조부 설계

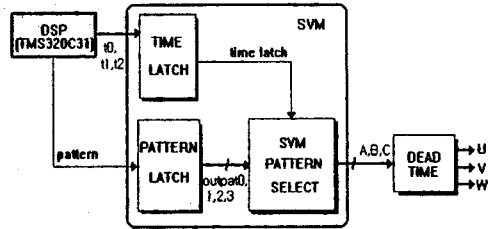


그림 3. 공간벡터 변조 시스템의 블록도
Fig. 3. Block diagram of SVM system

본 논문에서는 대부분의 특성에서 우수성을 보이는 3상 대칭 변조법으로 SVM을 구현하고, 3상 대칭변조의 패턴은 그림 2와 같고, 그 시스템의 블록도는 그림 3과 같다. DSP에서 계산하여 던져주는 t_0, t_1, t_2 시간에 data를 latch하여, 각각 temp0, temp1, temp2에 저장하는 TIME LATCH와 SVM 패턴을 내보내기 위해 decoder 출력 신호 pattern이 상승 에지 일 때, 각 영역별로 $V_0 \sim V_7$ 의 패턴이 저장되어있는 것을 3비트씩 나누어 저장하는 부분 PATTERN LATCH가 있고, SVM PATTERN SELECT에서는 TIME LATCH와 PATTERN LATCH에서 저장된 시간 정보와 내장된 패턴영역을 선택하여 출력하는 부분이다. 그림 4에서는 패턴을 출력하는 타이밍을 나타내고, 표 1은 SVM PATTERN SELECT 부의 VHDL 코드이다.

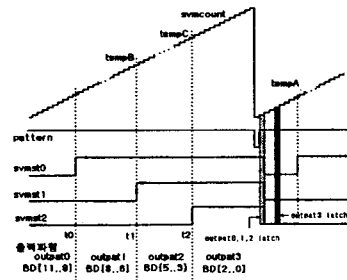


그림 4. 패턴 출력시점에서 타이밍
Fig. 4 Timing of pattern output point

III. 데드 타임부 설계

공간 전압 벡터 PWM 방법에서는 계산된 스위칭 함수에 따라 인버터의 각 스위치를 구성하는 위, 아래의

VHDL을 이용한 서보시스템의 공간벡터 변조부 설계

전력용 반도체 소자가 각각 온/오프 할 때 서로 상보 형태로 동작한다. 인버터의 각 스위치를 스위칭함수에 따라 온/오프 할 때는 순간적 단락이 발생하지 않도록 먼저 위, 아래의 스위치를 모두 일정한 시간동안 오프시켜야 하는데 이 시간을 데드타임(dead time)이라 하며 T_d 로 표시한다.

표 1. 공간 벡터 변조부의 VHDL 코드

```

    isd <= clk16M and clk4M
latch1 :
PROCESS(clk16M,clk4M,svmcoun,
        pattern,temp0,temp1,temp2)
BEGIN
    IF pattern = '0' THEN
        svmcoun <= (OTHERS => '0');
        tempA <= temp0;
        tempB <= temp1;
        tempC <= temp2;
    ELSIF clk4M'event AND clk4M = '1' THEN
        svmcoun <= svmcoun + 1;
    END IF;
END PROCESS;

comp :
PROCESS(svmcoun, tempA, tempB, tempC,
        output3, isd, pattern)
BEGIN
    IF isd='1' THEN
        IF svmcoun = tempA THEN
            svms10 <= '1';
        ELSIF svmcoun = "000000000010" THEN
            svms10 <= '0';
        END IF;

        IF svmcoun = tempB THEN
            svms11 <= '1';
        ELSIF svmcoun = "000000000010" THEN
            svms11 <= '0';
        END IF;

        IF svmcoun = tempC THEN
            svms12 <= '1';
        ELSIF svmcoun = "000000000010" THEN
            svms12 <= '0';
        END IF;
        svmstatus <= svms12 & svms11 & svms10;
    END IF;
END PROCESS;

selectsvrn :
PROCESS(isd,svmstatus,outputpattern, output0,
        output1, output2, output3)
BEGIN
    IF isd='0' THEN
        CASE svmstatus IS
            WHEN "000" => outputpattern <= output0;
            WHEN "001" => outputpattern <= output1;
            WHEN "011" => outputpattern <= output2;
            WHEN "111" => outputpattern <= output3;
            WHEN OTHERS => outputpattern <= output3;
        END CASE;
    END IF;
    pat_out <= outputpattern & (NOT outputpattern);
    AP <= pat_out(5); AN <= pat_out(2);
    BP <= pat_out(4); BN <= pat_out(1);
    CP <= pat_out(3); CN <= pat_out(0);
END PROCESS;
    
```

4MHz의 높은 주파수 즉, $0.25\mu s$ 를 8개를 세면 $2\mu s$ 가 되므로 이 후에 파형의 상승 에지가 출력되고, 하강에지는 그대로 출력되도록 VHDL로 설계 하였다. 파형은 그대로 U,V,W에 인가 되어 SVM을 구동하게 된다.

표 2는 데드타임부의 VHDL 코드이고, generate문을 사용하여 데드타임이 $U, \bar{U}, V, \bar{V}, W, \bar{W}$ 에 인가 되도록 반복 생성되도록 하였다.

표 2. deadtime 부의 VHDL 코드

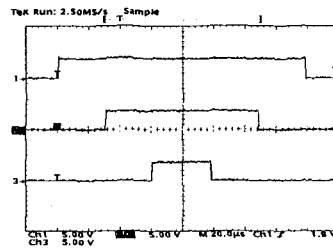
```

ARCHITECTURE dead OF dead_time IS
    SIGNAL coun : std_logic_vector(4 DOWNTO 0);
    SIGNAL tmp, out_tmp, tmp2 : std_logic;
BEGIN
    count :
    PROCESS(in_pat, clk_dead, coun, tmp)
    BEGIN
        IF in_pat = '0' THEN
            coun <= (OTHERS => '0');
            tmp <= '0';
        ELSIF clk_dead'event AND clk_dead='1' THEN
            coun <= coun + 1;
            IF coun="01000" THEN
                -- 4Mhz * 8clk = 2usec
                tmp <= in_pat;
            END IF;
        END IF;
    END PROCESS;
    tmp2 <= NOT tmp;
    out_pat <= NOT tmp2;
END dead;
    
```

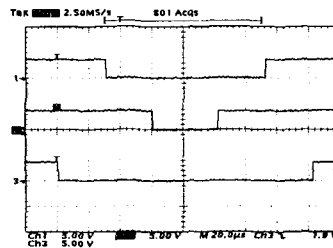
V. 실험결과

본 논문에서는 설계된 공간벡터 변조부 및 데드타임부를 ALTERA사의 FLEX8000 Series인 EPF8636ALC84-3에 구현하였다. EPF8636ALC84-3는 Reconfigurable Element로서 SRAM을 이용하므로, 최종적으로 로직회로가 완성되면 Configuration EPROM을 사용하여 구현한다. 그리고, 간단한 MOSFET로 구성된 드라이버를 사용하여 BLDC전동기를 구동하였다. [5]~[8]

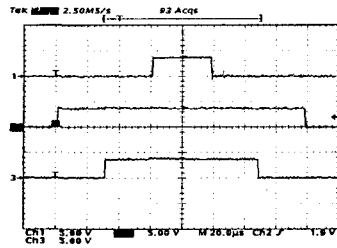
그림 5는 공간 벡터 패턴의 ①~⑥영역의 3상 대칭 변조법의 스위칭 동작과 실험결과를 보여준다. 이때 각 벡터는 $30^\circ, 90^\circ$ 이고 $t_0 = t_1 = t_2$ 이다. 그림 2의 스위칭 패턴과 비교하면 동일한 패턴이 출력함을 알 수 있다.



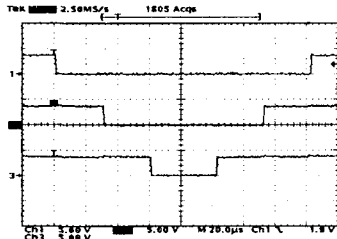
(a) 영역 ①



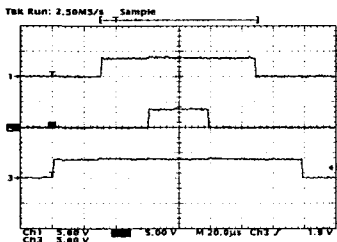
(b) 영역 ②



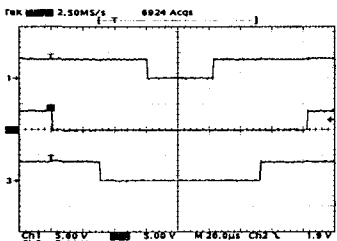
(c) 영역 ③



(d) 영역 ④



(e) 영역 ⑤



(f) 영역 ⑥

그림 5. 3상 대칭 변조의 패턴

Fig. 5. Pattern of 3-phase symmetry modulation

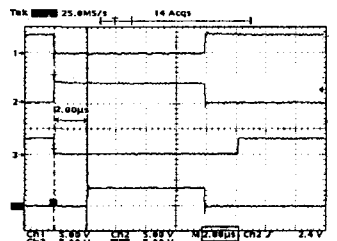


그림 6. 데드 타임

Fig. 6 Deadtime

그림 6은 2 μ s 후 상승 에지가 나타나는 데드타임의 출력 파형이다.

VI. 결 론

본 논문의 결과는 다음과 같이 요약할 수 있다.

첫째, 블록별로 설계하였기 때문에 오동작시 수정이 용이하고, 개발 단계에서는 Byte Blaster를 사용하여 다운로드를 하여 검증한 후, 최종적으로 EPC1213에 설계한 정보를 담아 시스템을 완성하였으므로 주변회로가 아주 간단해 졌다.

둘째, VHDL로 설계하였으므로, 문서화와 정보화에 유리하고, 하드웨어의 설계기간을 단축 시켰으며 기존의 하드웨어 설계 방식과 동등 이상의 특성을 보였다.

VHDL을 사용하여 CPLD나 FPGA에 구현된 하드웨어는 특성상 모든 신호를 내부에서 처리하므로 칩 자체의 특징과, 지연을 고려하고, 외부나 내부 잡음에 영향을 고려하여 설계한다면 좀더 좋은 연구 결과가 나오리라 생각한다.

VI. 참고문헌

- [1] H. W. Van der Broeck and H. C. Skudelny, "Analysis and Realization of a Pulse Width Modulator Based on Voltage Space Vectors", IEEE Trans on Ind. Appl., vol. 24, no. 1, pp. 142-150, 1988.
- [2] T. G. Habetler, "A Space Vector-Based Rectifier Regulator for AC/DC/AC Convertors", EPE Proc., Firenze, vol. 2, pp. 107-107, 1991.
- [3] Marian P.Kazmierkowski, "Novel Space Vector Based Current Controllers for PWM-Inverters", IEEE Trans, on Power ELEC, vol.6, no.1,1991 pp. 158-166.
- [4] 윤덕용 "공간전압벡터 PWM 기법을 이용한 영구 자석형 동기 전동기의 속도제어", 1995
- [5] 최기영, "VHDL의 이해", 기한재
- [6] 이대영, 조원경, 정연모, 오재근 "VHDL 기초와 응용", 홍릉과학출판사, 1997
- [7] 박세현 "디지털 시스템 설계를 위한 VHDL 기본과 활용", 그린, 1998
- [8] ALTERA Data book, 1998