파라미터화된 복소수 승산기 IP 코어

양 대성*, 이 승기, 신 경욱

금오공과대학교 전자공학부

Parameterized IP Core of Complex-Number Multiplier

Dae-Sung Yang*, Seung-Ky Lee, Kyung-Wook Shin

Kumoh National University of Technology

E-mail : kwshin@knut.kumoh.ac.kr

요 약

디지털 통신 시스템의 기저대역 신호처리 회로의 핵심 연산블록으로 사용될 수 있는 파라미터화된 복소수 승산기 IP (Intellectual Property)를 설계하였다. 사용자의 필요에 따라 승수와 피승수의 비트 수를 8-b~24-b 범위에서 2-b 단위로 선택할 수 있도록 파라미터화 하였으며, GUI 환경의 코어 생성기 (PCMUL_GEN)에 의해 지정된 비트 크기의 복소수 승산기의 VHDL 코드를 생성한다. 설계된 복소수 승산기 IP 코어는 redundant binary (RB) 수치계와 본 논문에서 제안하는 새로운 방식의 radix-4 Booth 인코딩/디코딩 회로를 적용함으로써, 내부 구조 및 배선이 단순화되어 고집적/고속/저전력의 장점을 갖는다. 설계된 IP는 Xilinx FPGA 보드로 구현하여 기능을 검증하였다.

ABSTRACT

A parameterized complex-number multiplier (PCMUL) core IP (Intellectual Property), which can be used as an essential arithmetic unit in baseband signal processing of digital communication systems, is described. The bit-width of the multiplier is parameterized in the range of 8-b~24-b and is user-selectable in 2-b step. The PCMUL_GEN, a core generator with GUI, generates VHDL code of a CMUL core for a specified bit-width. The IP is based on redundant binary (RB) arithmetic and a new radix-4 Booth encoding/decoding scheme proposed in this paper. It results in a simplified internal structure, as well as high-speed, low-power, and area-efficient implementation. The designed IP was verified using Xilinx FPGA board.

Ⅰ. 서 론

반도체 제조기술의 급속한 발전에 따라 단일 칩에 백만 게이트 이상의 소자를 집적시킬 수 있게 되었으며, 그 결과 단일 칩에 시스템을 집적시키고자 하는 SoC (System-on-Chip) 기술이 비메모리 반도체의 핵심으로 부각되고 있다. SoC급의 반도체는 설계의 복잡성으로 인한 개발기간과 비용의 증가가 큰 문제점으로 인식되고 있으며, 최근 전 세계 반도체 업계는 설계자산의 재사용이라는 방법을 통해 설계기간을 단축함으로써 비메모리 반도체의 설계 생산성을 향상시키기 위한 시도를 하고 있다. 이와 같이 반도체 설계의 재사용을 가능케 하는 것이 반도체 IP (Intellectual Property) 이다. 반도체 IP는 "반도체 디바이스 내에 구현되기 위해 미리 정의된 기능 블록"을 일컬으며, 가상부품 (Virtual Component; VC)으로 불리기도 한다.[1] 반도체 IP는 아날로그 또는 디지털의 물리적 라이브러리 기능, 카운터나 멀티플렉서와 같은 기본 블록, 승산기나 가산기와 같은 연산 코어, 그리고 마이크로 프로세서/컨트롤러와 같은 시스템 레벨 마크로 등 시스템 설계에 재사용이 가능하도록 가공 및 표준화된 설계자산을 포함한다. 기능이 파라미터화 되어 사용자가 필요에 따라 변형이 가능한 형태도 있다.[1,2]

본 논문에서는 디지털 통신 및 신호처리 시스템의 핵심 연산장치로 사용되는 복소수 승산기를 반도체 IP로 설계하였으며, 사용자의 필요에 따라 승수와 피승수의 비트 수를 8-b~24-b 범위에서 2-b 단위로 선택할 수 있도록 파라미터화 하였다. 개발된 복소수 승산기 코어 (PCMUL) IP는 전자부품연구원의 "IP 등록 표준안 V3.0"[2]과 RMM

(Reuse Methodology Manual)[3]의 지침을 만족하도록 설계되었으며, FPGA를 이용한 하드웨어 구현을 통하여 검증하였다.

II. 파라미터화된 복소수 승산기 IP

1. RB 수치계를 이용한 복소수 승산기

복소수 승산기 구현은 4개의 실수 승산기와 2개의 실수 가산기를 사용하는 방법이 널리 사용되고 있다. 이와 같은 고전적인 방법에서는 실수 승산기 및 가산기의 성능이 복소수 승산기의 성능을 결정하는 요인이 되며, 또한 실수 승산후의 가산/감산과정이 전체 복소수 승산기의 속도를 제한하는 단점을 갖는다.[4]

본 논문에서는 디지탈 통신 시스템의 기저대역 신호처리에 적합한 고속/고집적/저전력 복소수 승산기 IP의 구현을 위해 RB 수치계를 이용하였으며, 문헌 [4]에 발표된 radix-4 Booth 인코딩과 RB 부분곱 변환을 사용하였다. 이를 통해, 2진 수치계를 이용하는 고전적인 방법에 비교해 부분곱의 수가 ½로 감소되어 회로의 단순화와 함께 승산 속도의 향상, 전력소모의 감소 등을 장점을 갖는다.

설계된 복소수 승산기의 구조는 그림 1과 같으며, 두개의 RB 승산기로 구성된다. 각각의 RB 승산기는 RB 부분곱 생성기, RB 가산기, 그리고 수치계 변환기 등의 기능블록으로 구성되며, 복소수 연산의 실수부/허수부 연산을 담당한다. RB 부분곱 생성기는 radix-4 Booth 인코딩을 통해 RB 부분곱과 보정항을 생성하며, 이진 부분곱으로부터 부가적인 하드웨어 없이 직접 RB 부분곱이 생성된다. RB 가산기는 생성된 부분곱과 보정항을 가산하는 복소수 승산기능을 수행하며, RB 전가산기와 반가산기의 배열로 구성된다. 수치계 변환기는 RB 수치계로 연산된 승산 결과를 2진 수치계로 변환하는 기능을 수행한다.

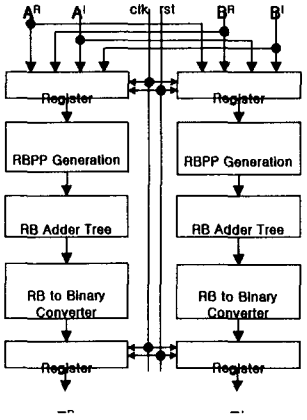


그림 1. 복소수 승산기의 구조

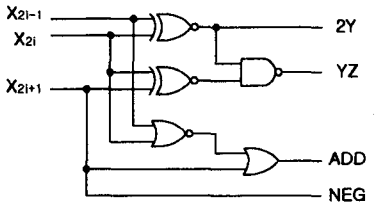
2. 새로운 Booth 인코딩/디코딩 방식

승산기 구현에 널리 사용되고 있는 Booth 알고리듬은 승수를 3비트씩 묶어 그 비트 패턴에 따라 부분곱을 생성함으로써 부분곱의 수를 ½로 줄이는 방법이다. 일반적으로, Booth 인코딩/디코딩 회로의 구현방법에 따라 승산기의 면적, 전력소모 등이 크게 영향을 받으며, 면적을 최소화하기 위한 compact 방식[5-6]과 sign-select[8] 방식, 그리고 전력소모를 줄이기 위한 race-free[7] 방식 등이 제안되고 있다.

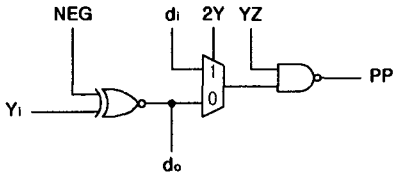
본 논문에서는 새로운 Booth 인코딩/디코딩 회로방식을 고안하여 IP 설계에 적용하였다. 제안되는 방식은 면적과 전력소모를 동시에 줄일 수 있도록 하였으며, 인코딩 진리표는 표 1과 같으며, 인코딩 및 디코딩 회로는 그림 2와 같다. 본 논문에서 제안되는 방식은 Booth 인코딩/디코딩 회로(즉, 부분곱 생성 블록)가 차지하는 면적을 최소화함과 아울러 신호의 지연 시간을 균일화함으로써 race 현상을 방지하여 저전력 소모를 장점으로 갖는다.

표 1. 제안된 Booth 인코딩 방식의 진리표

X_{2i-1}	X_{2i}	X_{2i+1}	$Q(k)$	2Y	YZ	NEG	ADD
0	0	0	0	1	0	0	1
0	0	1	1	0	1	0	0
0	1	0	1	0	1	0	0
0	1	1	2	1	1	0	0
1	0	0	-2	1	1	1	1
1	0	1	-1	0	1	1	1
1	1	0	-1	0	1	1	1
1	1	1	0	1	0	1	1



(a) Booth 인코딩 회로



(b) 디코딩 회로

그림 2. 제안된 Booth 인코딩 및 디코딩 회로

표 2는 본 논문의 방식과 기존의 방식을 비교한 것이다. 지연 시간은 버퍼를 제외한 Booth 인코딩/디코딩 회로의 연산 시간을 게이트 단위로 표시한 것이며, 2입력 게이트는 1, MUX와 인버터는 0.5, 그리고 3입력 게이트는 1.5로 계산하였다. 면적은 24-b×24-b 복소수 승산기에 대해 Booth 인코딩/디코딩 회로의 면적을 2입력 게이트 및 MUX는 1, 3입력 게이트는 1.5, 그리고 인버터는 0.5로 하여 계산한 것이다. 표 2에서 보는 바와 같이, 본 논문의 방식은 기존의 방식에 비해 배선의 복잡도가 낮고 면적 및 지연 시간이 적은 특성을 갖으며, 또한, race-free 방식으로 동작하므로 저전력 특성을 가져 고집적/고속/저전력 복소수 승산기 구현에 매우 적합하다.

표 2. Booth 인코딩/디코딩 회로의 비교
(24-b×24-b 승산의 경우)

	Compact [5,6]	Race-free [7]	Sign-select [8]	본 논문의 방법
인코더/디코더 연결 신호 수	3	4	4	3
Race-free	×	○	×	○
지연시간 (gate)	5	3.5	3.5	3
면적 (gate)	4992	8040	3360	3840

3. 복소수 승산기 코어 생성기

설계된 PCMUL은 사용자의 필요에 따라 승수와 피승수의 비트 수를 8-b~24-b 범위에서 2-b 단위로 선택할 수 있도록 파라미터화된 IP이다. 승산기의 비트 수를 지정하면 복소수 승산기의 VHDL 코드가 생성되도록 GUI (Graphic User Interface) 환경의 복소수 승산기 코어 생성기 (PCMUL_GEN)를 개발하였다.

PCMUL_GEN의 흐름도는 그림 3과 같다. 승수와 피승수의 비트 수가 지정되면, 이들 중 비트 수가 작은 것이 승수, 큰 것이 피승수가 되도록 함으로써 생성되는 부분곱 수가 최소화되도록 하였으며, 이를 통해 승산 속도가 향상되도록 하였다. 승수와 피승수의 비트 수가 확정되면, 미리 개발된 VHDL Component Library를 이용하여 RB 부분곱 생성 블록, 부분곱 가산 블록 및 수치계 변환 블록 등의 VHDL 코드를 생성하고, 이를 통해 전체 CMUL의 VHDL 코드가 생성된다.

PCMUL_GEN으로 생성 가능한 승수와 피승수 비트 수의 조합은 그림 4와 같으며, 45가지 종류의 복소수 승산기 중 사용자의 필요에 따라 원하는 승산기의 VHDL 코드를 자동으로 생성할 수 있다. 그림 5는 PCMUL_GEN을 이용하여 16-b×16-b 복소수 승산기 코어를 생성한 화면이다.

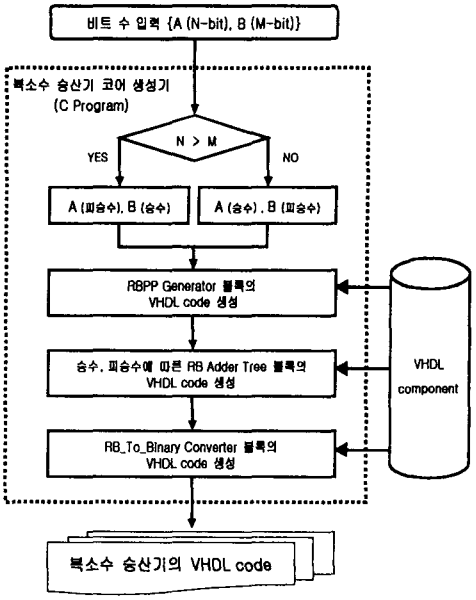


그림 3. PCMUL_GEN의 흐름도

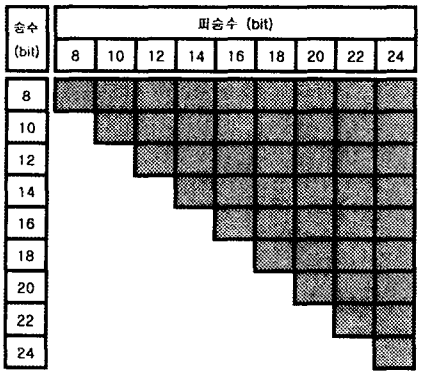


그림 4. 승수/피승수의 파라미터 범위 및 생성 가능한 비트 조합

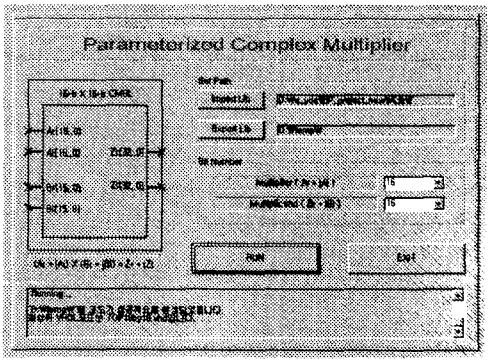


그림 5. PCMUL_GEN의 수행 화면

III. 설계된 PCMUL IP의 검증

설계된 PCMUL IP는 C 언어 모델링으로 생성된 10,000개의 랜덤 벡터와 Altera MAX+PLUS II를 이용한 시뮬레이션을 통해 검증하였다. 또한, Synopsys, EPIC과 IDEC 0.25-㎛ 표준 셀 라이브러리를 이용하여 게이트 수, 동작속도 및 전력소모 등의 성능을 분석하였으며, 일부 결과를 표 3에 요약하였다.

개발된 IP는 최종적으로 FPGA 구현을 통해 검증하였으며, FPGA 보드, PC 및 ISA 인터페이스 보드, 구동 소프트웨어 등으로 구성되는 검증 시스템은 그림 6과 같다. FPGA 디바이스는 Xilinx XCV1000E를 사용하였으며, Visual C++로 테스트 프로그램을 작성하였다. 그림 7은 설계된 IP가 정상적으로 동작함을 나타내는 화면이다. 화면의 왼쪽은 승산기에 입력되는 1,500개의 승수와 피승수 복소수 벡터들이며, 오른쪽은 승산 결과로 얻어진 복소수 벡터를 보이고 있다.

IV. 결 론

사용자의 필요에 따라 승수와 피승수의 비트수를 8-b~24-b 범위에서 2-b 단위로 선택할 수 있도록 파라미터화된 복소수 승산기 IP를 전자부품연구원의 "IP 등록 표준안 V3.0"을 만족하도록 개발하고, FPGA 구현을 통해 검증하였다. RB 수치계와 본 논문에서 제안된 새로운 Booth 인코딩/디코딩 회로를 적용하여 설계되었으며, 기존의 방식에 비해 고속/저전력의 장점을 가져 디지털 신호처리 및 통신 시스템의 기저대역 신호처리 회로의 설계에 이용 가능할 것으로 평가된다.

표 3. PCMUL IP의 성능 분석 결과

	8-b×8-b	10-b×10-b	12-b×12-b	14-b×14-b
면 적(gate)	2281	3362	4627	6152
지연시간(ns)	6.58	7.06	7.34	7.83

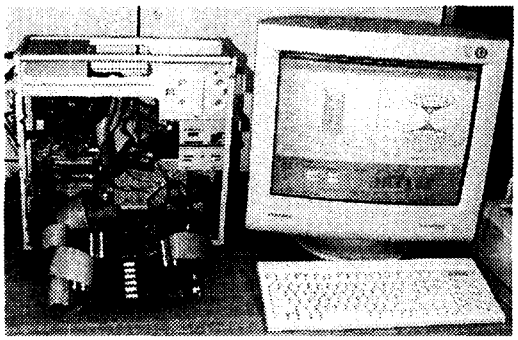


그림 6. PCMUL의 검증 시스템 사진

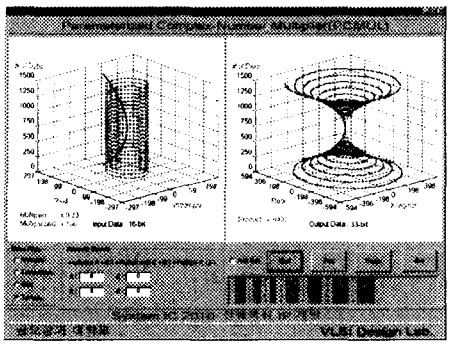


그림 7. PCMUL의 검증 시스템 출력 화면

참고문헌

[1] 임영이, 이재환, "반도체 IP 기술 및 시장동향", *http://etlars.etri.re.kr*, 한국전자통신연구원, 2001.

[2] "IP Standard Specification V3.0", *전자부품연구원*, 2001. 3. 19

[3] M. Keating and P. Bricaud, *Reuse Methodology Manual for System-On-A-Chip Designs*, Kluwer Academic Publishers, 1998.

[4] 김호하, 신경욱, "Radix-4 Booth Recoding과 RB 연산을 이용한 새로운 복소수 승산 알고리듬 및 10-bit CMAC 코어 설계", *대한전자공학회 논문지*, C편, vol. 35, no. 9, pp. 11-20, Sep. 1998.

[5] G. Goto, T. Sato, M. Nakajima, and T. Sukemura, "A 54×54-b regularly structured tree multiplier", *IEEE J. of Solid-State Circuits*, vol. 27, no. 9, pp. 1229-1236, Sep. 1992.

[6] N. Ohkubo, M. Suzuki, T. Shinbo, T. Yamanaka, A. Shimizu, K. Sasaki, and Y. Nakagome, "A 4.4-ns CMOS 54×54-b multiplier using pass-transistor multiplexer", *IEEE J. of Solid-State Circuits*, vol. 30, no. 3, Mar. 1995.

[7] R. Frid, "Minimizing energy dissipation in high-speed multipliers", *International Sym. on Low-Power Electronics and Design*, pp. 214-219, 1997.

[8] G. Goto, A. Inoue, R. Ohe, S. Kashiwakura, S. Mitarai, T. Tsuru, and T. Izawa, "A 4.1-ns compact 54×54-b multiplier utilizing Sign-select Booth encoders", *IEEE J. of Solid-State Circuits*, vol. 32, no. 11, Nov. 1997.

시스템집적반도체기반기술개발사업의 선행핵심IP개발과제 연구비 지원과 반도체설계교육센터(IDEC)의 CAD Tool 지원에 의한 연구 결과의 일부임.